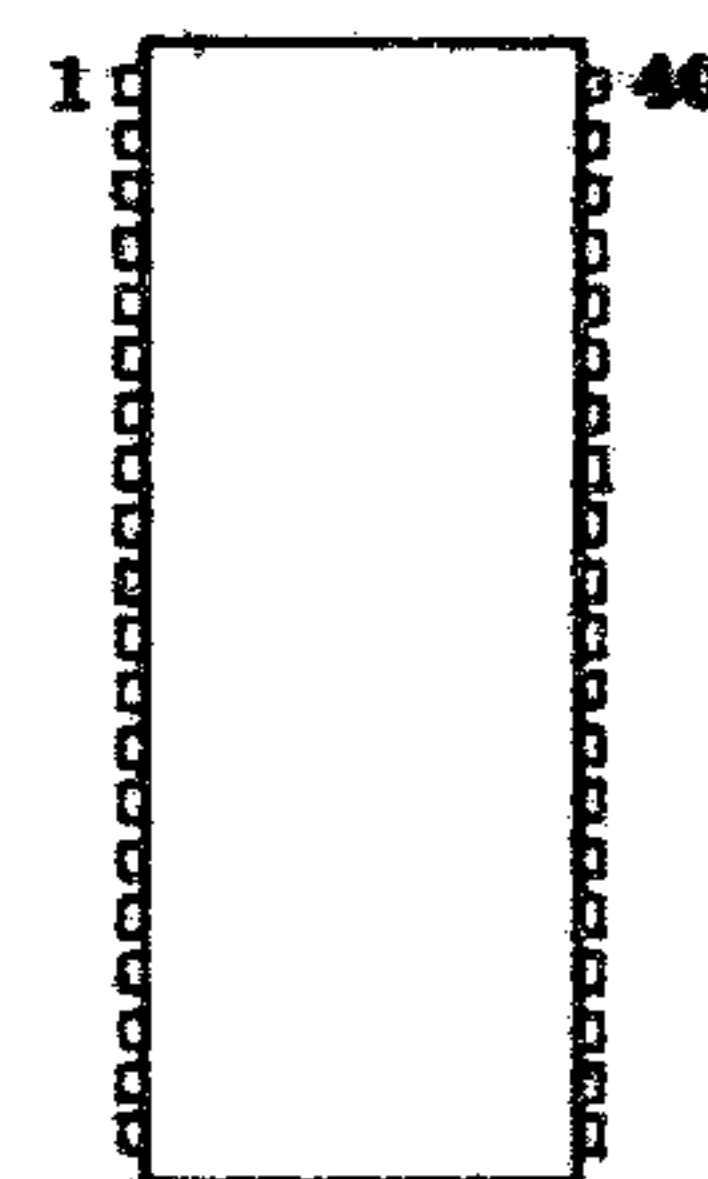
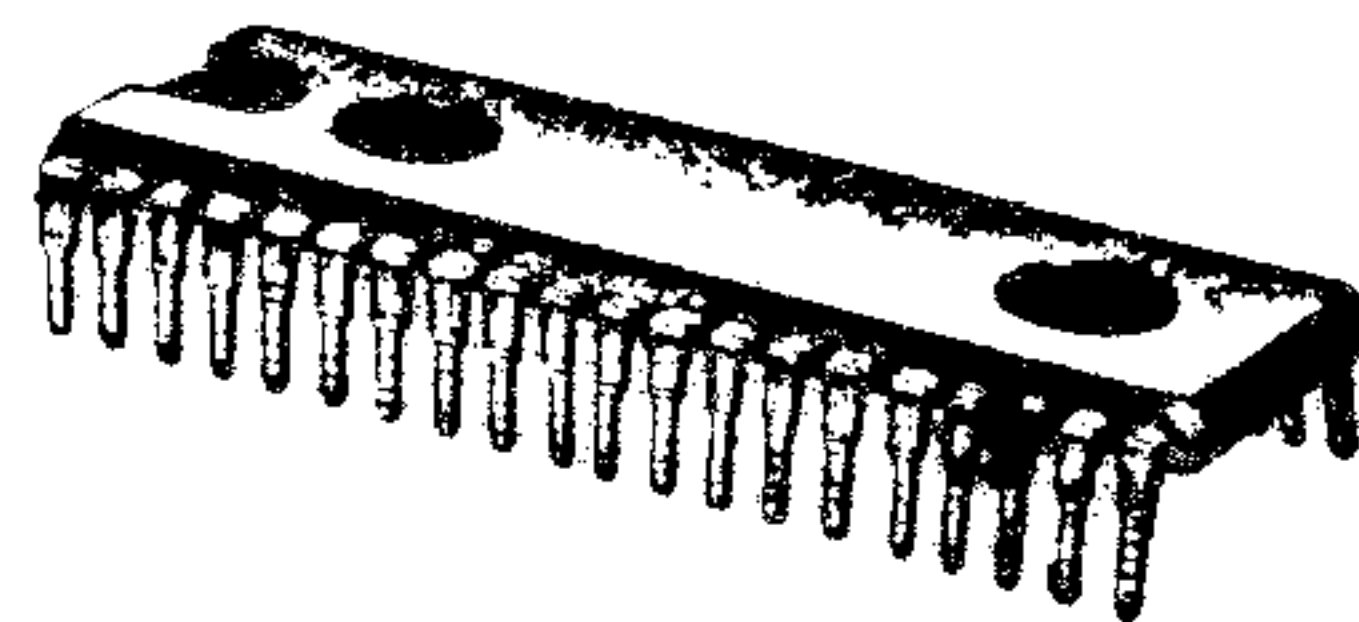


T34BM1

8-разрядный микропроцессор

Общие сведения

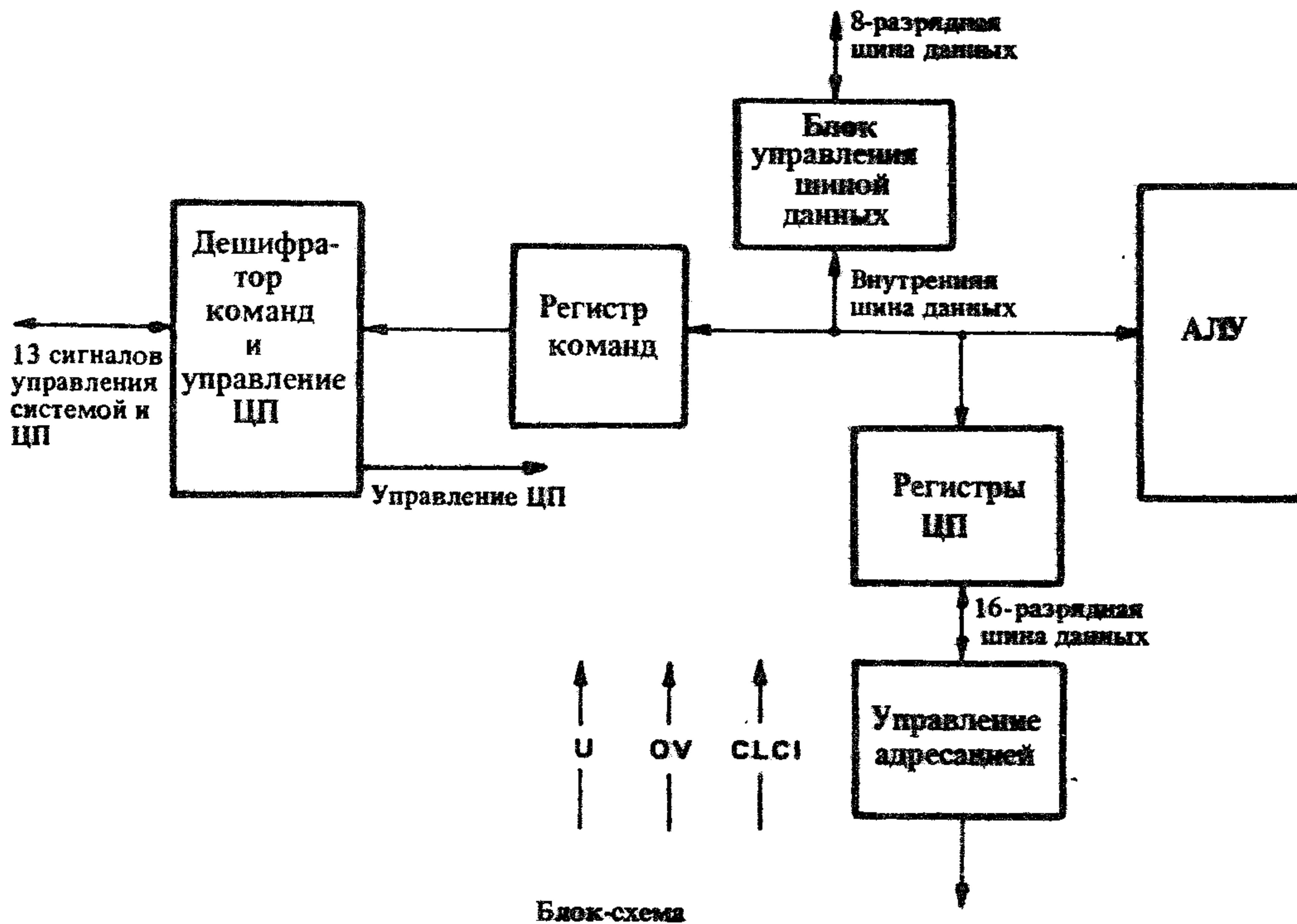
- Система команд соответствует процессору Z80
- Количество команд 158
- Формат данных 8; 16 бит
- Максимальный объем адресуемой памяти 64К
- Количество внутренних регистров 16
- Количество способов адресации памяти 11
- Количество типов прерываний 3
- Наличие режима регенерации внешней памяти



Расположение выводов

Описание

T34BM1 – однокристалльный восьмиразрядный микропроцессор, предназначенный для обработки цифровой информации. Изготовлен по n-канальной технологии на МОП-транзисторах. По функциональным и электрическим параметрам микросхема совместима с микропроцессором Z80 фирмы Zilog.



Блок-схема



завод "Антстрем"
103460 Москва

Назначение выводов

| Номер вывода | Обозначение | Тип вывода | Наименование вывода |
|--------------|-------------|------------|---|
| 1 | A11 | Выход | Сигнал одиннадцатого разряда шины адреса |
| 2 | A12 | Выход | Сигнал двенадцатого разряда шины адреса |
| 3 | A13 | Выход | Сигнал тринадцатого разряда шины адреса |
| 4 | A14 | Выход | Сигнал четырнадцатого разряда шины адреса |
| 5 | A15 | Выход | Сигнал пятнадцатого разряда шины адреса |
| 6 | CLCI | Вход | Сигнал тактовой частоты |
| 7 | D4 | Вход/выход | Сигнал четвертого разряда шины данных |
| 8 | D3 | Вход/выход | Сигнал третьего разряда шины данных |
| 9 | D5 | Вход/выход | Сигнал пятого разряда шины данных |
| 10 | D6 | Вход/выход | Сигнал шестого разряда шины данных |
| 11 | U | | Вывод питания от источника напряжения + 5В |
| 12 | D2 | Вход/выход | Сигнал второго разряда шины данных |
| 13 | D7 | Вход/выход | Сигнал седьмого разряда шины данных |
| 14 | D0 | Вход/выход | Сигнал нулевого разряда шины данных |
| 15 | D1 | Вход/выход | Сигнал первого разряда шины данных |
| 16 | INT | Вход | Сигнал запроса прерываний |
| 17 | NMI | Вход | Сигнал запроса немаскируемого прерывания |
| 18 | HALT | Выход | Сигнал индикации программного останова |
| 19 | MREQ | Выход | Сигнал запроса памяти |
| 20 | IORQ | Выход | Сигнал запроса области внешних устройств |
| 21 | RD | Выход | Сигнал чтения |
| 22 | WR | Выход | Сигнал записи |
| 23 | BUSAK | Выход | Сигнал подтверждения предоставления шины |
| 24 | WAIT | Вход | Сигнал готовности передачи данных |
| 25 | BUSRQ | Вход | Сигнал запроса шины |
| 26 | RESET | Вход | Сигнал сброса счетчика команд и инициализации |
| 27 | MI | Выход | Сигнал индикации выборки кода команды |
| 28 | RESH | Выход | Сигнал регенерации динамической памяти |
| 29 | OV | | Общий вывод |
| 30 | A0 | Выход | Сигнал нулевого разряда шины адреса |
| 31 | A1 | Выход | Сигнал первого разряда шины адреса |
| 32 | A2 | Выход | Сигнал второго разряда шины адреса |
| 33 | A3 | Выход | Сигнал третьего разряда шины адреса |
| 34 | A4 | Выход | Сигнал четвертого разряда шины адреса |
| 35 | A5 | Выход | Сигнал пятого разряда шины адреса |
| 36 | A6 | Выход | Сигнал шестого разряда шины адреса |
| 37 | A7 | Выход | Сигнал седьмого разряда шины адреса |
| 38 | A8 | Выход | Сигнал восьмого разряда шины адреса |
| 39 | A9 | Выход | Сигнал девятого разряда шины адреса |
| 40 | A10 | Выход | Сигнал десятого разряда шины адреса |



Система команд

| мнсмокод | символьное описание | P/V | | | Код операции | | | | | | | Б Ц Т | | | примечание | | | | | |
|---|---------------------|-----|---|---|--------------|---|---|---|---|---|---|-------|---|---|------------|---|---|-----------------|--------|----------|
| | | C | Z | S | N | И | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | а | и | а | | |
| Группа команд информационного обмена, пересылки блока и поиска | | | | | | | | | | | | | | | | | | | | |
| EX DE, HL | DE ← HL | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 1 0 1 1 | 1 1 4 | |
| EX AF, AF' | AF ← AF' | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 0 0 0 0 1 0 0 0 | 1 1 4 | |
| EXX | BC ← BC' | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 1 0 1 1 0 0 1 | 1 1 4 | |
| | DE ← DE' | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| | HL ← HL' | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| EX(SP) HL | H ← (SP+1) | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 0 0 1 1 | 1 5 19 | |
| EX(SP),x | L ← (SP) | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| | xh ← (SP+1) | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 1 x 1 1 1 0 1 | 2 6 23 | x-Per-p |
| LDI | xl ← (SP) | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 0 0 1 1 | | 0 IX |
| | (DE) ← (HL) | . | . | 1 | . | 0 | 0 | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 1 1 0 1 | 2 4 16 | 1 IY |
| | DE ← DE+1 | . | . | @ | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 0 1 0 0 0 0 0 | | |
| LDIR | HL ← HL+1 | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| | BC ← BC-1 | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| | повтор LDI до BC=0 | . | . | 0 | . | 0 | 0 | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 1 1 0 1 | 2 5 21 | при BC≠0 |
| LDD | (DE) ← (HL) | . | . | 1 | . | 0 | 0 | . | . | . | . | . | . | . | . | . | . | 1 1 1 0 1 1 0 1 | 2 4 16 | при BC=0 |
| | DE ← DE-1 | . | . | @ | . | . | . | . | . | . | . | . | . | . | . | . | . | 1 0 1 0 1 0 0 0 | | |
| | HL ← HL-1 | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |
| | BC ← BC-1 | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | | | |



продолжение

| | | | | | | |
|---|------------------------------|---|---------------|----------------------------|---------------|--------|
| ADC A,s | $A \leftarrow A + s + CY$ | $\uparrow \uparrow V \uparrow 0 \uparrow$ | $\boxed{001}$ | | | |
| <p>s обозначает один из способов задания операнда аналогично команде ADD:r,n, (HL), (x+d), Значение в рамке заменяет собой значение $\boxed{000}$ кода команды ADD</p> | | | | | | |
| SUB s | $A \leftarrow A - s$ | $\uparrow \uparrow V \uparrow 1 \uparrow$ | $\boxed{010}$ | | | |
| SBC A,s | $A \leftarrow A - s - CY$ | $\uparrow \uparrow V \uparrow 1 \uparrow$ | $\boxed{011}$ | | | |
| AND s | $A \leftarrow A \& s$ | $0 \uparrow P \uparrow 0 \uparrow 1$ | $\boxed{100}$ | | | |
| OR s | $A \leftarrow A \vee s$ | $0 \uparrow P \uparrow 0 \uparrow 0$ | $\boxed{110}$ | | | |
| XOR s | $A \leftarrow A * s$ | $0 \uparrow P \uparrow 0 \uparrow 0$ | $\boxed{101}$ | | | |
| CP s | $A - s$ | $\uparrow \uparrow V \uparrow 1 \uparrow$ | $\boxed{111}$ | | | |
| INC r | $r \leftarrow r + 1$ | $\cdot \uparrow V \uparrow 0 \uparrow$ | 00 | r | $\boxed{100}$ | 1 1 4 |
| INC (HL) | $(HL) \leftarrow (HL) + 1$ | $\cdot \uparrow V \uparrow 0 \uparrow$ | 00 | 1 1 0 | $\boxed{100}$ | 1 3 11 |
| INC(x+d) | $(x+d) \leftarrow (x+d) + 1$ | $\cdot \uparrow V \uparrow 0 \uparrow$ | 11 | x 1 1 1 0 1 | | 3 6 23 |
| | | | 00 | 1 1 0 | $\boxed{100}$ | |
| | | | | $\leftarrow d \rightarrow$ | | |
| DEC m | $m \leftarrow m - 1$ | $\cdot \uparrow V \uparrow 1 \uparrow$ | | | $\boxed{101}$ | |
| <p>m обозн. один из способов задания операнда аналогично команде INC: r,(HL),(x+d)</p> | | | | | | |
| <p>Примечание: V=1 => переполнение, P=1 => результат четный</p> | | | | | | |



продолжение

| | | | | | |
|-------|--------------------------------------|-------------|-----------------|--------|---------------------------|
| I.DDR | повтор I.DD, до BC=0 | . . 0 . 0 0 | 1 1 1 0 1 1 0 1 | 2 5 21 | при BC≠0 |
| CPI | A-(HL) | | 1 0 1 1 1 0 0 0 | 2 4 16 | при BC=0 |
| | HL - HL+1 BC - BC-1 | # 0 | 1 0 1 0 0 0 0 1 | | |
| CPIR | повтор CPI, до A=(HL) или BC=0 | . | 1 1 1 0 1 1 0 1 | 2 5 21 | при BC≠0 и A≠(HL) |
| | | # 0 | 1 0 1 1 0 0 0 1 | 2 4 16 | при BC=0 или A=(HL) |
| CPD | A-(HL) | | 1 1 1 0 1 1 0 1 | 2 4 16 | |
| | HL - HL-1 BC - BC-1 | # 0 | 1 0 1 0 1 0 0 1 | | |
| CPDR | повтор CPD, до A=(HL) или BC=0 | . | 1 1 1 0 1 1 0 1 | 2 5 21 | при BC≠0 и A≠(HL) |
| | | # 0 | 1 0 1 1 1 0 0 1 | 2 4 16 | при BC=0 или A=(HL) |

Примечание: 0 - флаг P/V равен 0, если BC-1=0, иначе P/V=1
- флаг Z равен 1, если A=(HL), иначе Z=0

Усл. обозн. . - сост. флага не изменяется; 0 - флаг сбрасывается
1 - флаг устанавливается; X - флаг не определен;
| - состояние флага зависит от результата операции.
x| - младший байт 16-разрядного регистра x
x| - старший байт 16-разрядного регистра x

Группа команд 8-разрядной арифметики и логических команд

| | | | | | |
|-----------------|-------------|-------|-----------------|--------|---|
| ADD A,r | A ← A+r | V 0 | 1 0 0 0 0 r | 1 1 4 | r Рег-р 000 B 001 C |
| ADD A,n | A ← A+n | V 0 | 1 1 0 0 0 1 1 0 | 2 2 7 | 010 D 011 E 100 H 101 L 111 A |
| ADD A, (HL) | A ← A+(HL) | V 0 | 1 0 0 0 0 1 1 0 | 1 2 7 | |
| ADD A,(x +d) | A ← A+(x+d) | V 0 | 1 1 x 1 1 1 0 1 | 3 5 19 | |
| | | | 1 0 0 0 0 1 1 0 | | |



продолжение

| Группа команд 8-разрядной загрузки | | | | | | |
|------------------------------------|----------------------|-------------|-----------------|--------|-----------|---|
| LD r,r' | $r \leftarrow r'$ | · · · · · | 0 1 r r' | 1 1 4 | r,r'Per-p | |
| | | | | | 000 | B |
| LD r,n | $r \leftarrow n$ | · · · · · | 0 0 r 1 1 0 | 2 2 7 | 001 | C |
| | | | ← n → | | 010 | D |
| LD r,(HL) | $r \leftarrow (HL)$ | · · · · · | 0 1 r 1 1 0 | 1 2 7 | 011 | E |
| | | | | | 100 | H |
| LD r, (x+d) | $r \leftarrow (x+d)$ | · · · · · | 1 1 x 1 1 1 0 1 | 3 5 19 | 101 | L |
| | | | 0 1 r 1 1 0 | | 111 | A |
| | | | ← d → | | | |
| LD (HL),r | $(HL) \leftarrow r$ | · · · · · | 0 1 1 1 0 r | 1 2 7 | x Per-p | |
| | | | | | 0 IX | |
| LD (x+d), r | $(x+d) \leftarrow r$ | · · · · · | 1 1 x 1 1 1 0 1 | 3 5 19 | 1 IY | |
| | | | 0 1 1 1 0 r | | | |
| | | | ← d → | | | |
| LD (HL),n | $(HL) \leftarrow n$ | · · · · · | 0 0 1 1 0 1 1 0 | 2 3 10 | | |
| | | | ← n → | | | |
| LD (x+d), n | $(x+d) \leftarrow n$ | · · · · · | 1 1 x 1 1 1 0 1 | 4 5 19 | | |
| | | | 0 0 1 1 0 1 1 0 | | | |
| | | | ← d → | | | |
| | | | ← n → | | | |
| LD A,(BC) | $A \leftarrow (BC)$ | · · · · · | 0 0 0 0 1 0 1 0 | 1 2 7 | | |
| | | | | | | |
| LD A,(DE) | $A \leftarrow (DE)$ | · · · · · | 0 0 0 1 1 0 1 0 | 1 2 7 | | |
| | | | | | | |
| LD A,(mn) | $A \leftarrow (mn)$ | · · · · · | 0 0 1 1 1 0 1 0 | 3 4 13 | | |
| | | | ← n → | | | |
| | | | ← n → | | | |
| LD (BC),A | $(BC) \leftarrow A$ | · · · · · | 0 0 0 0 0 0 1 0 | 1 2 7 | | |
| | | | | | | |
| LD (DE),A | $(DE) \leftarrow A$ | · · · · · | 0 0 0 1 0 0 1 0 | 1 2 7 | | |
| | | | | | | |
| LD (mn),A | $(mn) \leftarrow A$ | · · · · · | 0 0 1 1 0 0 1 0 | 3 4 13 | | |
| | | | ← n → | | | |
| | | | ← n → | | | |
| LD A,I | $A \leftarrow I$ | · I F I 0 0 | 1 1 1 0 1 1 0 1 | 2 2 9 | | |
| | | | 0 1 0 1 0 1 1 1 | | | |
| LD A,R | $A \leftarrow R$ | · I F I 0 0 | 1 1 1 0 1 1 0 1 | 2 2 9 | | |
| | | | 0 1 0 1 1 1 1 1 | | | |
| LD I,A | $I \leftarrow A$ | · · · · · | 1 1 1 0 1 1 0 1 | 2 2 9 | | |
| | | | 0 1 0 0 0 1 1 1 | | | |
| LD R,A | $R \leftarrow A$ | · · · · · | 1 1 1 0 1 1 0 1 | 2 2 9 | | |
| | | | 0 1 0 0 1 1 1 1 | | | |

Примечание: F обозначает, что содержимое триггера разрешения прерывания IFF копируется на место флага P/V



продолжение

| Группа команд 16-разрядной загрузки | | | | | | |
|-------------------------------------|----------------------------------|-----------|-----------------|--------|----|---------|
| LD dd,mm | dd ← mm (ddl ← m, ddh ← n) | | 0 0 d d 0 0 0 1 | 3 3 10 | dd | Per-p |
| | | | ← m → | | 00 | BC |
| | | | ← n → | | 01 | DE |
| LD x,mm | x ← mm | | 1 1 x 1 1 1 0 1 | 4 4 14 | 10 | HL |
| | | | 0 0 1 0 0 0 0 1 | | 11 | SP |
| | | | ← m → | | | |
| | | | ← n → | | | x Per-p |
| LD HL, (pq) | H ← (pq+1) L ← (pq) | | 0 0 1 0 1 0 1 0 | 3 5 16 | 0 | IX |
| | | | ← q → | | 1 | IY |
| | | | ← p → | | | |
| LD dd, (pq) | ddl ← (pq) ddh ← (pq+1) | | 1 1 1 0 1 1 0 1 | 4 6 20 | | |
| | | | 0 1 d d 1 0 1 1 | | | |
| | | | ← q → | | | |
| | | | ← p → | | | |
| LD x,(pq) | xl ← (pq) xh ← (pq+1) | | 1 1 x 1 1 1 0 1 | 4 6 20 | | |
| | | | 0 0 1 0 1 0 1 0 | | | |
| | | | ← q → | | | |
| | | | ← p → | | | |
| LD (pq), HL | (pq) ← L (pq+1) ← H | | 0 0 1 0 0 0 1 0 | 3 5 16 | | |
| | | | ← q → | | | |
| | | | ← p → | | | |
| LD (pq), dd | (pq) ← ddl (pq+1) ← ddh | | 1 1 1 0 1 1 0 1 | 4 6 20 | | |
| | | | 0 1 d d 0 0 1 1 | | | |
| | | | ← q → | | | |
| | | | ← p → | | | |
| LD (pq),x | (pq) ← xl (pq+1) ← xh | | 1 1 x 1 1 1 0 1 | 4 6 20 | | |
| | | | 0 0 1 0 0 0 1 0 | | | |
| | | | ← q → | | | |
| | | | ← p → | | | |
| LH SP,HL | SP ← HL | | 1 1 1 1 1 0 0 1 | 1 1 6 | | |
| LD SP,x | SP ← x | | 1 1 x 1 1 1 0 1 | 2 2 10 | | |
| | | | 1 1 1 1 1 0 0 1 | | | |

Здесь ddl – младший регистр из пары регистров dd
ddh – старший регистр из пары регистров dd

| | | | | | | |
|---------|------------------------------|-----------|-----------------|--------|----|-------|
| PUSH qq | (-SP) ← qqh (-SP) ← qql | | 1 1 q q 0 1 0 1 | 1 3 11 | qq | Per-p |
| | | | | | 00 | BC |
| | | | | | 01 | DE |
| PUSH x | (-SP) ← xh (-SP) ← xl | | 1 1 x 1 1 1 0 1 | 2 4 15 | 10 | HL |
| | | | 1 1 1 0 0 1 0 1 | | 11 | AF |
| POP qq | qql ← (SP++) qqh ← (SP++) | | 1 1 q q 0 0 0 1 | 1 3 10 | | |
| POP x | xl ← (SP++) xh ← (SP++) | | 1 1 x 1 1 1 0 1 | 2 4 14 | | |
| | | | 1 1 1 0 0 0 0 1 | | | |

Примечание: (-SP) обозначает уменьшение SP на 1 до использования его для вычисления адреса,
(SP++) обозначает увеличение SP на 1 после использования его для вычисления адреса



продолжение

| Группа арифметических команд общего назначения и команд управления центральным процессором | | | | | | |
|---|------------------------|--|--|----|-------|--|
| DAA | | | 1 1 1 1 . 1 0 0 1 0 0 1 1 1 1 1 4 | | | |
| Преобразовать A в упакованный двоично-десятичный формат. Предшествует команде сложения/вычитания упакованных двоично-десятичных чисел | | | | | | |
| CPL | A ← \bar{A} | | 1 1 0 0 1 0 1 1 1 1 1 1 4 | | | |
| Преобразовать A в обратный код (дополнение до 1) | | | | | | |
| NEG | A ← 0-A | | 1 1 1 1 1 1 1 1 1 1 1 0 1 1 0 1 2 2 8 | | | |
| Преобразовать A в дополнительный код (дополнение до 2) | | | | | | |
| CCF | CY ← \bar{CY} | | 0 X 0 0 1 1 1 1 1 1 1 1 4 | | | |
| SCF | CY ← 1 | | 1 0 0 0 0 1 1 0 1 1 1 1 1 4 | | | |
| NOP | НЕТ операц. | | 0 0 0 0 0 0 0 0 1 1 4 | | | |
| HALT | Останов ЦП | | 0 1 1 1 0 1 1 0 1 1 4 | | | |
| DI | IFF ← 0 | | 1 1 1 1 0 0 1 1 1 1 4 | | | |
| EI | IFF ← 1 | | 1 1 1 1 1 0 1 1 1 1 4 | | | |
| IM0 | Реж.прерыв. уст-ть в 0 | | 1 1 1 0 1 1 0 1 2 2 8 | | | |
| IM1 | Реж.прерыв. уст-ть в 1 | | 0 1 0 0 0 1 1 0 2 2 8 | | | |
| IM2 | Реж.прерыв. уст-ть в 2 | | 0 1 0 1 0 1 1 0 2 2 8 | | | |
| Группа команд 16-разрядной арифметики | | | | | | |
| ADD HL,ss | HL ← HL+ss | | 0 X 0 0 s s 1 0 0 1 1 3 11 | ss | Per-p | |
| ADC HL,ss | HL ← HL+ss+CY | | 1 1 1 0 1 1 0 1 1 1 1 0 1 1 0 1 2 4 15 | 00 | BC | |
| SBC HL,ss | HL ← HL-ss-CY | | 1 1 1 0 1 1 0 1 0 1 s s 1 0 1 0 2 4 15 | 01 | DE | |
| ADD x,pp | x ← x+pp | | 0 X 1 1 x 1 1 1 0 1 2 4 15 | 10 | HL | |
| INC ss | ss ← ss+1 | | 0 0 p p 1 0 0 1 1 1 6 | 11 | SP | |
| INC x | x ← x+1 | | 1 1 x 1 1 1 0 1 2 2 10 | pp | Per-p | |
| DEC ss | ss ← ss-1 | | 0 0 1 0 0 0 1 1 1 1 6 | 00 | BC | |
| DEC x | x ← x-1 | | 1 1 x 1 1 1 0 1 2 2 10 | 01 | DE | |
| | | | 0 0 1 0 1 0 1 1 1 1 6 | 10 | x | |
| | | | 1 1 x 1 1 1 0 1 2 2 10 | 11 | SP | |
| | | | 0 0 1 0 1 0 1 1 1 1 6 | x | Per-p | |
| | | | 1 1 x 1 1 1 0 1 2 2 10 | 0 | IX | |
| | | | 0 0 1 0 1 0 1 1 1 1 6 | 1 | IY | |



продолжение

| Группа команд сдвига и циклического сдвига | | | | | | | | | |
|--|--|---|---|---|---|----|----------|------|-------------------------|
| RLCA | | 1 | . | . | . | 00 | 00000111 | 114 | Цикл влево |
| RLA | | 1 | . | . | . | 00 | 00010111 | 114 | Цикл влево с переносом |
| RRC A | | 1 | . | . | . | 00 | 00001111 | 114 | Цикл вправо |
| RRA | | 1 | . | . | . | 00 | 00011111 | 114 | Цикл вправо с переносом |
| RLC r | | 1 | 1 | p | 1 | 00 | 11001011 | 228 | Цикл влево |
| RLC (HL) | | 1 | 1 | p | 1 | 00 | 00000 r | 2415 | г Рег-р |
| | | | | | | | 000 В | | 001 С |
| | | | | | | | 010 D | | 011 E |
| | | | | | | | 100 H | | 101 L |
| RLC (x+d) | | 1 | 1 | p | 1 | 00 | 11x11101 | 4623 | 101 L |
| | | | | | | | 11001011 | | 111 A |
| | | | | | | | ← d → | | |
| | | | | | | | 00000110 | | x Рег-р |
| | | | | | | | | | 0 IX |
| | | | | | | | | | 1 IY |
| RL m | | 1 | 1 | p | 1 | 00 | 010 | | см. RLC m |
| RRC m | | 1 | 1 | p | 1 | 00 | 001 | | m=r,(HL), (x+d) |
| RR m | | 1 | 1 | p | 1 | 00 | 011 | | |
| SLA m | | 1 | 1 | p | 1 | 00 | 100 | | |
| SRA m | | 1 | 1 | p | 1 | 00 | 101 | | |
| SRL m | | 1 | 1 | p | 1 | 00 | 111 | | |
| RLD | | . | 1 | p | 1 | 00 | 11101101 | 2518 | |
| | | | | | | | 01101111 | | |
| RLD | | . | 1 | p | 1 | 00 | 11101101 | 2518 | |
| | | | | | | | 01100111 | | |



продолжение

| Команды ввода - вывода | | | | | | |
|------------------------|--|------------------|------------------------------------|--------|--|-------------------------|
| IN A,(n) | A ← (n) | | 1 1 0 1 1 0 1 1 | 2 3 11 | | п в A0-A7 Acc |
| | | | ← n → | | | в A8-A15 |
| IN r,(C) | r ← (C) Если r=110, изменяются только флаги | . r p 1 0 1 | 1 1 1 0 1 1 0 1 | 2 3 12 | | C в A0-A7 B в A8-A15 |
| | | | 0 1 r 0 0 0 | | | |
| INI C | (HL) ← (C) B ← B-1; HL ← HL+1 | X 1 X X 1 X @ | 1 1 1 0 1 1 0 1 1 0 1 0 0 0 1 0 | 2 4 16 | | C в A0-A7 B в A8-A15 |
| INIR | INI повт. до B=0; | X 1 X X 1 X | 1 1 1 0 1 1 0 1 | 2 5 21 | | При B ≠ 0 |
| | | | 1 0 1 1 0 0 1 0 | 2 4 16 | | При B = 0 |
| IND | (HL) ← (C); B ← B-1; HL ← HL-1; | X 1 X X 1 X @ | 1 1 1 0 1 1 0 1 1 0 1 0 1 0 1 0 | 2 4 16 | | |
| INDR | IND повт. до B=0 | X 1 X X 1 X | 1 1 1 0 1 1 0 1 | 2 5 21 | | При B ≠ 0 |
| | | | 1 0 1 1 1 0 1 0 | 2 4 16 | | При B = 0 |
| OUT (n),A | (n) ← A | | 1 1 0 1 0 0 1 1 | 2 3 11 | | |
| | | | ← n → | | | |
| OUT (C),r | (C) ← r | | 1 1 1 0 1 1 0 1 | 2 3 12 | | |
| | | | 0 1 r 0 0 1 | | | |
| OUTT | (C) ← (HL); B ← B-1 HL ← HL+1 | X 1 X X 1 X @ | 1 1 1 0 1 1 0 1 1 0 1 0 0 0 1 1 | 2 4 16 | | |
| OTIR | OUTT повт. до B=0 | X 1 X X 1 X | 1 1 1 0 1 1 0 1 | 2 5 21 | | При B ≠ 0 |
| | | | 1 0 1 1 0 0 1 1 | 2 4 16 | | При B = 0 |
| OUTD | (C) ← (HL); B ← B-1; HL ← HL-1 | X 1 X X 1 X @ | 1 1 1 0 1 1 0 1 1 0 1 0 1 0 1 1 | 2 4 16 | | |
| OTDR | OUTD повт. до B=0 | X 1 X X 1 X | 1 1 1 0 1 1 0 1 | 2 5 21 | | При B ≠ 0 |
| | | | 1 0 1 1 1 0 1 1 | 2 4 16 | | При B = 0 |

Примечание: Если рез-т операции B-1 равен 0, устанавливается флаг Z, иначе он сбрасывается

| Команды перехода | | | | | | |
|------------------|---------------------------------|-----------|-----------------|--------|--|---|
| JR nn | PC ← nn | | 1 1 0 0 0 0 1 1 | 3 3 10 | | с Условие 11 C 10 NC 01 Z 00 NZ |
| | | | ← n → | | | |
| JR cc,nn | Если cc,то JR nn | | 1 1 c c 0 1 0 | 3 3 10 | | Условия см. выше (CALL cc) |
| | | | ← n → | 3 5 17 | | |
| JR e | PC ← PC+e | | 0 0 0 1 1 0 0 0 | 2 3 12 | | |
| | | | ← e-2 → | | | |
| JR c,e | Если c,то JR e | | 0 0 1 c 0 0 0 0 | 2 2 7 | | c=ложь |
| | | | ← c-2 → | 2 3 12 | | c=истина |
| JR (HL) | PC ← PC | | 1 1 1 0 1 0 0 1 | 1 1 4 | | |
| | | | | | | |
| JR x | PC ← x | | 1 1 x 1 1 1 0 1 | 2 2 8 | | |
| | | | 1 1 1 0 1 0 0 1 | | | |
| DJNZ e | B ← B-1 Если B≠0, то JR e | | 0 0 0 1 0 0 0 0 | 2 2 8 | | При B=0 |
| | | | ← e-2 → | 2 3 13 | | При B≠0 |

Примечание: e - смещение-число в доп. коде со знаком в диапазоне -126..129



Основные электрические параметры
(Токр. ср. = $25 \pm 10^\circ \text{C}$)

| Параметр | Обозначение | Мин. | Макс. | Единица измерения |
|---|--------------------|----------------|----------------|-------------------|
| Напряжение питания | U_{CC} | 4,75 | 5,25 | В |
| Входное напряжение низкого уровня по входу CLC при $U_{CC} = 4,75 \text{ В}$ | U_{ICL} | - 0,3 | 0,5 | В |
| Входное напряжение высокого уровня по входу CLC при $U_{CC} = 4,75 \text{ В}$ | U_{IHC} | $U_{CC} - 0,5$ | $U_{CC} + 0,3$ | В |
| Входное напряжение низкого уровня при $U_{CC} = 4,75 \text{ В}$ | U_{IL} | - 0,3 | 0,7 | В |
| Входное напряжение высокого уровня при $U_{CC} = 4,75 \text{ В}$ и $I_{OL} = 1,6 \text{ мА}$ | U_{IH} | 2,0 | U_{CC} | В |
| Выходное напряжение низкого уровня при $U_{CC} = 5,25 \text{ В}$ и $I_{OH} = - 150 \text{ мкА}$ | U_{OL} | - | 0,4 | В |
| Выходное напряжение высокого уровня при $U_{CC} = 4,75 \text{ В}$ | U_{OH} | 2,4 | - | В |
| Ток потребления при $U_{CC} = 5,25 \text{ В}$ | I_{CC} | - | 200 | мА |
| Ток утечки на входе при $U_{CC} = 5,25 \text{ В}$ | I_{LIL}, I_{LIH} | - | 10 | мкА |
| Ток утечки на выходе с тремя состояниями при $U_{CC} = 5,25 \text{ В}$ | I_{LOL} | - | - 10 | мкА |
| Тактовая частота функционирования при $U_{CC} = 4,75 \text{ В}$ | F_{CLC} | 4 | - | МГц |
| Емкость входа | C_{IN} | - | 5 | пФ |
| Емкость выхода | C_{OUT} | - | 10 | пФ |

Предельно допустимые значения электрических параметров
($- 60^\circ \text{C} \leq \text{Токр. ср.} \leq + 85^\circ \text{C}$)

| Параметр | Обозначение | Мин. | Макс. | Единица измерения |
|--------------------|-------------|-------|----------|-------------------|
| Напряжение питания | U_{CC} | - 0,5 | 6 | В |
| Емкость нагрузки | C_H | - | 200 | пФ |
| Входное напряжение | U_I | - 0,3 | U_{CC} | В |



Состав регистров микропроцессора:

| Основной набор регистров | | Вспомогательный набор регистров | |
|------------------------------|------|----------------------------------|-------|
| Аккумулятор | Флаг | Аккумулятор' | Флаг' |
| A | F | A' | F' |
| B | C | B' | C' |
| D | E | D' | E' |
| H | L | H' | L' |
| Регистр вектора прерываний I | | Регистр адреса регистрации ОЗУ R | |
| Индексный регистр | | IX | |
| Индексный регистр | | IV | |
| Указатель адреса стека | | SP | |
| Счетчик адресов команд | | PC | |

Микропроцессор обеспечивает следующие типы адресации:

1. **В ы б о р к о м а н д ы**. Содержимое СК пересылается на адресную шину. На выходе MREQ появляется сигнал низкого уровня, который разблокирует микросхему для обеспечения доступа к памяти программ. Низким уровнем сигнала RD разрешается вывод данных из памяти на шину данных. После декодирования соответствующей команды 7-разрядный адрес регенерации выводится на адресную шину и низкий уровень сигнала RESH указывает на необходимость регенерации динамического ОЗУ.
2. **Н е п о с р е д с т в е н н а я а д р е с а ц и я**. В этом режиме ячейка, следующая за кодом операции, содержит операнд.
3. **Р а с ш и р е н н а я н е п о с р е д с т в е н н а я а д р е с а ц и я**. Ячейки, следующие за кодом операции, содержат 16-разрядный операнд.
4. **М о д и ф и ц и р о в а н н а я а д р е с а ц и я н у л е в о й с т р а н и ц ы**. Имеется команда, называемая рестартом, которая используется для инициирования перехода на подпрограмму по одному из возможных адресов нулевой страницы. В ячейках с этими адресами могут размещаться часто используемые подпрограммы, доступ к которым может осуществляться с помощью однобайтовых команд.

5. **О т н о с и т е л ь н а я а д р е с а ц и я**. В этом режиме задается однобайтовое смещение в диапазоне от +127 до -128 относительно текущего адреса плюс 2, что дает возможность обращения к расположенной поблизости подпрограмме с помощью команды длиной в 2 байта и позволяет создавать перемещаемые программы.
6. **Р а с ш и р е н н а я а д р е с а ц и я**. Полный 16-разрядный адрес назначения определяется двухбайтовым операндом. Этим способом можно обеспечить обращение к подпрограмме или переход по любому адресу памяти.
7. **И н д е к с н а я а д р е с а ц и я**. Смещение прибавляется к числу в одном из двух индексных регистров, образуя действительный адрес памяти. Этот способ полезен для работы с просмотрными таблицами.
8. **Р е г и с т р о в а я а д р е с а ц и я**. Код операции содержит данные, определяющие конкретный регистр.
9. **Н е я в н а я а д р е с а ц и я**. Регистр адреса например аккумулятор, однозначно определяется данной командой.
10. **Р е г и с т р о в а я к о с в е н н а я а д р е с а ц и я**. 16-разрядная пара регистров, например HL, содержит адрес операнда.
11. **П о б и т о в а я а д р е с а ц и я**. Три разряда кода операции определяют конкретный разряд ячейки памяти, над которым производится данная операция.



В микропроцессоре реализован режим ввода/вывода с отдельным адресным пространством для портов. Младшие 8 разрядов адресной шины используются для выбора заданного УВВ (из 256 возможных). Последовательность операций ввода следующая:

1. Адрес порта помещается в младшие восемь разрядов адресной шины.
2. На выходах $I/O\bar{Q}$ и $R\bar{D}$ устанавливается низкий уровень сигнала, чтобы инициировать операцию ввода на внешнем устройстве.
3. В целях предоставления устройству ввода-вывода необходимого времени для ответа на инициирующий сигнал (т.е. для пересылки данных на шину) предусматривается состояние ожидания.
4. ЦП принимает 8-разрядные данные с шины данных.

В микропроцессоре предусмотрены следующие режимы прерывания по вводу-выводу:

1. **Немаскируемое прерывание.** В этом случае ЦП выполняет рестарт с ячейки 0066H. Запрос немаскируемого прерывания принимается процессором в любой момент времени.
2. **Маскируемое прерывание.** Существует в трех видах, каждый из которых доступен для программиста:
 - а) вид 0. Прерывание этого вида возникает автоматически при появлении сигнала RESET. Реакция на него идентична реакции на прерывание в процессоре 8080A. Прерывающее устройство может выдать любую команду на шину данных (обычно команду рестарта или трехбайтовую

команду перехода) и ЦП выполнит ее;

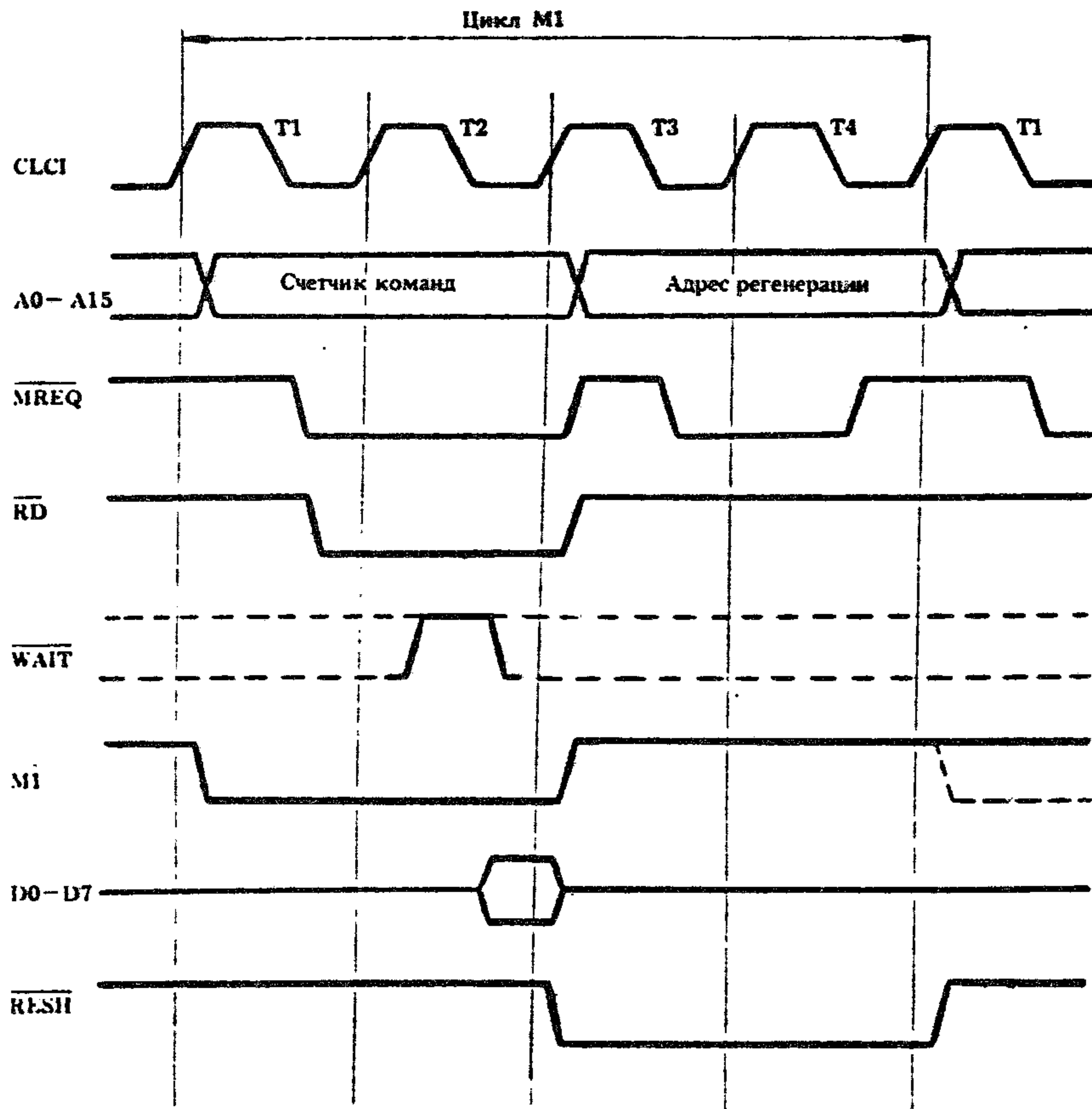
б) вид 1. Этот вид прерывания инициирует рестарт с ячейки 0038H подобно реакции на немаскируемое прерывание, хотя и отличается адресом перехода;

в) вид 2. При этом виде прерываний прерывающее устройство посылает в ЦП 8-разрядное слово, которое указывает адрес стандартной программы обработки прерывания, хранящейся в памяти программы. Старшие 8 разрядов этого адреса помещаются программистом в регистр 1. Это наиболее эффективный способ организации прерываний, поскольку один 8-разрядный аргумент может определять целую подпрограмму, расположенную в любом месте памяти.

Система команд микропроцессора обеспечивает:

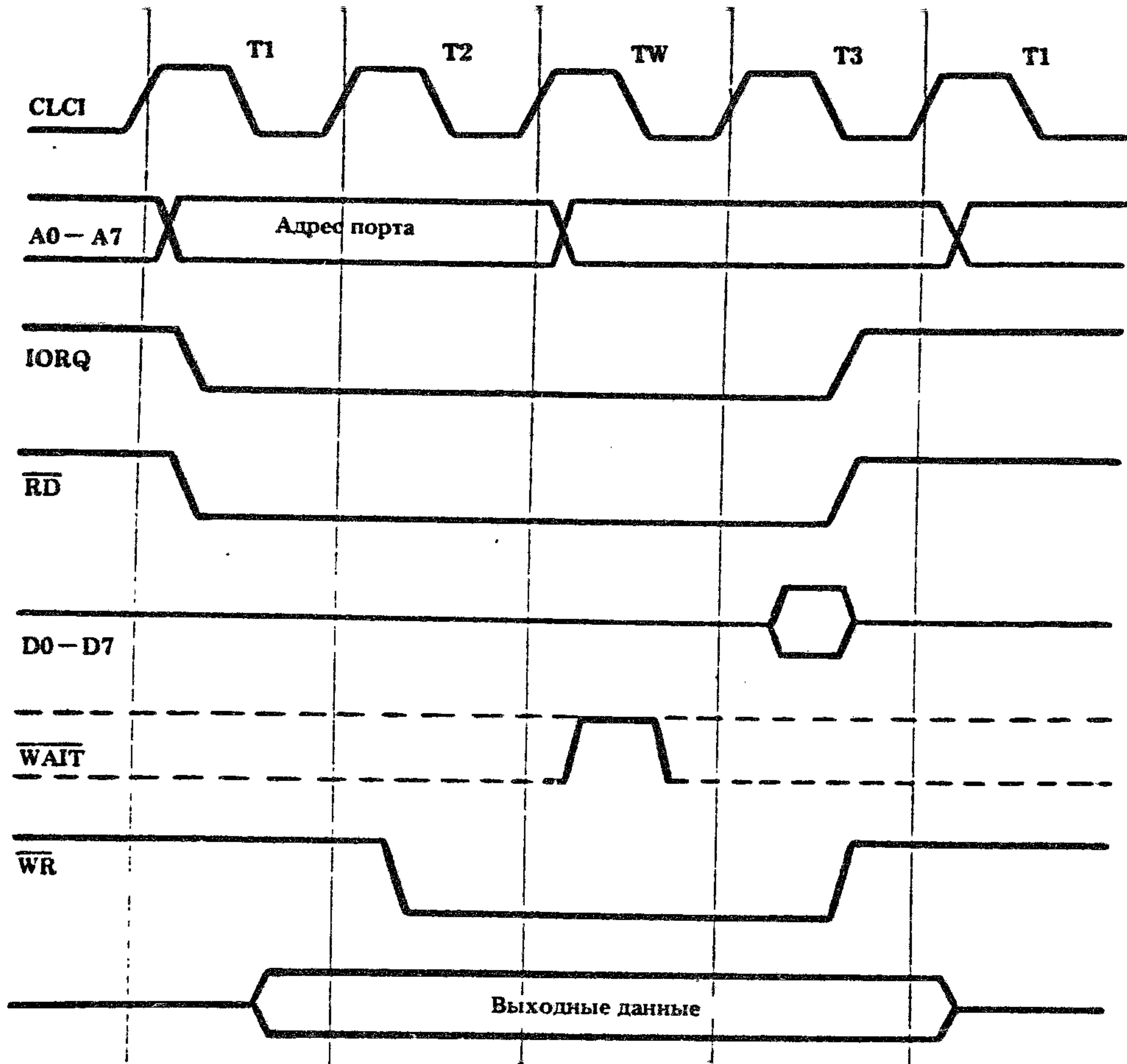
- непосредственное перемещение данных из регистра в регистр, из регистра в память и наоборот, из памяти в память, не прибегая к временному запоминанию промежуточных результатов;
- взаимную замену основных и вспомогательных регистров (R и R') с помощью команд EX и EXX, что дает возможность разделения регистровых данных между разными процессами;
- полный набор операций для работы со стеком, что дает возможность организации вложений подпрограмм и хранения данных в стеке;
- операции над 16-разрядными числами, такие как DAD (сложение спаренных регистров, INX и DCX (увеличение и уменьшение спаренных регистров на 1), L'LD (непосредственная загрузка спаренных регистров и ряд других).





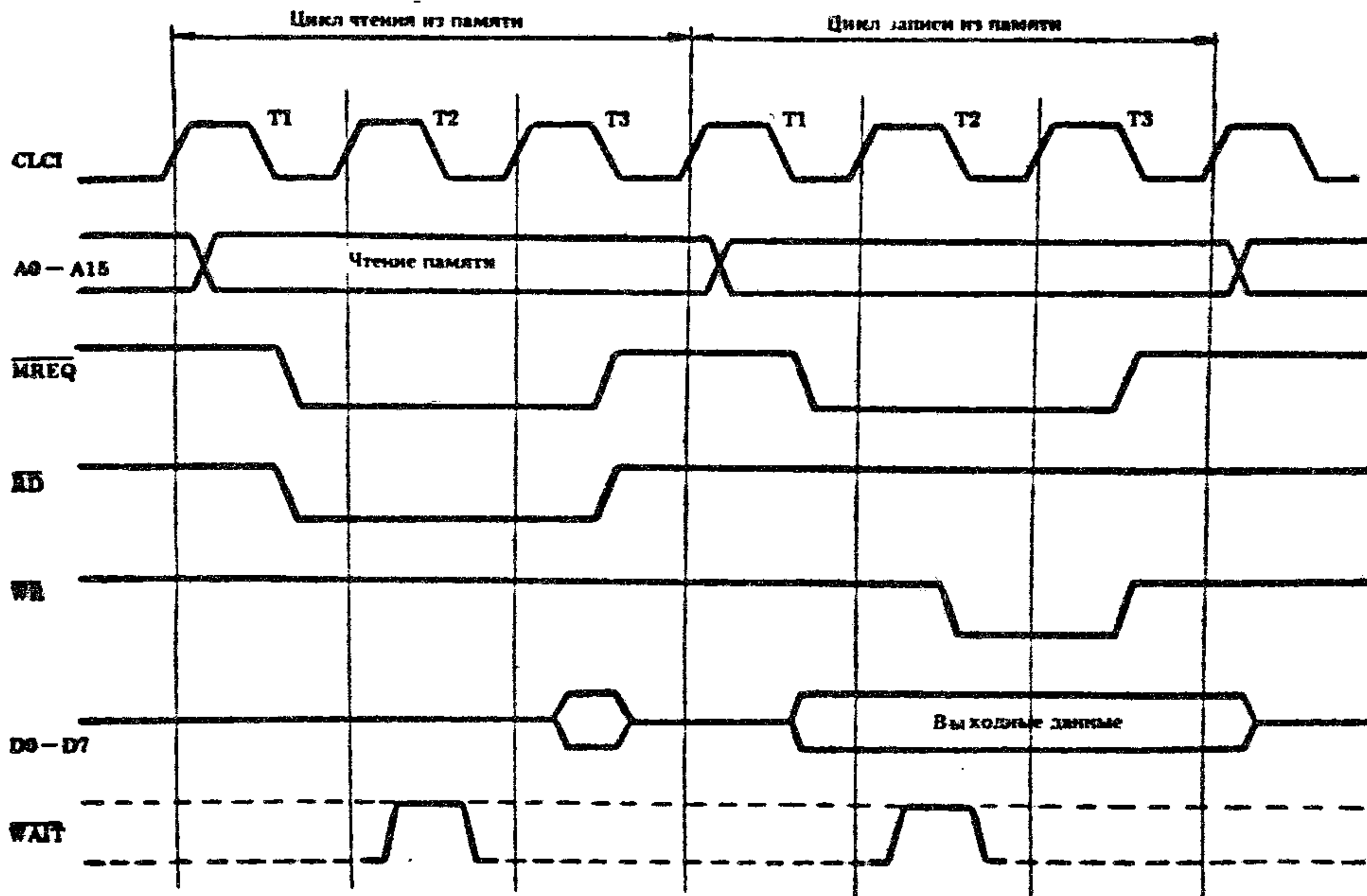
Цикл чтения команды



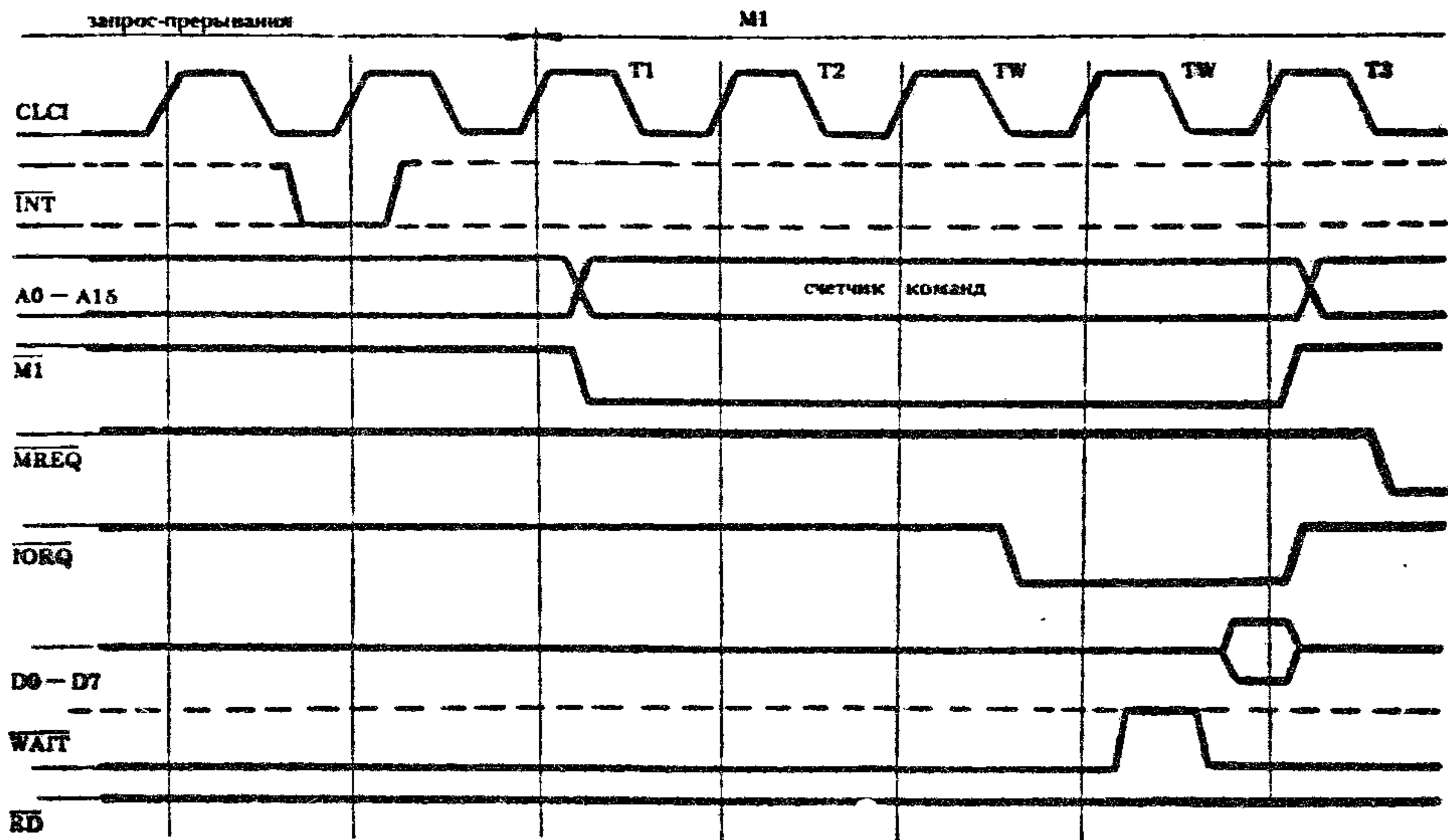


Цикл обмена информации с вводом-выводом



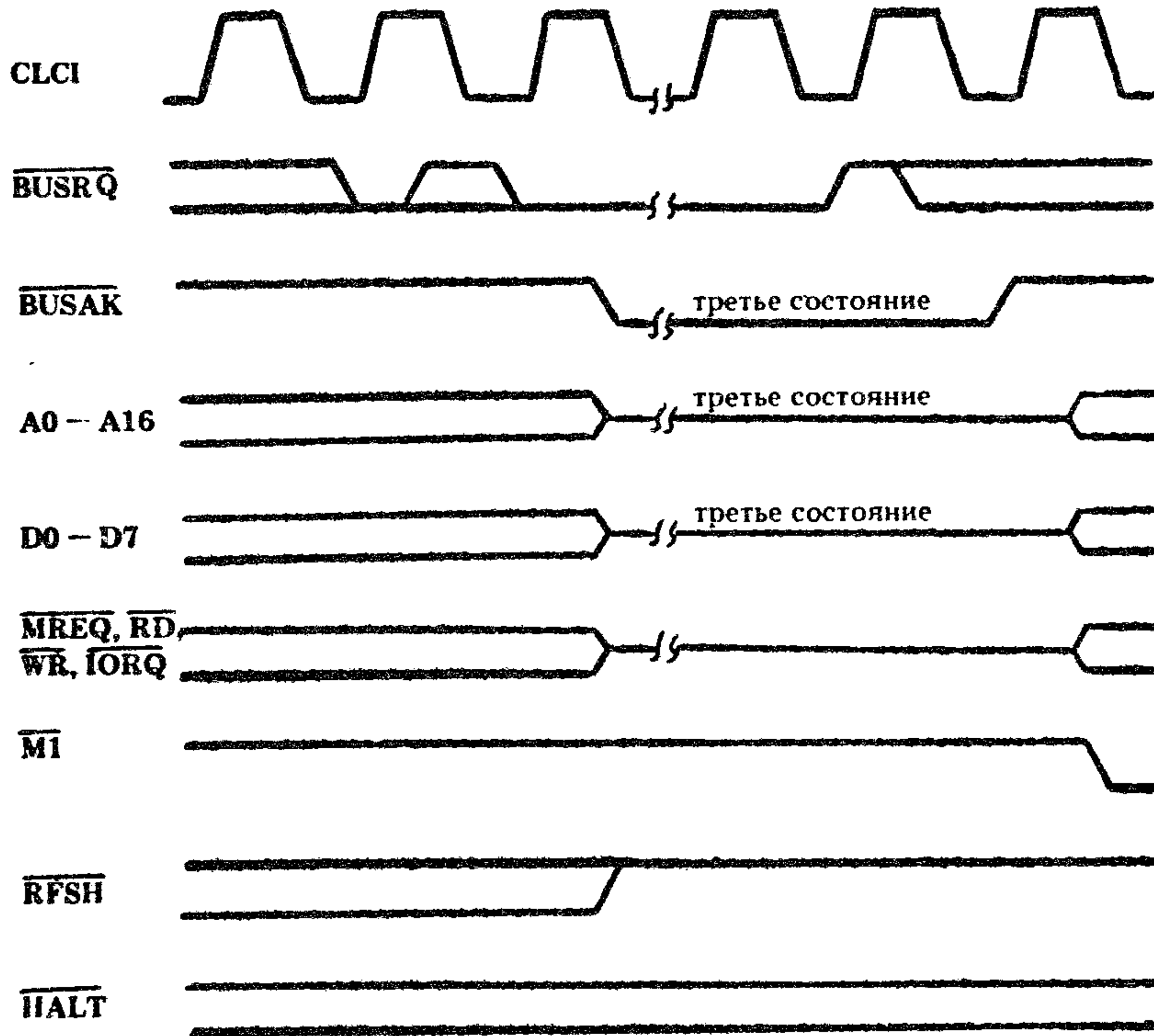


Цикл чтения (записи) информации из памяти

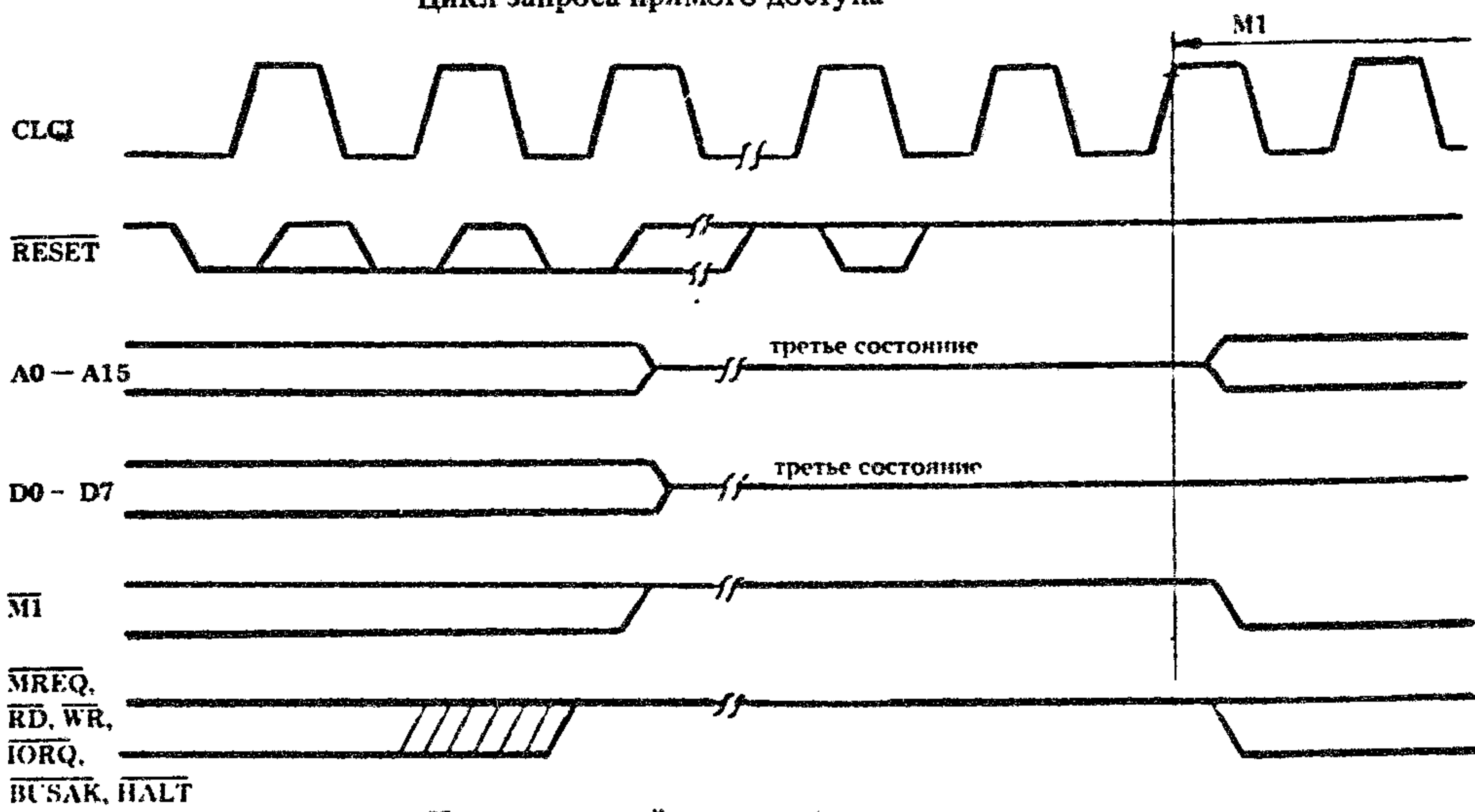


Цикл обработки прерываний





Цикл запроса прямого доступа



Цикл начальной установки

