

2. Модель на рис. 1,б формально отличается от модели на рис. 1,а тем, что она достаточно точно описывает все Y -параметры интегрального транзистора, и поэтому в диапазоне частот до $1/2f_0$ она может использоваться без каких-либо ограничений. Фактически достаточно хорошее совпадение Y -параметров, полученных на основании модели рис. 1,б, с реальными Y -параметрами интегрального транзистора, в том числе и с имеющими на низкой частоте малые значения вещественных составляющих (например, $Y_{кв}$, $Y_{бб}$), выполняется вплоть до частот $(1,2 \div 1,5)f_0$ за счет того, что полиномы числителя в выражениях для Y -параметров, полученных на основании модели рис. 1,б, имеют более высокую степень $j\omega$, чем в аппроксимирующих выражениях (1).

3. Как показано в [3], наибольшее расхождение между действительными Y -параметрами и Y -параметрами, определяемыми из аппроксимирующих выражений (1) и, следовательно, моделями на рис. 1, наблюдается в первую очередь для тех Y -параметров, которые имеют на низкой частоте малые значения вещественных составляющих проводимостей. Поэтому дальнейшее совершенствование моделей интегрального транзистора должно проводиться в направлении улучшения описания именно этих параметров.

ЛИТЕРАТУРА

1. «Машинный расчет интегральных схем». Пер. с англ., под ред. К. А. Валиева, Г. Г. Казеннова, А. П. Голубева. Изд-во «Мир», 1971.
2. Голубев А. П., Кремлев В. Я., Малышев И. В. Высокочастотная эквивалентная схема интегрального транзистора, учитывающая двумерный характер растекания токов в базовой и коллекторной областях. «Радиотехника и электроника», 1970, т. XV, № 7, стр. 1486—1493.
3. Голубев А. П., Малышев И. В. Обобщенная матрица проводимостей интегрального транзистора. В сб. «Микроэлектроника», под ред. Ф. В. Лукина, вып. 4, 1971.
4. Голубев А. П., Малышев И. В. К расчету частотных характеристик полупроводниковых интегральных усилителей. В сб. «Микроэлектроника», под ред. Ф. В. Лукина, вып. 2, 1968.

А. Г. АЛЕКСЕНКО, В. К. КАМОТЕСОВ, С. В. РОТНОВ,
И. И. ШАГУРИН

РАЗНОСТНЫЙ ЭЛЕМЕНТ УПРАВЛЕНИЯ ДЛЯ ПОСЛЕДОВАТЕЛЬНОСТНЫХ ИНТЕГРАЛЬНЫХ ТТЛ-СТРУКТУР

Введение

Последовательностные структуры (логические автоматы с памятью), к числу которых относятся регистры, счетчики и другие подсистемы цифровых устройств, обычно строятся на основе триггеров с тем или иным законом функционирования [1]. Большинство триггеров, реализуемых в виде интегральных схем (ИС), состоят из бистабильной ячейки (БЯ), образованной перекрестным соединением двух логических элементов (ЛЭ) типа И—НЕ либо ИЛИ—НЕ, и схемы управления [2, 3]. В схемах управления либо используются вспомогательные БЯ и ЛЭ [4], либо применяются так называемые разностные элементы управления (РЭУ), которые образуют на выходе импульсный сигнал при соответствующем изменении логических значений входных сигналов [5]. Потенциальные преимущества использования РЭУ для построения последовательностных структур (существенная простота таблиц перехода [5] и связанное с этим упрощение структурных схем и снижение потребляемой мощности) указывают на целесообразность разработок разностных элементов управления, совместимых с технологией монолитных ИС.

В настоящей статье описывается схема разностного элемента управления (РЭУ), спроектированного на основе транзисторно-транзисторной логики (ТТЛ) и перспективного для использования в типовых конфигурациях последовательностных структур (в особенности в ИС повышенной степени интеграции).

Логическая функция РЭУ

Разностные элементы управления предназначены для образования импульса в момент перехода (смены значе- ний) тактовой переменной C_p при выполнении дополни- тельных логических условий на функциональных входах M_1, M_2, \dots, M_n .

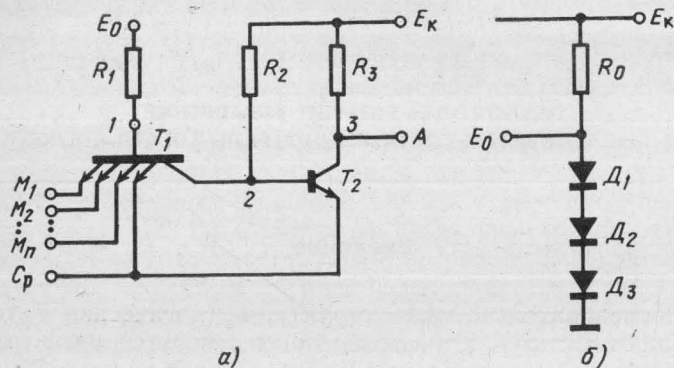


Рис. 1. Интегральный разностный элемент управления (РЭУ) ТТЛ-типа (а); схема для образования опорного напряжения E_0 (б).

В соответствии с [5] определим импульсный сигнал, соответствующий переключению C_p из состояния 1 в состояние 0 через оператор перехода d . Запись dC_p обозначает положительный импульс, формируемый при переключении C_p из единицы в нуль ($1 \rightarrow 0$). Положительный импульс, формируемый при обратном переключении C_p ($0 \rightarrow 1$), должен быть обозначен через $d\bar{C}_p$. По аналогии отрицательный импульс, формируемый при переключении C_p от 1 до 0, можно обозначить через $(d\bar{C}_p)$ и т. д.

Рассмотренный в настоящей статье РЭУ ТТЛ-типа (рис. 1,а) формирует отрицательный импульс при переключении C_p из единицы в нуль, если $M_1 = M_2 = \dots = M_n = 1$. Импульсно-потенциальная булева функция [5], получаемая на выходе такого элемента, должна быть записана в виде

$$A = \overline{M_1 M_2 \dots M_n dC_p}. \quad (1a)$$

Работу данного РЭУ можно также отобразить эквивалентной схемой с элементом задержки на время τ (рис. 2,а) и описать выражением

$$A = \overline{(M_1 M_2 \dots M_n C_p)' \bar{C}_p}, \quad (16)$$

где операция $(M_1, M_2, \dots, M_n C_p)'$ обозначает [6] сдвиг (задержку) функции $(M_1, M_2, \dots, M_n C_p)$ на время τ (рис. 2,б).

РЭУ образуют класс функциональных устройств, которые различаются видом тактового перепада C_p ($0 \rightarrow 1$ или $1 \rightarrow 0$), запускающего РЭУ, полярностью формируемого импульса, а также логическими функциями на входах M_i . Предлагаемые логические обозначения некоторых возможных вариантов РЭУ даны на рис. 3.

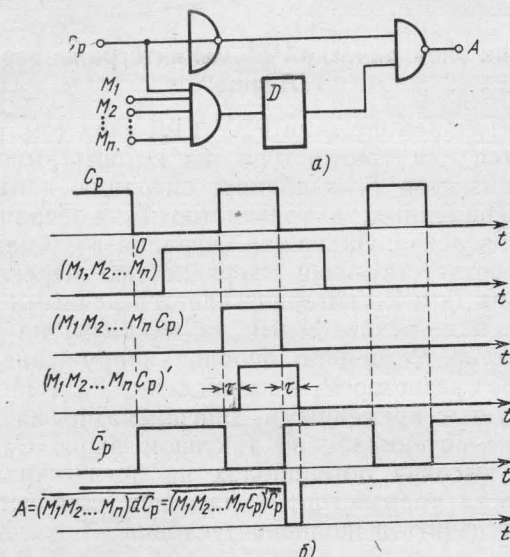


Рис. 2. Логический эквивалент РЭУ с элементом задержки (а), его временные диаграммы (б).

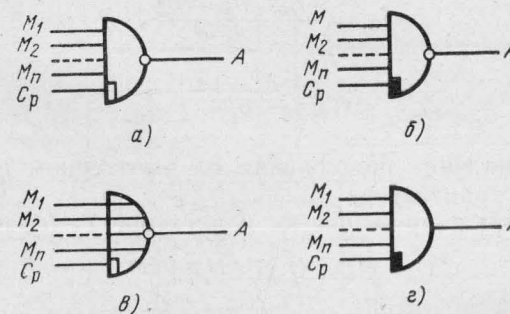


Рис. 3. Логические символы и булевы выражения различных вариантов разностных цепей:

$$a) A = \overline{M_1 M_2 \dots M_n d\bar{C}_p}; \quad б) A = \overline{M_1 M_2 \dots M_n dC_p};$$

$$в) A = \overline{(M_1 + M_2 + \dots + M_n) dC_p}; \quad г) A = \overline{M_1 M_2 \dots M_n d\bar{C}_p}.$$

Можно предложить большое число электрических схем, выполняющих функции РЭУ*. Для интегральной схемотехники особенно перспективными представляются схемы ТТЛ, поэтому в настоящей статье описывается работа и способы применения одного из вариантов РЭУ ТТЛ-типа.

Описание электрической схемы интегрального РЭУ ТТЛ-типа

В рассматриваемой схеме РЭУ ТТЛ-типа (см. рис. 1,а) используются два транзистора, из которых многоэмиттерный транзистор T_1 выполняет операцию конъюнкции входных переменных, а транзистор T_2 — операции «запрет» и «инверсия». Задержка сигналов в схеме обеспечивается соответствующей очередностью переключения транзисторов T_1 и T_2 , которая задается разными уровнями напряжения, подаваемыми на их базы; на базу T_1 через резистор R_1 подано опорное напряжение E_0 , на базу T_2 через резистор R_2 — напряжение E_K . Работа РЭУ иллюстрируется временными диаграммами на рис. 4. При низком потенциале на тактовом входе C_p $U_{вх т} = U^0 = 0$ и высоких потенциалах на логических входах $U_{вх л} = U^1 \approx E_K$ транзистор T_1 насыщен, для чего необходимо обеспечить выполнение условия

$$I_{б1} B_1 > I_{к1}, \quad (2)$$

где

$$I_{б1} = \frac{E_0 - U_{э0} - U^0}{R_1}, \quad (3)$$

$$I_{к1} = \frac{E_K - U^0}{R_2}, \quad (4)$$

где $U_{э0}$ — падение напряжения на эмиттерном переходе открытого транзистора.

При этом напряжение на коллекторе T_1 (базе T_2)

$$U_{к1} = U^0 + U_{кн1} < U_{эз} + U^0, \quad (5)$$

где $U_{кн}$ — напряжение между коллектором и эмиттером насыщенного транзистора; $U_{эз}$ — условное напряжение запарирания эмиттерного перехода транзистора, недостаточ-

ное для отпирания транзистора T_2 . Транзистор T_2 закрыт, и на выходе РЭУ поддерживается высокий потенциал:

$$U_{вых}^1 = E_K - I_H^- R_3, \quad (6)$$

где I_H^- — ток, отбираемый от РЭУ нагрузкой (элементами ТТЛ).

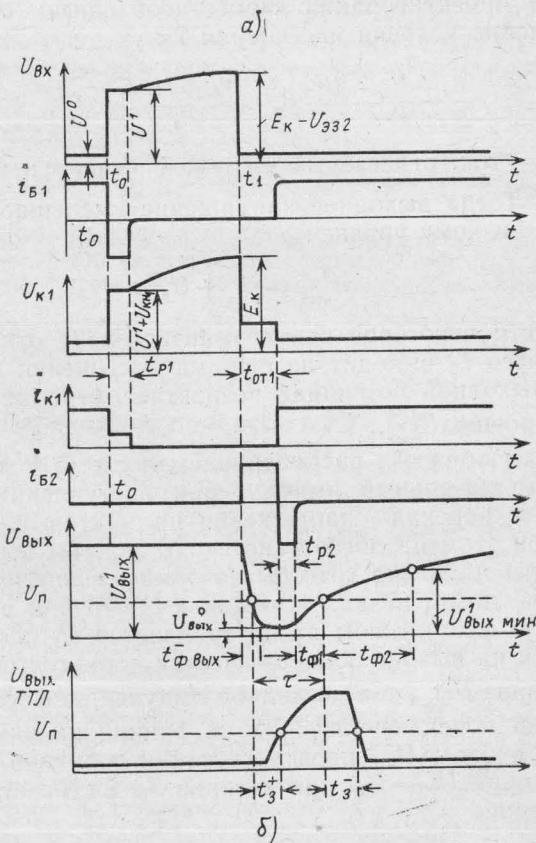
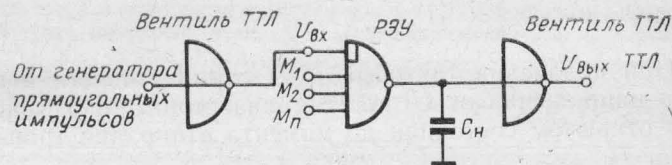


Рис. 4. Временные диаграммы, иллюстрирующие работу РЭУ ТТЛ-типа.

* Простейшим примером РЭУ является дифференцирующая цепочка.

При подаче высокого потенциала на тактовый вход C_p с выхода запускающей микросхемы ТТЛ транзистор T_1 запирается. Транзистор T_2 остается в закрытом состоянии и на выходе РЭУ сохраняется высокий потенциал, определяемый выражением (6). Потенциал на тактовом входе фиксируется на уровне

$$U_{вх\ T} = E_k - U_{э3}. \quad (7)$$

При подаче на тактовый вход отрицательного перепада напряжения от U^1 до U^0 транзистор T_2 оказывается в открытом состоянии до момента отпирания транзистора T_1 .

При проектировании схемы необходимо обеспечить выполнение условия насыщения T_2 :

$$\frac{E_k - U_{э0} - U^0}{R_2} B_2 > \frac{E_k - U^0}{R_8} + I_n^+, \quad (8)$$

где I_n^+ — ток, отдаваемый нагрузкой (микросхемами ТТЛ) в РЭУ. Тогда выходное напряжение уменьшается, стремясь к низкому уровню:

$$U_{вых}^0 = U^0 + U_{кн2}. \quad (9)$$

Спустя некоторое время транзистор T_1 открывается, после чего T_2 выходит из режима насыщения и запирается. Выходной потенциал возрастает, стремясь к высокому уровню $U_{вых}^1$.

Таким образом, рассматриваемая схема РЭУ формирует отрицательный импульс при поступлении отрицательного перепада напряжения на тактовый вход C_p , если при этом на логические входы поданы высокие потенциалы. Если же хотя бы на один из логических входов РЭУ подан низкий потенциал U^0 , то при любом потенциале на тактовом входе транзистор T_1 насыщен, T_2 заперт и на выходе поддерживается постоянный высокий потенциал $U_{вых}^1$, т. е. выходной импульс не формируется.

Порог переключения РЭУ по функциональным и тактовому входам $U_{п}$ определяется как величина входного напряжения $U_{вх} = U_{п}$, при которой T_1 достигает границы насыщения:

$$\frac{E_0 - U_{э0} - U_{п}}{R_1} B_1 = \frac{E_k - U_{э0} - U_{п}}{R_2}. \quad (10)$$

Так как рассматриваемый РЭУ предназначен для совместной работы с элементами ТТЛ, которые имеют порог переключения $U_{п\ ТТЛ} \approx 2U_{э0}$, то целесообразно порог РЭУ $U_{п}$ также сделать близким к этой величине. Так как обычно $B_1 R_2 \gg R_1$, то $U_{п} \approx 2U_{э0}$ при

$$E_0 = 3U_{э0}. \quad (11)$$

В качестве источника напряжения E_0 можно рекомендовать схему, показанную на рис. 1,б, которая проста и обеспечивает значение E_0 в соответствии с выражением (11) в достаточно широком диапазоне изменения температуры и напряжения E_k . Следует отметить, что можно использовать одну схему источника E_0 для задания опорного напряжения на несколько РЭУ. Для этого сопротивление резистора R_0 необходимо выбрать таким, чтобы удовлетворялось условие

$$\frac{E_k - 3U_{э0}}{R_0} \geq m \frac{2U_{э0} - U^0}{R_1} + I_{д\ мин}, \quad (12)$$

где m — число РЭУ, подключенных к источнику E_0 ; $I_{д\ мин}$ — минимальный ток диодов, при котором обеспечивается напряжение $E_0 \approx 3U_{э0}$.

Мощность, потребляемая РЭУ, при наличии низкого потенциала U^0 на тактовом или функциональных входах

$$P_0 = E_k \frac{E_k - U^0 - U_{кн1}}{R_2}. \quad (13)$$

При высоком потенциале U^1 на всех входах, когда транзисторы T_1 и T_2 заперты, РЭУ не потребляет мощности $P_1 = 0$.

Мощность, потребляемая источником опорного напряжения E_0 ,

$$P_{оп} = \frac{E_k - 3U_{э0}}{R_0} E_k. \quad (14)$$

Переходные процессы в РЭУ ТТЛ-типа

Так как РЭУ является элементом импульсно-потенциального типа, то особенный интерес представляют переходные процессы в схеме, обеспечивающие формирование выходного импульса. Рассмотрим процесс переключения РЭУ при поступлении на тактовый вход прямоугольного импульса напряжения с выхода запускающей микросхемы ТТЛ; нагрузкой РЭУ также служат микросхемы ТТЛ (рис. 4,а). Соответствующие эпюры токов и напряжений в схеме показаны на рис. 4,б.

В исходном состоянии на тактовый вход РЭУ подано напряжение $U_{вх\ T} = U^0$, а на логические входы — $U_{вх\ л} = U_1$. При этом транзистор T_1 насыщен, а T_2 заперт. Коллекторный и базовый токи T_1 определяются выражениями (3), (4), а напряжение на коллекторе T_1 — выражением (5). В момент времени t_0 на тактовый вход поступает положительный перепад напряжения до $U_{вх\ T} = U^1 > U_{п}$, напряжение на коллекторе T_1 возрастает до значения $U_{к1} = U^1 + U_{кн1}$, а токи $I_{б1}$, $I_{к1}$ становятся равными

$$I_{б1} = \frac{2U_{э0} - U^1}{R_1}, \quad I_{к1} = \frac{E_k - U^1 - U_{кн1}}{R_2}. \quad (15)$$

Так как $U^1 > 2U_{\text{э0}}$, то $I_{\text{б1}} < 0$ и начинается процесс рассасывания избыточных носителей в транзисторе T_1 . Время рассасывания приближенно (при $B_1 > 10$) можно считать равным

$$t_{\text{р1}} = \tau_{\text{р}} \ln \frac{U^1 - U^0}{U^1 - 2U_{\text{э0}}}. \quad (16)$$

По истечении времени $t_{\text{р1}}$ транзистор T_1 попадает в режим отсечки и напряжение на коллекторе T_1 возрастает от $U_{\text{к1}} = U^1 + U_{\text{кн1}}$, стремясь к величине $E_{\text{к}}$ с постоянной времени $\tau_1 = R_2(C_{\text{э2}} + C_{\text{к2}} + C_{\text{п2}} + C_{\text{к1}})$, где $C_{\text{п2}}$ — паразитная емкость в узле 2 (на базе транзистора T_2), так как транзистор T_2 остается закрытым, то на выходе РЭУ (коллекторе T_2) поддерживается высокий потенциал $U^1_{\text{вых}}$, а напряжение на входе $C_{\text{р}}$ возрастает от величины U^1 до значения $E_{\text{к}} - U_{\text{э0}}$ с постоянной времени, определяемой параметрами запускаящей микросхемы ТТЛ.

Для формирования на выходе РЭУ импульса при поступлении на вход $C_{\text{р}}$ отрицательного перепада напряжения необходимо, чтобы напряжение на базе T_2 за время действия положительного тактового импульса $t_{\text{и}}$ достигало значения, близкого к $E_{\text{к}}$. Поэтому минимальная допустимая длительность $t_{\text{и}}$ приближенно равна:

$$t_{\text{и мин}}^+ \approx t_{\text{р1}} + \tau_1. \quad (17)$$

Пусть в момент времени $t_1 \geq t_0 + t_{\text{и мин}}^+$ на тактовый вход $C_{\text{р}}$ от запускающего элемента ТТЛ поступает отрицательный перепад напряжения, изменяющий $U_{\text{вх}}$ до значения $U_{\text{вх т}} = U^0 < U_{\text{п}}$. Так как транзистор T_2 находится на границе отпирания, то он практически мгновенно открывається начальным скачком напряжения на эмиттерном переходе. В базу T_2 поступает ступенька тока величиной $\Delta I_{\text{б2}} \approx E_{\text{к}} - U_{\text{э0}}/R_2$, достаточная для насыщения транзистора T_2 . Напряжение на базе T_2 (коллекторе T_1) фиксируется на уровне $U_{\text{э0}}$, при этом напряжение на выходе РЭУ уменьшается до значения $U^0_{\text{вых}}$ за время

$$t_{\text{ф вых}} \approx R_2 \left(C_{\text{к2}} + \frac{C_{\text{н}} + C_{\text{п3}}}{B_2} \right) \frac{U^1_{\text{вых}} - U^0_{\text{вых}}}{E_{\text{к}} - U_{\text{э0}}}, \quad (18)$$

где $C_{\text{п3}}$ — паразитная емкость на выходе элемента; $C_{\text{н}}$ — емкость нагрузки.

Транзистор T_1 отпирается спустя время $t_{\text{от1}}$ после момента t_1 :

$$t_{\text{от1}} = (C_{\text{п1}} + C_{\text{э1}} + C_{\text{к1}}) R_1 \ln \frac{C_{\text{э1}} + C_{\text{к1}}}{C_{\text{э1}} + C_{\text{к1}} + C_{\text{п1}}} \frac{E_{\text{к}} - U_{\text{э0}}}{2U_{\text{э0}}}, \quad (19)$$

где $C_{\text{п1}}$ — паразитная емкость в узле 1 (на базе T_1). На практике величина $t_{\text{от1}}$ обычно равна

$$t_{\text{от1}} = (0,4 \div 0,6) R_1 (C_{\text{п1}} + C_{\text{э1}} + C_{\text{к1}}). \quad (20)$$

Чтобы РЭУ формировал выходной импульс необходимой амплитуды, следует при проектировании схемы обеспечить выполнение условия

$$t_{\text{от1}} \geq t_{\text{ф вых}}. \quad (21)$$

После отпирания транзистора T_1 его коллекторный ток быстро возрастает до значения, превышающего $(E_{\text{к}} - U_{\text{э0}} - U^0)/R_2$, и из базы T_2 начинает течь запирающий ток. Происходит рассасывание избыточного заряда в T_2 , и спустя время $t_{\text{р2}}$ после отпирания T_1 транзистор T_2 попадает в режим отсечки. Аналитическое выражение для определения времени $t_{\text{р2}}$ оказывается достаточно громоздким. Как показывают расчеты, проведенные для типовых значений параметров компонентов

$$t_{\text{р2}} \approx (0,1 \div 0,2) \tau_{\text{р}}. \quad (22)$$

После запираия T_2 выходное напряжение возрастает от значения $U^0_{\text{вых}}$ до $U^1_{\text{вых}}$. Так как в качестве нагрузки РЭУ используется элемент ТТЛ, то на положительном фронте выходного импульса наблюдается два участка.

Первый участок фронта до момента, когда $U_{\text{вых}}(t_{\text{ф1}}) = U_{\text{п}} \approx 2U_{\text{э0}}$ формируется при открытом элементе — нагрузке. Длительность этого участка определяется выражением

$$t_{\text{ф1}} = \frac{R_3 R_{\text{н}}}{R_3 + R_{\text{н}}} (C_{\text{к2}} + C_{\text{п3}} + C_{\text{н}}) \ln \frac{E_{\text{к}} - U^0_{\text{вых}}}{E_{\text{к}} - 2U_{\text{э0}}}, \quad (23a)$$

где $R_{\text{н}}$ — сопротивление нагрузки, равное входному сопротивлению $R_{\text{вх}}$ элемента при низком потенциале на входе $U_{\text{вх}} < U_{\text{п}}$.

Второй участок фронта при $U_{\text{вых}} > U_{\text{п}}$ формируется при закрытом элементе — нагрузке, когда его входное сопротивление весьма велико $R_{\text{н}} = R_{\text{вх}} \approx \infty$. При этом время, в течение которого выходное напряжение возрастает до некоторого заданного минимального уровня $U^1_{\text{вых мин}}$, равно

$$t_{\text{ф2}} = R_3 (C_{\text{к2}} + C_{\text{п3}} + C_{\text{н}}) \ln \frac{U^1_{\text{вых мин}} - 2U_{\text{э0}}}{U^1_{\text{вых мин}}}. \quad (23б)$$

Таким образом, РЭУ формирует импульс напряжения, длительность которого, определенная на уровне $U_{\Pi} = 2U_{90}$, равна

$$\tau = t_{от1} + t_{p2} + t_{ф1}. \quad (24)$$

Используя выражения (17), (23), (24), можно найти максимальную частоту переключения РЭУ

$$f_{\max} = 1 / (t_{и \min} + t_{ф2} + \tau). \quad (25)$$

Следует отметить, что при больших длительностях фронта t_{ϕ}^{-} отрицательного перепада тактового импульса амплитуда выходного импульса РЭУ начинает уменьшаться. Причины этого явления можно объяснить с помощью рис. 5.

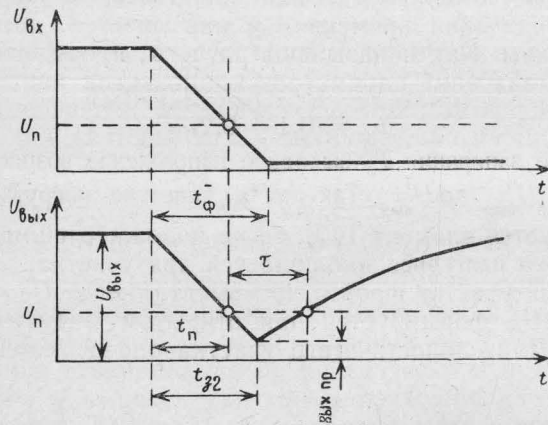


Рис. 5. Влияние длительности t_{ϕ}^{-} отрицательного перепада тактового сигнала на амплитуду выходного импульса РЭУ.

Как видно из рисунка, при больших длительностях t_{ϕ}^{-} выходное напряжение не успевает достигнуть уровня $U_{\text{вых}}^0$ за промежуток времени

$$t_{a2} - t_{\Pi} = t_{от1} + t_{п1} + t_{p2} - t_{\Pi},$$

где t_{Π} — момент времени, когда $U_{\text{вх}}$ достигает уровня U_{Π} ; t_{a2} — момент, когда запирается транзистор T_2 .

Для надежного переключения последующих элементов ТТЛ необходимо, чтобы промежуточный уровень $U_{\text{вых пр}}^0$, которого достигает выходное напряжение при больших длительностях t_{ϕ}^{-} , удовлетворял условию

$$U_{\text{вых пр}}^0 \leq U_{\text{п ТТЛ}} - \Delta U_{\Pi}^+, \quad (26)$$

где ΔU_{Π}^+ — заданный запас помехоустойчивости для помех положительной полярности. Так как величина $U_{\text{вых пр}}^0$ зависит от t_{ϕ}^{-} , то условие (27) накладывает ограничение на максимальную допустимую длительность отрицательного фронта тактового импульса. Для случая линейного фронта, считая $t_{a2} \approx t_{от1}$, что обычно выполняется на практике, можно получить следующее выражение для оценки максимального допустимого значения t_{ϕ}^{-} :

$$t_{\phi \max}^- \leq R_1 (C_{э1} + C_{к1} + C_{ш1}) \frac{U^1 - U^0}{\Delta U_{\Pi}^+ + U_{кн2}}. \quad (27)$$

Как показывают оценочные расчеты, при типичных для элементов ТТЛ-значениях $\Delta U_{\Pi}^+ = 0,5 \div 1,0$ в, условие (28) выполняется в достаточно широком диапазоне значений t_{ϕ}^{-} .

Использование РЭУ для построения последовательных структур

Рассмотренный РЭУ ТТЛ-типа совместно с элементами И—НЕ ТТЛ может служить для построения триггерных схем с характеристическими уравнениями любого вида (1). При этом для нормальной работы триггера необходимо, чтобы длительность отрицательного импульса на выходе РЭУ удовлетворяла условию

$$\tau \geq 2\bar{t}_з,$$

где $\bar{t}_з$ — средняя задержка переключения (на уровне U_{Π}) элементов ТТЛ, используемых в бистабильной ячейке.

Логические структуры тактированных триггеров RS-, T-, D-, DV-, JK-типов, использующих РЭУ, приведены на рис. 6. Как видно из рисунка, данные структуры триггеров отличаются простотой по сравнению с другими, известными ранее интегральными схемами триггеров [2—4]. Для сравнения в табл. 1 приведены данные по числу компонентов и межсоединений JK-триггера со схемой управления, использующей вспомогательную бистабильную ячейку (схема SN74L72 фирмы Texas Instr., США), триггера с разностными элементами управления (схема MC2025 фирмы Motorola) и JK-триггера, построенного с использованием предлагаемого РЭУ ТТЛ-типа (рис. 6, д). Результаты сравнения показывают, что при-

ТАБЛИЦА 1

Характеристики	SN74L72	МС2025	Триггер с РЭУ ТТЛ-типа
Количество транзисторов, шт.	20	20	12
Количество диодов, шт.	2	2	5
Количество резисторов, шт.	18	20	13
Всего компонентов, шт.	40	42	30
Общая сумма значений резисторов, <i>ком</i>	640	—	250
Количество внутренних контактов, шт.	140	140	108

Примечание. Общая сумма значений резисторов приведена для триггеров, имеющих одинаковые потребляемую мощность и быстродействие.

менение предлагаемой схемы РЭУ для управления *JK*-триггером, обеспечивает выигрыш в числе компонентов и межсоединений при близких значениях быстродействия и потребляемой мощности.

На интегральных образцах РЭУ и маломощных микросхемах ТТЛ были собраны и испытаны схемы тактированных *RS*- и *D*-триггеров в узлах ЦВМ (рис. 6, а, в).

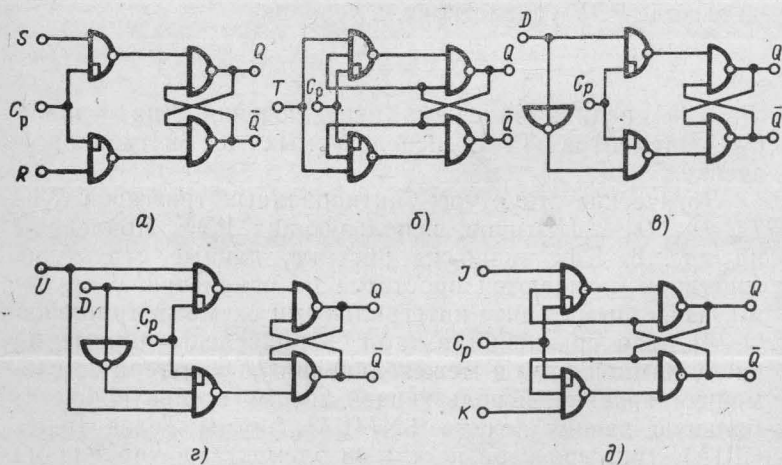


Рис. 6. Структурные схемы триггеров *RS*- (а), *T*- (б), *D*- (в), *DV*- (г), и *JK*- (д) типов, построенные с использованием РЭУ.

Результаты испытаний показали, что данные триггеры сохраняют работоспособность в диапазоне температур $-60 \dots +120^\circ\text{C}$ при напряжении питания $E_k = 5 \text{ в} \pm 10\%$. Триггеры имеют максимальную рабочую частоту $f_{\text{max}} = 2,5 \div 3,0 \text{ МГц}$ при потребляемой мощности 4–5 мвт. Максимальная допустимая длительность отрицательного

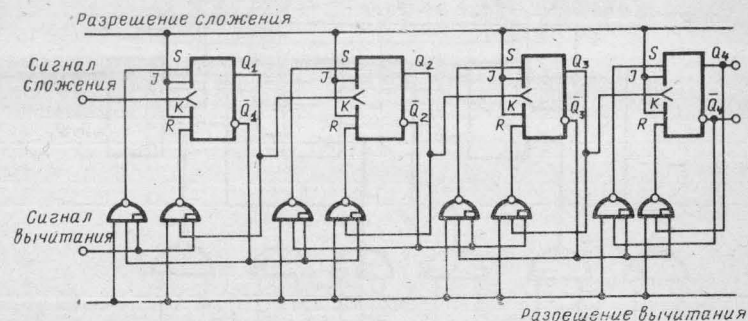


Рис. 7. Структура subsystemы двоичного асинхронного реверсивного счетчика.

фронта тактового импульса составляет не менее 800 нсек, минимальная амплитуда тактовых импульсов равна 1,8 в.

Использование РЭУ позволяет строить цифровые subsystemы счетчиков и регистров различного назначения. На рис. 7–11 показаны некоторые примеры. В табл. 2 проведено сравнение двух вариантов таких subsystemы: построенных на основе *JK*-триггера с вспомогательной

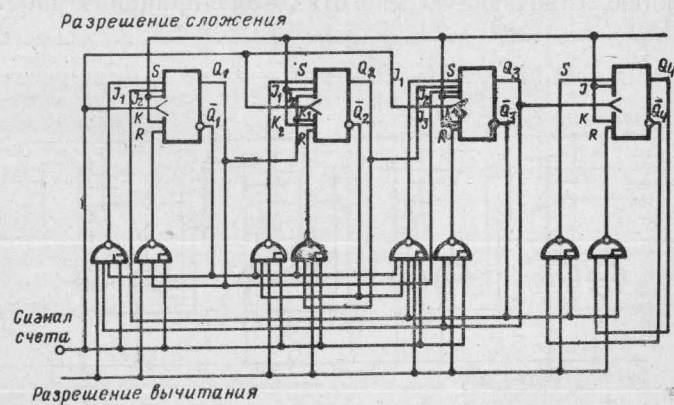


Рис. 8. Структура subsystemы реверсивного декадного счетчика.

бистабильной ячейкой (схема SN74L72) и маломощных элементов И—НЕ ТТЛ (вариант А) и построенных на основе JK-триггеров, использующих РЭУ, и отдельных РЭУ (вариант Б) по числу компонентов, внутренних межсоединений, внешних контактов, а также по потребляемой мощности.

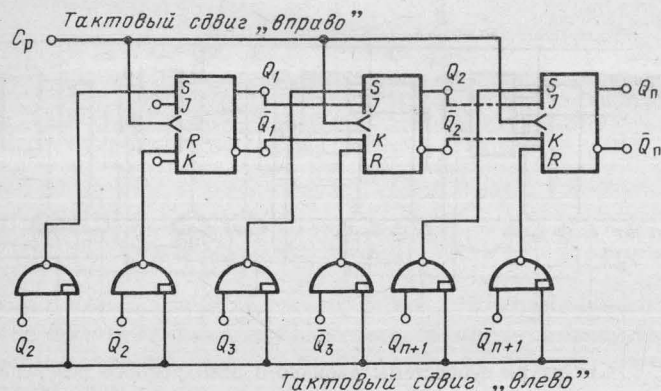


Рис. 9. Структура подсистемы реверсивного сдвигающего регистра.

Приведенные примеры отнюдь не исчерпывают все возможные способы применения РЭУ ТТЛ-типа в узлах ЦВМ. Так, если в схеме вместо T_2 включить многоэмиттерный транзистор (рис. 11,а) с входами L_1, L_2, \dots, L_k , то путем объединения этих входов с L -входами транзистора T_1 можно образовать импульсно-потенциальную функцию, отвечающую многотактному принципу работы разностной схемы

$$A = M_1 M_2 \dots M_n (dC_{p1} + dC_{p2} + \dots + dC_{pk})$$

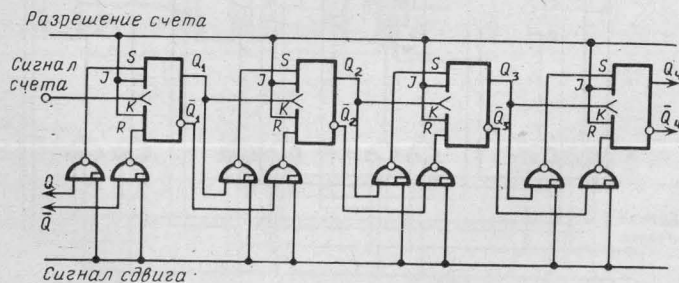


Рис. 10. Структура подсистемы комбинированного регистра счета и сдвига двоичных чисел.

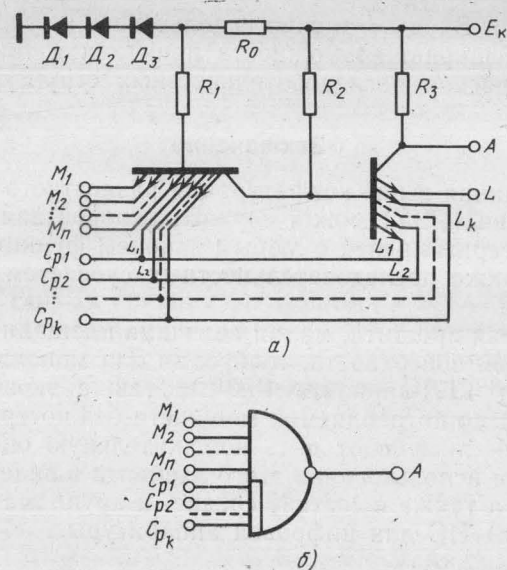


Рис. 11. Модифицированный РЭУ ТТЛ-типа с возможностью многотактного режима работы (а) и его логический символ (б).

ТАБЛИЦА 2

Наименование цифрового узла	Вариант	Количество транзисторов, шт.	Количество диодов, шт.	Количество резисторов, шт.	Общая сумма значений резисторов, ком	Потребляемая мощность, мвт	Количество внутренних контактов, шт.
Счетчик двоичный асинхронный реверсивный (1 разряд)	А	32	5	30	880	11	238
	Б	18	10	18	350	7	150
Счетчик декадный реверсивный (4 разряд)	А	136	22	128	3680	48	952
	Б	72	40	72	1400	30	670
Регистр сдвига реверсивный (1 разряд)	А	36	9	34	960	13	260
	Б	18	6	18	350	7	157
Комбинированный регистр счета и сдвига информации (1 разряд)	А	36	6	34	960	13	236
	Б	18	9	18	360	7	146

Примечание. Количество контактов дано только для межкомпонентных связей на кристалле.

(рис. 11,б). Входы L можно использовать и отдельно, что также расширяет возможности применения такого РЭУ для построения последовательностных структур.

Заключение

Описанная выше конфигурация разностного элемента управления (РЭУ) может служить основой для реализации триггерных цепей с любым законом функционирования, а также последовательностных subsystem в базе ТТЛ-типа.

Схемная простота, малая величина площади полупроводниковой поверхности, требуемая для монолитного воплощения ТТЛ-варианта РЭУ, а также экономия (до 30—40%) по потребляемой мощности без потери быстродействия — позволяют дать положительную оценку перспективам использования этого элемента в виде монолитных ИС, а также в составе средне- и крупномасштабных (больших) ИС для цифровой аппаратуры.

ЛИТЕРАТУРА

1. Фистер М. Логическое проектирование цифровых вычислительных машин. Пер. с англ., под ред. В. М. Глушкова. Изд-во «Техника», Киев, 1964.
2. Dummer G. W. A., Robinson M. K., Anglo-American Microelectronics Data, v. 1, II, Pergamon Press.
3. Texas Instruments. J. C. Catalog, August, 1969.
4. Алексенко А. Г., Сапельников А. Н., Шагурин И. И. Метод логического проектирования триггерных структур на интегральных схемах. В сб. «Микроэлектроника», под ред. Ф. В. Лукина, вып. 3, стр. 140—158. Изд-во «Советское радио», 1969.
5. Лазарев В. Г., Пийль Е. И. Синтез управляющих автоматов. Изд-во «Энергия», 1970.
6. Якубайтис Э. А. Асинхронные логические автоматы. Изд-во «Зинатне», Рига, 1966.

В. М. ДОЛКАРТ, Г. Х. НОВИК, С. Ф. РЕДИНА

ОЦЕНКА ВЛИЯНИЯ ОТРАЖЕНИЙ НА ИСКАЖЕНИЯ ИНФОРМАЦИОННЫХ СИГНАЛОВ В СИСТЕМАХ, ИСПОЛЬЗУЮЩИХ ИНТЕГРАЛЬНЫЕ СХЕМЫ ТРАНЗИСТОРНО- ТРАНЗИСТОРНОЙ ЛОГИКИ (ТТЛ)

Введение

При построении электронных вычислительных машин и устройств на быстродействующих интегральных схемах отражения в соединительных линиях являются одним из источников помех в системе. Отражения в линиях передачи искажают информационные сигналы, в результате чего может, во-первых, увеличиваться задержка распространения сигнала, во-вторых, могут происходить несрабатывания или ложные срабатывания схем.

Отражения в соединительной линии рассматриваются как источники помех в тех случаях, когда длительности фронта t_f и спада t_c сигнала, распространяющегося вдоль линии, не превышают двойную задержку распространения сигнала в линии, т. е. $t_f, t_c < 2t$, где t — задержка линии [1]. В этом случае соединительная линия рассматривается как линия передачи, отражения в которой, как известно, определяются соотношением между входными, выходными и характеристическими импедансами линии.

Для анализа искажений информационных сигналов из-за отражений в таких соединительных линиях может быть использован графический метод Бергерона для построения сигналов на входе и выходе линии, вдоль которой распространяется передаваемый сигнал.

Вопросам применения графического метода для анализа искажений в быстродействующих цифровых ТТЛ схемах посвящен подробный обзор [2].

Времена переключения t_f, t_c интегральных ТТЛ схем составляют 5—15 нсек, поэтому соединительные линии (выполняемые обычно как линии передачи) длиной более 1 м в системах должны рассматриваться как длинные линии, так как задержка в них составляет $\tau = 5 \div 6$ нсек/м и соизмерима с временами переключения ТТЛ схем. С повышением быстродействия ТТЛ схем максимальная допустимая длина соединительной линии, отражения в которой можно не учитывать при анализе помех, уменьшается. И, например, для интегральных схем ТТЛ, использующих антинасыщающие диоды