

Микросхема КР581ИК1

Микросхема КР581ИК1 предназначена для выполнения логических и арифметических функций над системными данными.

Условное графическое обозначение КР581ИК1 приведено на рис. 4.1, структурная схема дана на рис. 4.2, функциональное назначение выводов — в табл. 4.4, временная диаграмма показана на рис. 4.3.

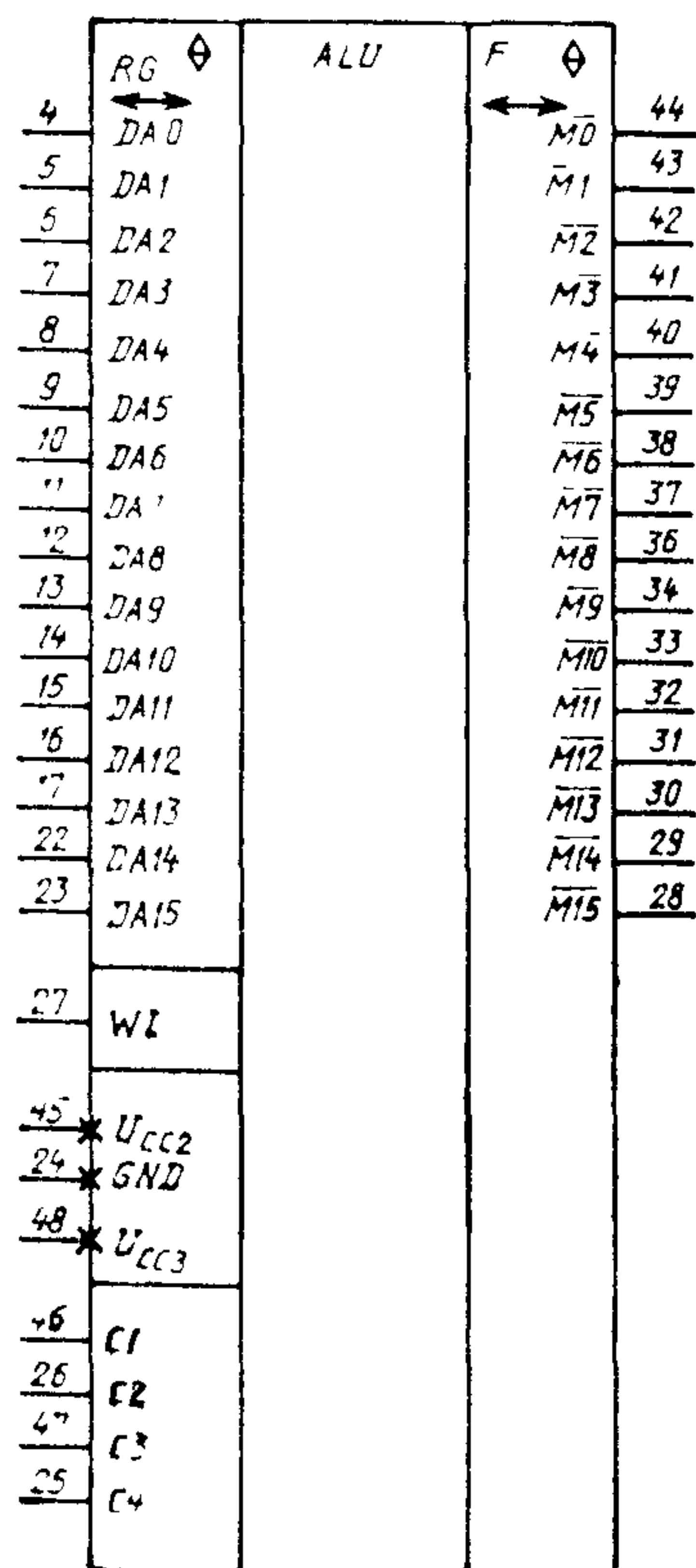


Таблица 4.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
4—17, 22, 23	DA0—DA15	Вход/выход	Шина адреса и данных. Используется мультиплексный режим работы информационных шин (передача адресных сигналов, команд и данных по одной шине)
28—34, 36—44	M15—M0	Вход/выход	Шина микрокоманд. По шине микрокоманд организован обмен информацией между всеми микросхемами комплекта
27	WI	Вход	Сигнал «Ожидание». При поступлении данного сигнала микросхема переходит в режим ожидания
46, 26, 47, 25, 45	C1—C4	Входы	Тактовые сигналы от внешнего генератора
	UCC2	—	Напряжение питания +12 В
	—	—	Напряжение питания +5 В
48	UCC3	—	Напряжение питания —5 В
24	GND	—	Общий

Рис. 4.1. Условное графическое обозначение КР581ИК1

Примечание. Источник питания U_{CC1} не используется.

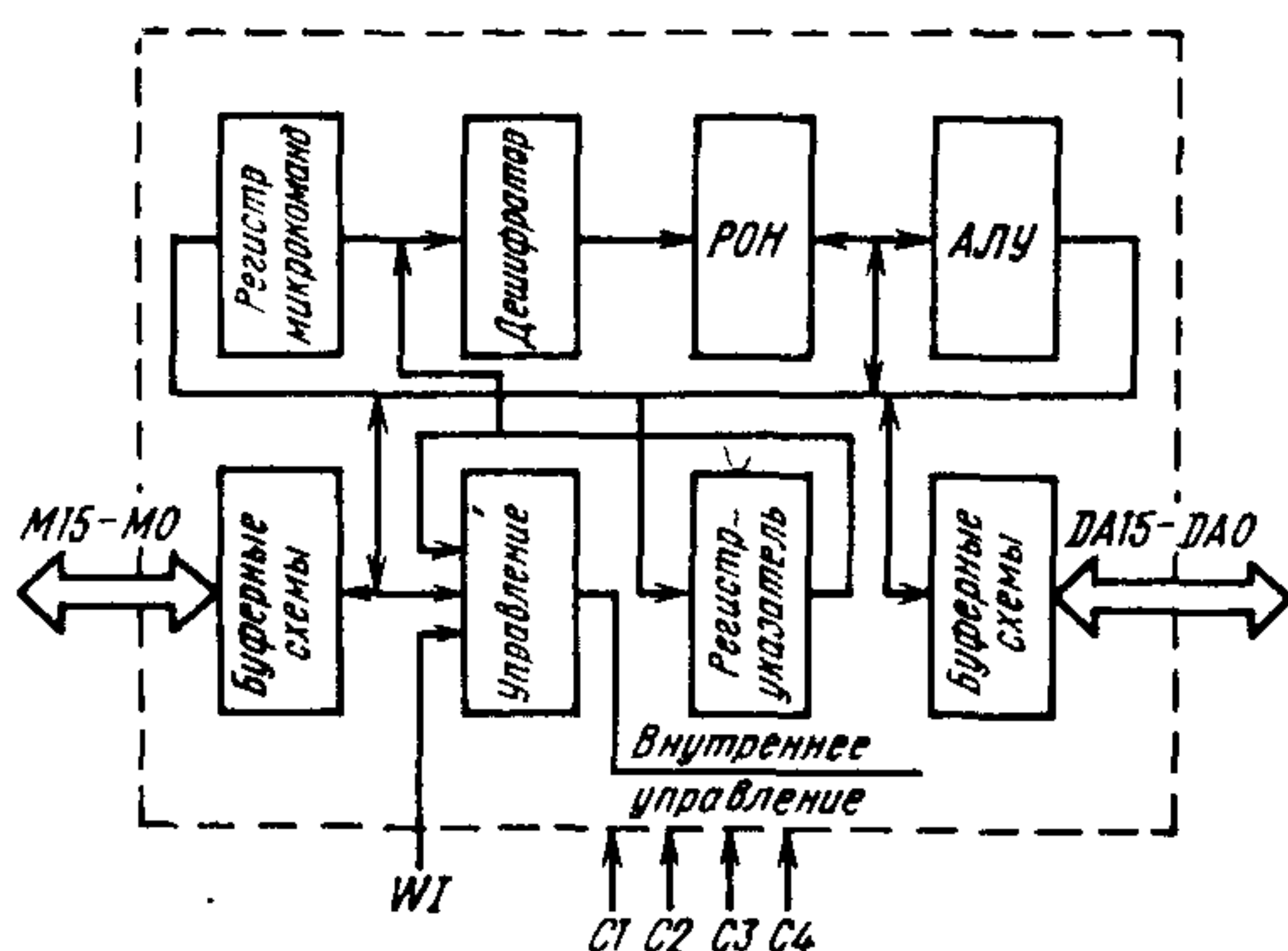


Рис. 4.2. Структурная схема КР581ИК1

Функционально микросхема включает в себя: арифметико-логическое устройство (АЛУ); регистры общего назначения (РОН); дешифратор; регистр микрокоманд и регистр-указатель для адресации к РОН; устройство местного управления, содержащее логическую матрицу дешифрации кода микрокоманды; буферные схемы.

Выполнение всех операций осуществляется под управлением соответствующих микрокоманд (табл. 4.5). Система микрокоманд, реализуемая КР581ИК1, является важнейшей характеристикой МПК, достаточно универсальна и позволяет эмулировать произвольный набор системных команд. Для обеспечения возможности расширения системы команд или ее модификации и реализации всех преимуществ микропрограммного способа управления шина микрокоманд (ШМК) выполнена внешней по отношению к микросхемам МИК.

Набор микрокоманд (табл. 4.5), реализуемых микросхемой, состоит из следующих групп микрокоманд в соответствии с выполняемыми функциями: арифметические, логические, регистровые, сдвига, ввода, вывода, перехода, инкремента-декремента, управления.

Под временем цикла t_c на временных диаграммах понимается промежуток времени между началом действия тактового сигнала $C1$ первого цикла и началом действия тактового сигнала $C1$ второго цикла.

Обозначение выводов микросхем на диаграммах принято в соответствии с условными графическими обозначениями и табл. 4.4.

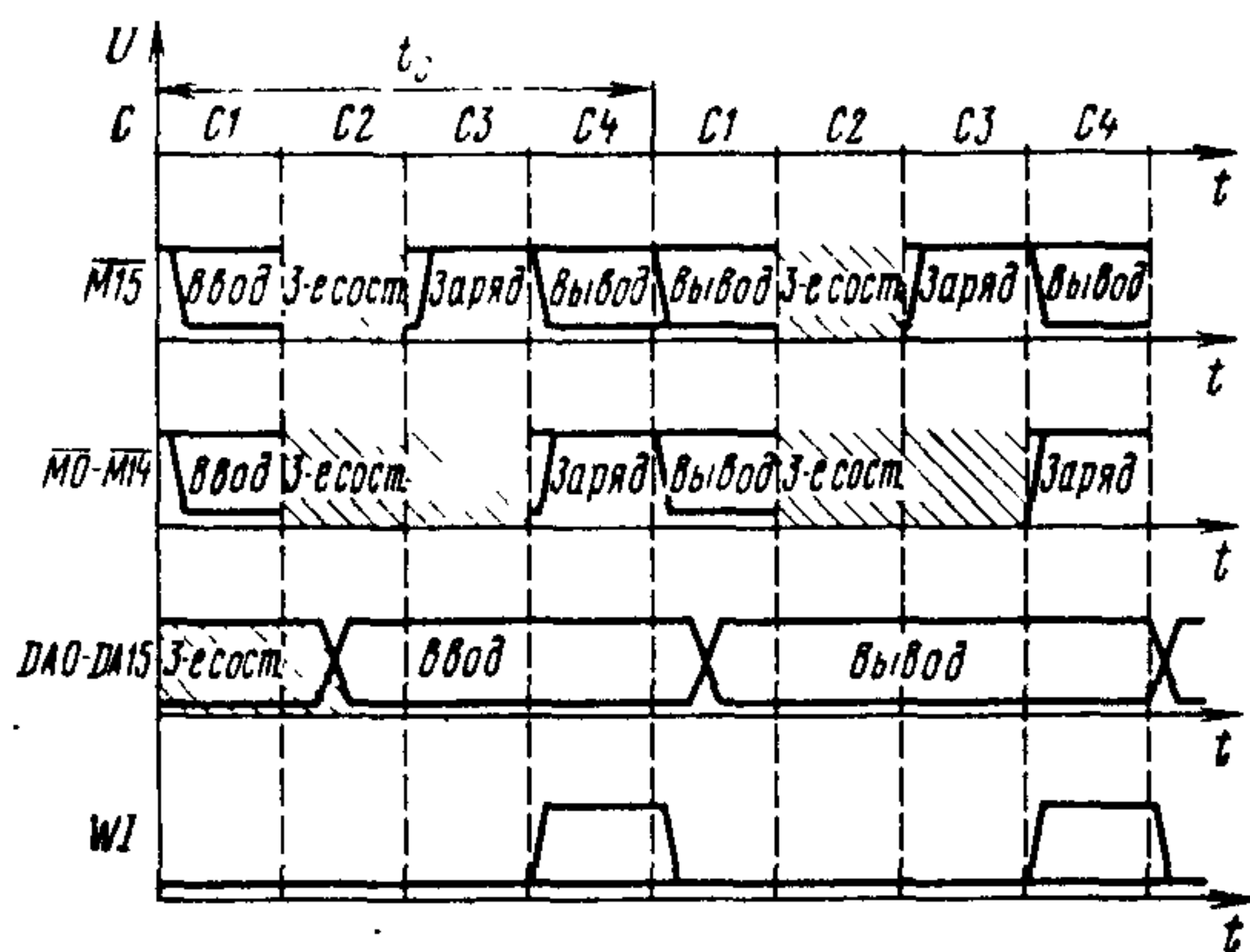


Рис. 4.3. Временная диаграмма работы КР581ИК1

На рис 4.3 приняты следующие обозначения:

Ввод — ввод информации по данному выводу или группе выводов во время действия соответствующих тактовых сигналов;

Вывод — вывод информации по данному выводу или группе выводов;

Заряд — установление на данном выводе или группе выводов напряжения высокого уровня;

З-е сост. — во время действия соответствующих тактовых сигналов на данном выводе (группе выводов) устанавливается режим 3-го состояния.

Эти обозначения приняты для выводов с совмещенными функциями ввода/вывода информации.

Для выводов, выполняющих функции только входов или только выходов, такие обозначения не приведены.

Функцию заряда разрядов ШМК в МПК выполняют микросхемы КР581РУ1—КР581РУ3.

Блок РОН имеет двухканальную (двухпортовую) структуру; при этом один из каналов (порт В) предназначен только для чтения, а второй (порт А) используется как для чтения, так и для записи информации. Порт А регистрового блока связан с шиной адреса и данных ШАД, через эту шину осуществляется передача данных, хранящихся в регистровом блоке, внешним схемам.

Информация, подлежащая обработке, поступает в АЛУ по шинам порта А и порта В блока РОН. АЛУ производит операцию и результат записывается в регистр по адресу порта А.

При обращении к регистровому блоку адрес регистров по порту А и порту В выбирается из адресного поля текущей микрокоманды. Поле микрокоманды разрядов 0—3 (поле а) служит адресом регистра порта А блока РОН, а поле микрокоманды разрядов 4—7 (поле б) служит адресом регистра порта В блока РОН для двухадресных микрокоманд. В случае одноадресной микрокоманды обращение осуществляется только по адресу поля а микрокоманды.

При микрокомандах перехода код операции содержится в разрядах 12—15 микрокоманды, в оставшихся разрядах 0—11 заключен адрес. В микрокомандах условного перехода код операции содержится в разрядах 12—15 микрокоманды, условие — в разрядах 8—11, а адрес в разрядах 0—7 микрокоманды.

Таблица 4.5

Группы микрокоманд	Операция	Число циклов для выполнения микрокоманд	Примечание
1	2	3	4
Арифметические	Сложение литералов	1	$R_a \leftarrow R_a + \text{ЛИТ}$
	Сложение байтов	1	$R_a \leftarrow R_a + R_b$
	Сложение слов	2	$R_a \leftarrow R_a + R_b$
	Условное сложение байтов	1	—
	Условное сложение слов	2	—
	Сложение байтов с переносом	1	$R_a \leftarrow R_a + R_b + C$
	Сложение слов с переносом	2	$R_a \leftarrow R_a + R_b + C$
	Условное сложение слов	2	—
	Условное сложение чисел	1	—
	Вычитание байта	1	$R_a \leftarrow R_a - R_b$
	Вычитание слова	2	$R_a \leftarrow R_a - R_b$
	Вычитание байтов с переносом	1	$R_a \leftarrow R_a - R_b - C$
	Вычитание слов с переносом	2	$R_a \leftarrow R_a - R_b - C$
Логические	Логическое умножение литералов	1	$R_a \leftarrow R_a \wedge \text{ЛИТ}$
	Логическое умножение байтов	1	$R_a \leftarrow R_a \wedge R_b$
	Логическое умножение слов	2	$R_a \leftarrow R_a \wedge R_b$
	Логическое сложение байтов	1	$R_a \leftarrow R_a \vee R_b$
	Логическое сложение слов	2	$R_a \leftarrow R_a \vee R_b$
	Исключающее ИЛИ байтов	1	$R_a \leftarrow R_a \vee R_b$
	Исключающее ИЛИ слов	2	$R_a \leftarrow R_a \vee R_b$
	Логическое умножение прямого и инверсного байтов	1	$R_a \leftarrow R_a \wedge \overline{R_b}$
	Логическое умножение прямого и инверсного слов	2	$R_a \leftarrow R_a \wedge \overline{R_b}$
	Копирование «флагов»	1	—
	Загрузка «флагов»	1	—
Регистровые	Загрузка регистра-указателя	1	—
	Пересылка байта	1	$R_a \leftarrow R_b$
	Пересылка слова	2	$R_a \leftarrow R_b$
	Условная пересылка байта	1	—
	Условная пересылка слова	2	—
	Загрузка регистра команд	2	—

Продолжение табл. 4.5

1	2	3	4
Сдвиг	Сравнение литерала	1	—
	Проверка литерала	1	—
	Дополнение байта прямое	1	—
	Дополнение слова прямое	2	—
	Дополнение байта инверсное	1	—
	Дополнение слова инверсное	2	—
	Сравнение байта	1	—
	Сравнение слова	2	—
	Проверка байта	1	—
	Проверка слова	2	—
	Вывод слова состояния	1	—
	Сдвиг байта влево с переносом	1	$R_a \leftarrow 2R_b - C$
	Сдвиг слова влево с переносом	2	$R_a \leftarrow 2R_b + C$
	Сдвиг байта влево	1	$R_a \leftarrow 2R_b$
	Сдвиг слова влево	2	$R_a \leftarrow 2R_b$
	Сдвиг байта вправо с переносом	1	—
	Сдвиг слова вправо с переносом	2	—
	Сдвиг байта вправо	1	—
	Сдвиг слова вправо	2	—
Перехода	Переход	2	5 типов
	Возврат к подпрограмме	2	8 типов
Ввода, вывода	Условный переход	2	5 типов
	Ввод литерала	1	—
	Ввод байта	1	—
	Ввод слова	2	—
	Ввод байта состояния	1	—
	Ввод слова состояния	2	—
	Чтение и увеличение байта на 1	1	$ШАД \leftarrow R_b, R_a$
	Чтение и увеличение слова на 1	2	$R_a \leftarrow R_a + 1$
	Чтение и увеличение байта на 2	1	—
	Чтение и увеличение слова на 2	2	—
	Чтение (запись)	1	$ШАД \leftarrow R_b, R_a$
	Вывод байтов	1	$ШАД \leftarrow R_b, R_a$
	Вывод слов	1	$ШАД \leftarrow R_b, R_a$
	Условное приращение байта	1	$R_a \leftarrow R_a + 1$
Инкремента, декремента	Условное уменьшение байта	1	$R_a \leftarrow R_a - 1$

Окончание табл. 4.5

1	2	3	4
Управление	Наращивание байта на 1	1	$R_a \leftarrow R_b + 1$
	Наращивание слова на 1	2	$R_a \leftarrow R_b + 1$
	Наращивание байта на 2	1	$R_a \leftarrow R_b + 2$
	Наращивание слова на 2	2	$R_a \leftarrow R_b + 2$
	Уменьшение байта на 1	1	$R_a \leftarrow R_b - 1$
	Уменьшение слова на 1	2	$R_a \leftarrow R_b - 1$
	Сброс прерывания	1	—
	Установка прерывания	1	—
	Сброс регистра состояния	1	—
	Нет операции	1	—

Примечания 1 R_a — регистр с адресом поля a микрокоманды; R_b — регистр с адресом поля b микрокоманды; ЛИТ — литерал; ШАД — шина адреса и данных.

2 Общее число реализуемых микрокоманд 91.

Тактовые сигналы $C1$ — $C4$ представляют собой серию из четырех следующих друг за другом неперекрывающихся во времени импульсов напряжения (рис. 4.3).

Микрокоманда, подлежащая исполнению, поступает в блок управления, содержащий программируемую логическую матрицу расшифровки кода микрооперации. Блок управления вырабатывает управляющие сигналы, задающие АЛУ режим работы, соответствующий поданной микрокоманде. АЛУ параллельно обрабатывает два операнда. Обработка 16-разрядных слов осуществляется за два цикла под управлением двухцикловых микрокоманд. Обработка 8-разрядных слов требует одного цикла и реализуется одноцикловыми микрокомандами. При регистровых микрокомандах код операции, поступающий на расшифровку в блок управления, содержится в разрядах 8—15 микрокоманды, а поля a и b микрокоманды содержат адреса регистров общего назначения, содержимое которых подвергается обработке. Запись результата обработки производится в РОН по адресу поля a микрокоманды.

При литеральных микрокомандах в качестве одного из операндов в операциях АЛУ используется литеральная часть микрокоманды. Код операции содержится в разрядах 12—15 микрокоманды, второй операнд заключен в РОН с адресом поля a , а код литерала — в разрядах 4—11 микрокоманды. Результат обработки информации поступает в РОН, имеющий адрес поля a микрокоманды.

При микрокомандах условного перехода осуществляется проверка состояния «флага» условия, определяемого разрядами 8—11 микрокоманды. Результат проверки выдается в следующем цикле.

Во время двухцикловых микрокоманд во втором цикле регистр микрокоманд воспроиз-

водит поданную в первом цикле микрокоманду с инвертированными младшими разрядами полей *a* и *b* микрокоманды. Этим обеспечивается последовательная обработка 16-разрядных данных 8-разрядным АЛУ с помощью одной микрокоманды.

Выбор нужных РОН осуществляется адресным дешифратором.

Построение блока РОН обеспечивает: параллельную выдачу АЛУ содержимого двух 8-разрядных РОН (двух операндов);

вывод в ШАД и ШМК 16-разрядных слов.

Блок РОН состоит из 26 8-разрядных регистров: 10 регистров могут прямо адресоваться микрокомандами; 4 адресуются прямо и косвенно (эти регистры выполняют специальные функции процессора — счетчик команд, указатель стека); 12 регистров имеют только косвенную адресацию и используются в качестве регистров общего назначения.

В РОН с адресом поля *a* микрокоманды может записываться следующая информация: результат обработки информации АЛУ; младший байт слова, поступающего в ШАД;

старший байт слова, поступающего в ШАД;

содержимое флагов условий, литеральная часть микрокоманды.

В ШАД в режиме ввода информации поступают команды и данные, которые заносятся в нужные РОН и могут передаваться в ШМК. В режиме вывода информации в ШАД выводится 16-разрядное слово — содержимое РОН, адрес которых определяется полями *a* и *b* микрокоманды.

В ШМК может выводиться информация, поданная в ШАД;

результат проверки флагов условий;

16-разрядное слово — содержимое РОН, адрес которых определяется полями *a* и *b* микрокоманды.

Регистр-указатель для косвенной адресации представляет собой трехразрядный регистр, хранящий адрес пары РОН; он может загружаться либо из адресной части системной команды, либо из адресного поля регистра системной команды.

Регистры кодов условий обеспечивают хранение следующих условий: отрицательный результат; нулевой результат; 4-разрядный перенос; 8-разрядный перенос; переполнение.

Схема проверки состояния флагов условий обеспечивает выдачу результата проверки при подаче микрокоманд условного перехода.

При поступлении на вход *WI* сигнала «Ожидать» регистр микрокоманд воспроизводит поданную в данном цикле микрокоманду и микросхема переходит в режим ожидания. Режим ожидания используется в случае ожидания поступления информации в ШАД или при необходимости выдачи информации в течение нескольких циклов. После сигнала «Ожидание» микросхема заканчивает выполнение поданной микрокоманды; ее узлы и

Таблица 4.6

Параметр	Обозначение	Значения параметров		Примечание
		мин	макс.	
Ток потребления от источника U_{CC2} , мА	I_{CC2}	—	35	$U_{CC2}=12,6\text{В}$, $T=+25^\circ\text{C}$
Ток потребления от источника U_{CC3} , мА	I_{CC3}	—	1,0	$U_{CC3}=$ $-4,5\text{В}$, $T=+25^\circ\text{C}$
Выходное напряжение высокого уровня ШАД, В	U_{OHDA}	2,3	—	$I_{OH}=0,1\text{мА}$
Выходное напряжение низкого уровня ШАД, В	U_{OLDA}	—	0,6	$I_{OL}=0,8\text{мА}$
Выходное напряжение низкого уровня ШМК, В	U_{OLM}	—	0,5	
Входное напряжение высокого уровня по ШАД, В	U_{IHDA}	3,4	—	
Входное напряжение низкого уровня по ШАД, В	U_{ILDA}	—	0,7	
Входное напряжение высокого уровня по ШМК, В	U_{IHM}	3,4	—	
Входное напряжение низкого уровня по ШМК, В	U_{ILM}	—	0,7	
Напряжение высокого уровня на входе <i>WI</i> , В	U_{IHWI}	3,4	—	
Напряжение низкого уровня на входе <i>WI</i> , В	U_{ILWI}	—	0,7	
Емкость входов, пФ	C_{IC}	—	14	$T=+25^\circ\text{C}$

блоки готовы к приему и выполнению следующей микрокоманды.

Статические параметры КР581ИК1 приведены в табл. 4.6.