

Микросхема КМ1802ВР4

Микросхема КМ1802ВР4 — параллельный умножитель 12×12 разрядов, предназначена для использования в радиоэлектронной аппаратуре. Каждый из операндов может быть либо кодом (числом без знака), либо числом со знаком. В последнем случае операнд представляется в дополнительном коде. Числа могут быть как целыми, так и меньше 1.

На выходе умножителя вырабатывается произведение двойной точности (24 разряда), которое может быть округлено до 12 разрядов (включая знаковый разряд). При умножении

чисел со знаком в дополнительном коде произведение получается в дополнительном коде. При действиях над числами со знаком предусмотрена возможность присвоения знака произведения младшей части произведения.

Умножитель может быть использован для построения быстродействующих процессоров цифровой обработки сигналов, реализующих алгоритмы быстрого преобразования Фурье, цифровую фильтрацию и т. п. Возможно применение также в специализированных и универсальных цифровых ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 12.22, назначение выводов — в табл. 12.21, структурная схема показана на рис. 12.23, временная диаграмма работы — на рис. 12.24.

Микросхема включает в себя ряд устройств, в том числе: регистр множимого (регистр X), регистр множителя (регистр Y), триггер округления, блок умножения, сдвигатель, регистры младшей и старшей частей произведения и выходные буферные каскады младшей и старшей частей произведения.

Регистры X и Y выполнены на D -триггерах с одним тактирующим входом. Запись в них осуществляется по фронту сигналов $CLKX$ и

Таблица 12.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—8, 61—64	$X7—X0$, $X11—X8$	Входы	Множимое, разряды 7—0, 11—8
9—20, 29—40	$P0—P11$, $P12—P23$	Выходы	Произведение, разряды 0—11, 12—23
21	$TRIL$	Вход	Управление выходными буферными каскадами младшей части произведения
22	$TRIM$	Вход	Управление выходными буферными каскадами старшей части произведения
23, 24 25	GND FT	—	Общий
26	RS	Вход	Управление «прозрачностью» регистров произведения
27	$CLKL$	Вход	Управление сдвигом вправо старшей части произведения
28	$CLKM$	Вход	Синхронизация регистра младшей части произведения
41	TCY	Вход	Синхронизация регистра старшей части произведения
42—47, 51—56	$Y11—Y6$, $Y5—Y0$	Входы	Знак весового коэффициента старшего разряда множителя
48—50 57	U_{cc} TCX	—	Множитель, разряды 11—6, 5—0
58	RND	Вход	Напряжение питания
59	$CLKY$	Вход	Знак весового коэффициента старшего разряда множимого
60	$CLKX$	Вход	Округление
		Вход	Синхронизация регистра множителя
		Вход	Синхронизация регистра множимого

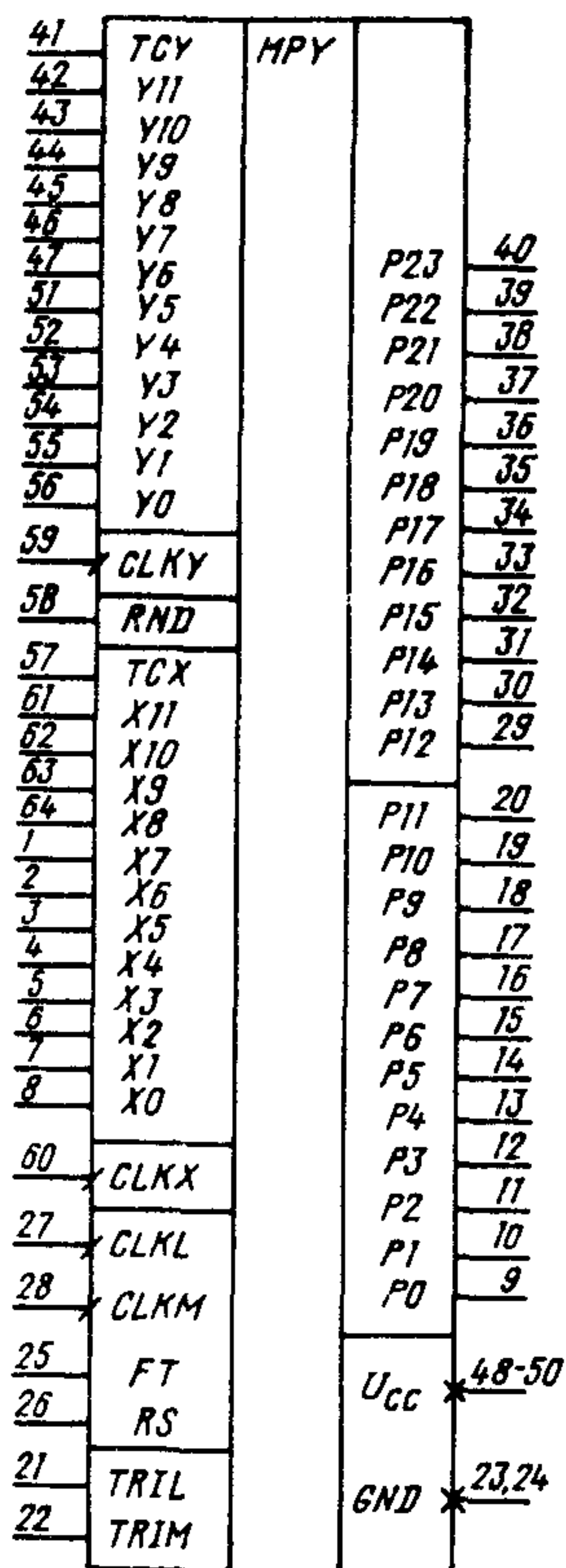


Рис. 12.22. Условное графическое обозначение КМ1802ВР4

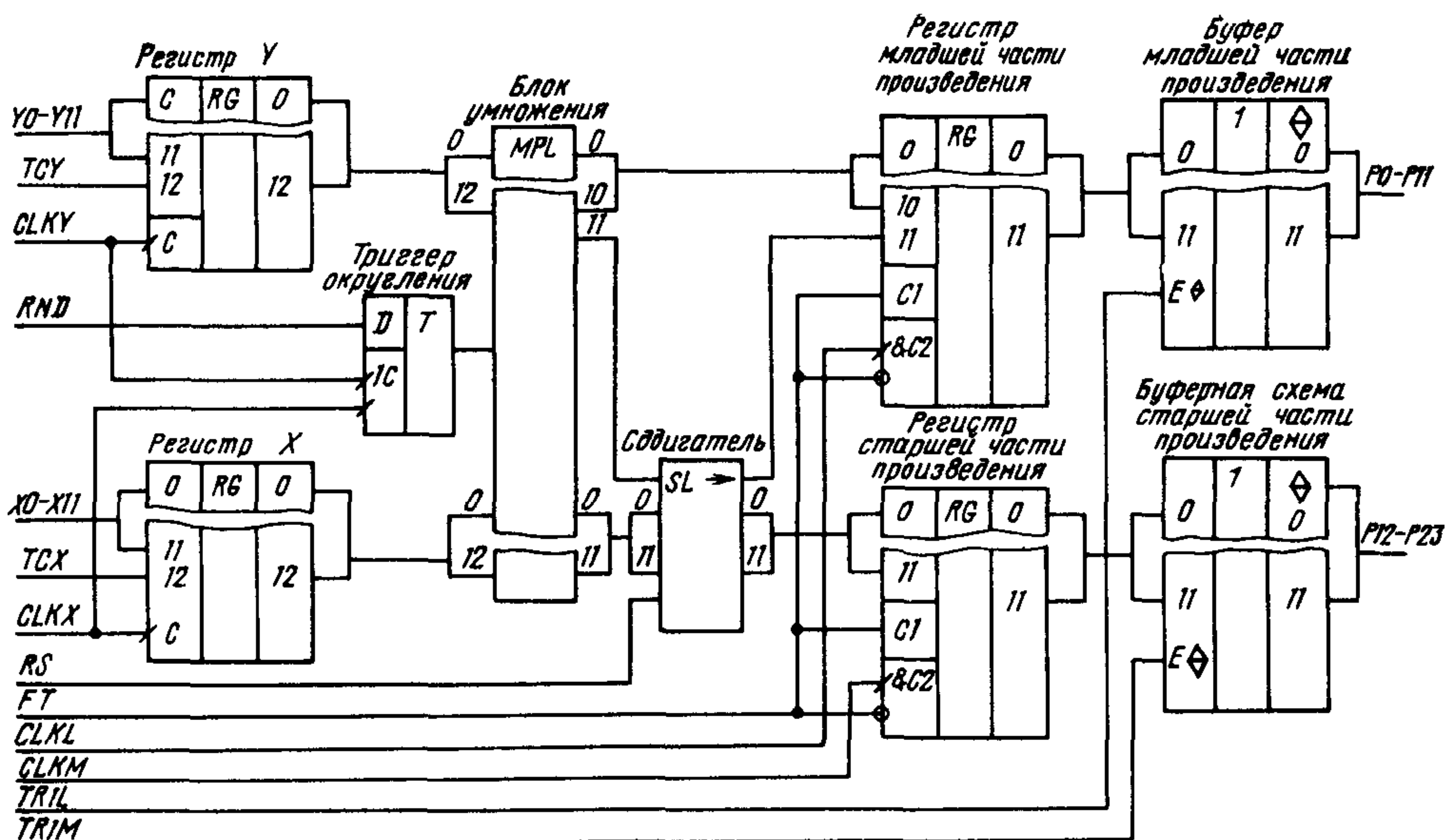


Рис 12.23. Структурная схема КМ1802ВР4

$CLKY$. Помимо 12 разрядов сомножителей в регистры X и Y заносятся признаки множимого и множителя TCX и TCY , которые имеют значения 1, если данный сомножитель — число со знаком, и 0, если сомножитель — число без знака. Другими словами, TCX и TCY —

знаки весового коэффициента старшего разряда числа: при 1 — минус, при 0 — плюс.

По фронту одного из сигналов $CLKY$ и $CLKX$ в триггер округления записывается сигнал RND , по которому производится округление произведения до 12 разрядов при $RND=1$

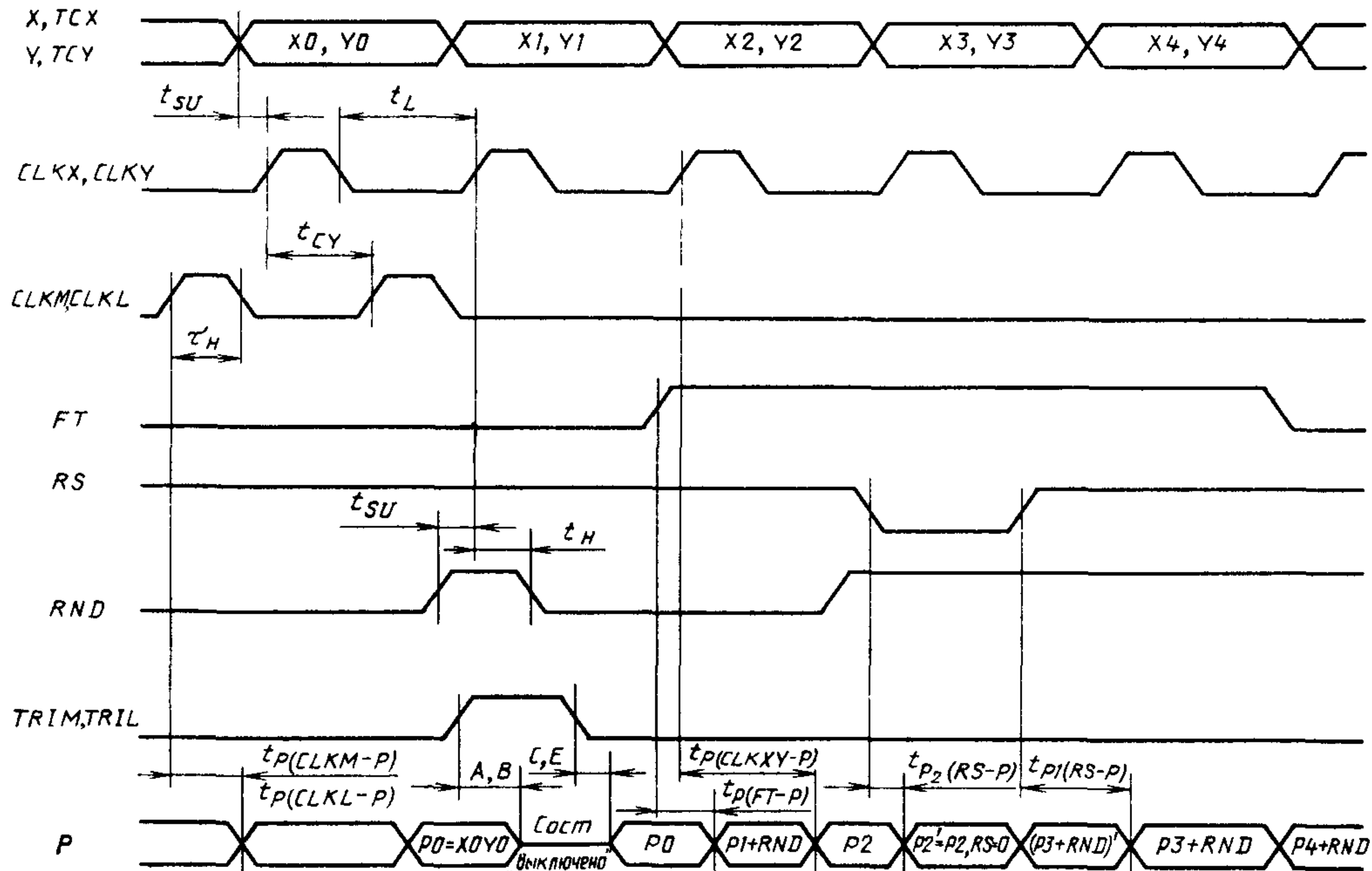


Рис. 12.24. Временная диаграмма работы КМ1802ВР4:

$A - t_{T1} (TRIM - P)$, $B - t_{T1} (TRIL - P)$, $C - t_{T2} (TRIM - P)$, $E - t_{T2} (TRIL - P)$

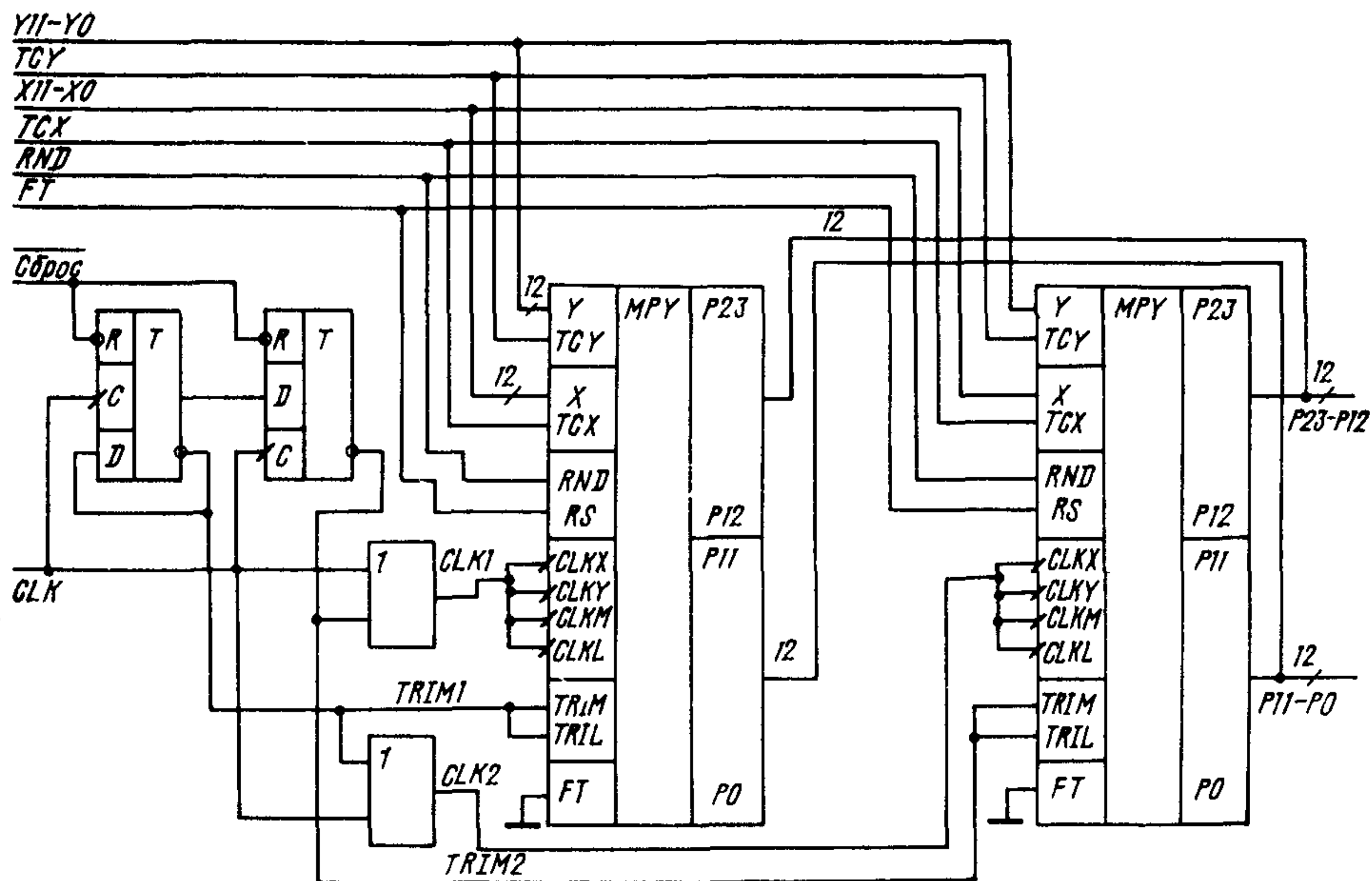


Рис. 12.28. Схема умножителя с мультиплексированием

Блок умножения представляет собой комбинационную матрицу, в которой формируются частичные произведения от поразрядного умножения множимого на множитель, суммируются (с соответствующими весами) и результат корректируется при действии над числами со знаком. Операция округления выполняется одновременно с суммированием частичных произведений путем прибавления 1 в старший разряд отбрасываемой части, т. е. дополнительной задержки не вносит.

При действии над числами со знаком предусмотрена возможность присвоения знака про-

изведения его младшей части. Для этого на входе RS должно быть напряжение низкого уровня, т. е. $RS=0$. Следует иметь в виду возможность получения неправильного результата, если $RS=0$ из-за переполнения разрядной сетки при умножении максимальных по модулю отрицательных чисел: результат для целых чисел $(-2^{11} \cdot X_{11}) \cdot (-2^{11} \cdot Y_{11})$ получается равным $(-2^{30} \cdot X_{11} \cdot Y_{11})$, для дробных чисел $(-2^0 \cdot X_{11}) \cdot (-2^0 \cdot Y_{11})$ — равным $(-2^0 \cdot X_{11} \times Y_{11})$.

С помощью сдвигателя SL , управляемого сигналом RS , произведение P в соответствующем формате подается на регистры младшей и старшей частей произведения (LSP и MSP соответственно). Запись в регистр произведения происходит по фронту сигналов $CLKL$, $CLKM$ соответственно при $FT=0$. Если $FT=1$, то сигналы $CLKL$ и $CLKM$ блокируются. D -триггеры регистров становятся потенциальными триггерами и информация с входов регистров постоянно проходит на выходы (регистры как бы исключены, «прозрачны»).

Выходные буферные каскады управляются сигналами $TRIL$ (младшая часть произведения) и $TRIM$ (старшая часть). Каскады находятся в выключенном (третьем) состоянии, когда управляющий сигнал равен 1.

Принципы наращивания разрядности и режим мультиплексирования аналогичны описанным в § 12.5.

Взаимное расположение частичных произведений в 24×24 -разрядном умножителе показано на рис. 12.25, его структурная схема для случая перемножения чисел со знаком приведена на рис. 12.26, временная диаграмма работы устройства — на рис. 12.27

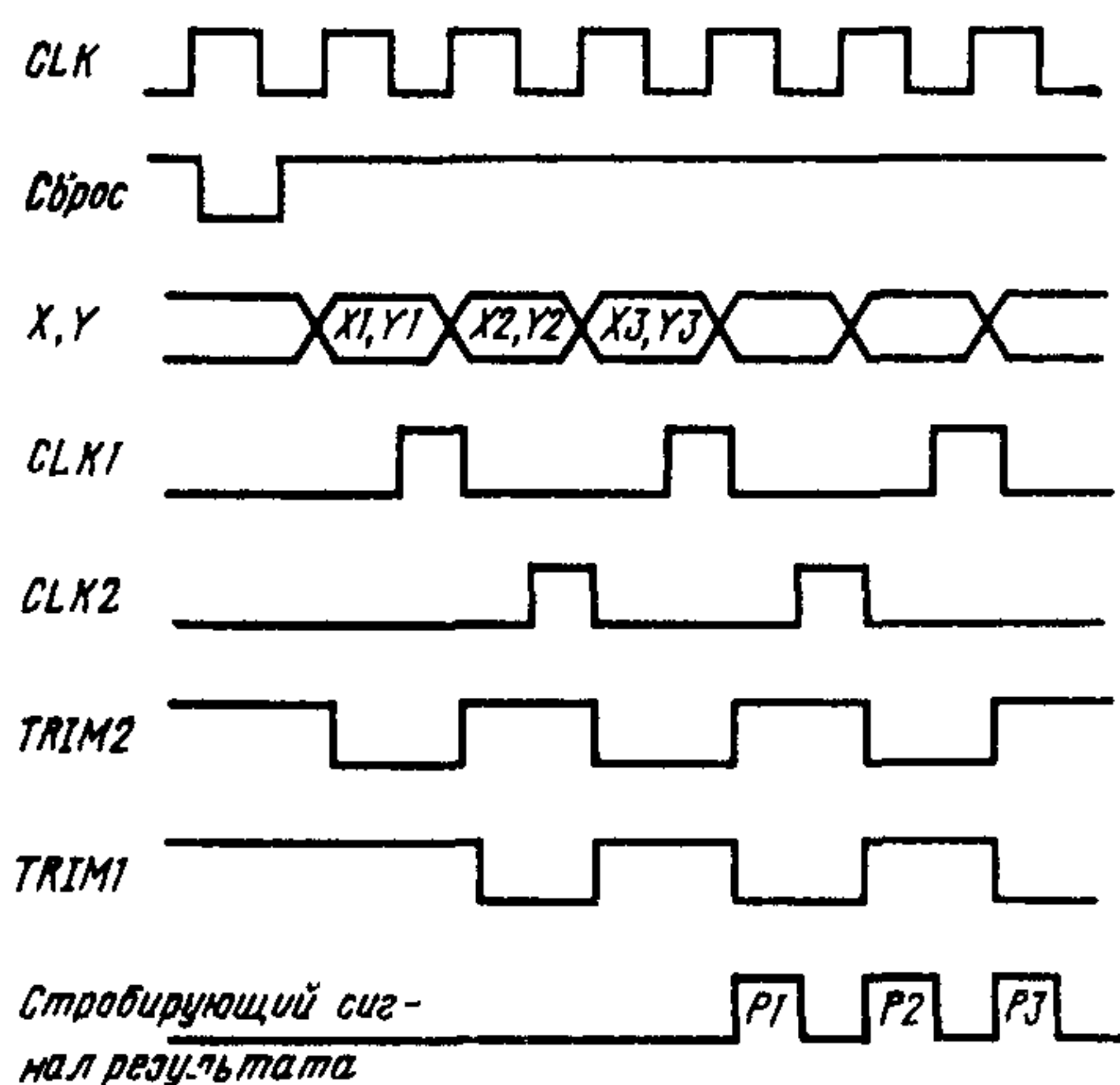


Рис. 12.29. Временная диаграмма работы умножителя с мультиплексированием

Таблица 12.22

Параметр	Обозначение	Значения параметров	
		мин	макс.
Выходное напряжение низкого уровня, В, при $U_{CC}=4,75$ В и $I_{OL}=4$ мА	U_{OL}	—	0,5
Выходное напряжение высокого уровня, В, при $U_{CC}=4,75$ В и $I_{OH}=0,4$ мА	U_{OH}	2,4	—
Ток потребления, мА, при $U_{CC}=5,25$ В	I_{CC}	—	600
Входной ток низкого уровня, мА, при $U_{CC}=5,25$ В и $U_{IL}=0,5$ В:	I_{IL}		
для выводов 1—8, 25, 42—47, 51—56, 58, 61—64		—0,4	—
для выводов 21, 22, 26—28, 41, 57, 59, 60		—1,0	—
Входной ток высокого уровня, мкА, при $U_{CC}=5,25$ В и $U_{IH}=5,25$ В	I_{IH}	—	75
Выходной ток низкого уровня в состоянии «выключено», мкА, при $U_{CC}=5,25$ В и $U_{OL}=0,5$ В	I_{OZL}	—100	—
Выходной ток высокого уровня в состоянии «выключено», мкА, при $U_{CC}=5,25$ В и $U_{OH}=5,25$ В	I_{OZH}	—	100
Время задержки распространения сигнала от входа $CLKX$ до выходов P , нс	$t_{P(CLKXY-P)}$	—	145
Время задержки распространения сигнала от входа $CLKY$ до выходов P , нс	$t_{P(CLKXY-P)}$	—	145
Время задержки распространения сигнала от входа $CLKM$ до выходов P , нс	$t_{P(CLKM-P)}$	—	35
Время задержки распространения сигнала от входа $CLKL$ до выходов P , нс	$t_{P(CLKL-P)}$	—	35
Время задержки перехода от входа $TRIM$ до выходов P , нс	$t_{T1(TRIM-P)}$, $t_{T2(TRIM-P)}$	—	40
Время задержки перехода от входа $TRIL$ до выходов P , нс	$t_{T1(TRIL-P)}$, $t_{T2(TRIL-P)}$	—	40
Время задержки распространения сигнала от входа RS до выходов P с округлением произведения, нс	$t_{P1(RS-P)}$	—	140
Время задержки распространения сигнала от входа RS до выходов P без округления произведения, нс	$t_{P2(RS-P)}$	—	70
Длительность сигнала высокого уровня на входах $CLKX$, $CLKY$, $CLKM$, $CLKL$, нс	τ_H	25	—
Длительность сигнала низкого уровня на входах $CLKX$, $CLKY$, $CLKM$, $CLKL$, нс	t_L	25	—
Время установления сигнала на входах X , TCX , Y , TCY и RND относительно сигнала на входах $CLKX$, $CLKY$, нс	t_{SU}	—	—25
Время сохранения сигнала на входах X , TCX , Y , TCY и RND относительно сигналов на входах $CLKX$, $CLKY$, нс	t_H	0	—
Время задержки распространения сигнала от входа FT до выходов произведения, нс	$t_{P(FT-P)}$	—	80
Время установления сигнала на входах $CLKX$, $CLKY$ (время цикла), нс	t_{CY}	—	—110

Примечание Значения динамических параметров приведены при $U_{CC}=5,0$ В и $T=-10 \div +70$ °С