

КЛ1868ВЕ1, КФ1868ВЕ1

Микросхемы представляют собой 4/8-разрядную однокристалльную базовую отладочную микро-ЭВМ с шиной адресов и данных для подключения внешнего ПЗУ (до 8 кбайт) и возможностью расширения портов ввода/вывода до архитектурного максимума (16×4) и предназначены для разработки управляющих программ, разработки технических требований на базовую ИС с расширенными возможностями. Обеспечивают отладку управляющих программ заказных ИС серии КЛ1868, а также могут использоваться совместно с внешним ПЗУ в качестве управляющей микро-ЭВМ.

В состав ИС входят два 4-разрядных порта ввода/вывода ($P0, P1$); два 4-разрядных порта вывода ($P3, P5$), два 4-разрядных порта ввода ($P2, P4$), компараторный порт ($P6$), шина подключения внешних портов с адресами от 7 до 15, шина подключения

программного ПЗУ емкостью до 8 кбайт, ОЗУ емкостью 256×4, формирователь ШИМ-сигнала 8-разрядный, таймер/счетчик. Количество команд 100.

Система команд ориентирована на универсальное применение. Для реализации энергосберегающих режимов работы предусмотрена возможность программной остановки или ожидания. Возврат в рабочий режим осуществляется с помощью внешних или внутренних сигналов прерываний. При этом гарантируется сохранность информации как ОЗУ, так и всех внутренних регистров. ИС имеют широкое назначение: отладка управляющих программ с возможностью выбора требуемых объемов памяти и нужного состава портов ввода-вывода и дополнительных устройств и формирование технических требований на разработку заказных ИС, где управляющая программа, нужная конфигурация портов ввода-вывода и дополнительные устройства будут реализованы в составе однокристалльных микро-ЭВМ; отладка управляющих программ для последующего размещения в ПЗУ одного из вариантов базовых кристаллов; использование ИС в качестве управляющей микро-ЭВМ совместно с внешним ПЗУ и при необходимости с дополнительными портами ввода-вывода при опытном и мелкосерийном производстве. Для обеспечения возможности разработки и отладки управляющих программ используется внешнее ПЗУ, для работы с которым имеется шина адресов/данных и сигналы синхронизации. Две 4-разрядные шины данных *UBUS* и *LBUS* позволяют за один машинный цикл осуществлять передачу 8-разрядных данных и выполнение 4-разрядных логических и арифметических операций.

Длительность режима начальной установки (*RESET*) должна составлять не менее двух машинных циклов микро-ЭВМ. В рабочем (программном) режиме все узлы и блоки функционируют в соответствии с управляющей программой. Режим «ожидания» (*HALT*) вводится для экономии мощности, от источника питания во время ожидания программного режима. При этом прекращается генерация системных синхроимпульсов *S0...S03*, формируются только сигналы синхронизации, обеспечивающие работу встроенных функциональных блоков (таймера и ШИМ), а содержимое всех внутренних регистров и памяти данных ОЗУ сохраняется. Выход из режима *HALT* возможен по любому из немаскированных прерываний.

Режим «останов» (*STOP*) и его отмена вводится для существенного снижения потребляемой мощности во время ожидания программного режима, то есть до появления сигналов прерывания от работающих с внешней синхронизацией встроенных функциональных блоков или внешнего сигнала прерывания. При этом обеспечивается сохранность информации всех внутренних регистров и ОЗУ.

Генератор тактовых импульсов при подключенном внешнем кварцевом резонаторе или подаче внешнего тактового сигнала

обеспечивает формирование системных синхроимпульсов $S0...S03$ (4 неперекрывающихся во времени тактовых сигналов) и импульсов внутренней синхронизации для встроенных функциональных блоков. Тип синхронизации (автономная, кварцевая или внешняя) и рабочая частота определяются конкретными условиями применения; при этом необходимо учитывать, что потребляемая мощность в рабочем режиме прямо пропорциональна тактовой частоте. Имеется возможность программного управления режимом работы генератора. Счетчик команд PC и триггер банка памяти BS предназначены для формирования адресов программной памяти и представляют собой управляемый двоичный счетчик, формирующий 13 разрядов адреса программ, что обеспечивает адресацию к внешнему ПЗУ. Адресуемое пространство условно делится на 2 банка памяти объемом по 4 кбайт каждый — младший банк памяти (содержимое BS равно 0) и старший банк памяти (содержимое BS равно 1).

Младшие разряды счетчика команд $PC3...PC0$ образуют младшую часть адреса 1 каждого банка памяти, средние разряды счетчика $PC7...PC4$ образуют среднюю часть адреса m , а разряды $PC11...PC8$ счетчика образуют старшую часть адреса n каждого банка памяти.

Дешифратор команд обеспечивает расшифровку команд, поступающих из регистра команд и выработку соответствующих управляющих сигналов, обеспечивающих их выполнение. Общее число дешифрируемых команд — 102. Регистр команд (РК) осуществляет прием очередной команды, поступающей из блока подключения внешнего ПЗУ, хранение ее и выдачу для расшифровки на дешифратор команд. Прием команды осуществляется во время действия высокого уровня напряжения по выходу синхронизации $SYND$ и защелкивается по его заднему фронту.

Указатель стека (SP) предназначен для организации адресации к стековой памяти магазинного типа при обработке прерываний, командах перехода и командах использующих стековую адресацию, и представляет собой 8-разрядный регистр, хранящий адрес занятой последней (верхней) ячейки памяти стека. Адреса стековой памяти, формируемые указателями стека, являются четными и расположены в диапазоне $FF-C0$, таким образом, объем стековой памяти составляет 32 восьмиразрядных числа.

Регистры общего назначения 4-разрядные A, E, X, Y являются универсальными, программно-доступными и используются при выполнении операций над данными. При начальной установке регистры обнуляются.

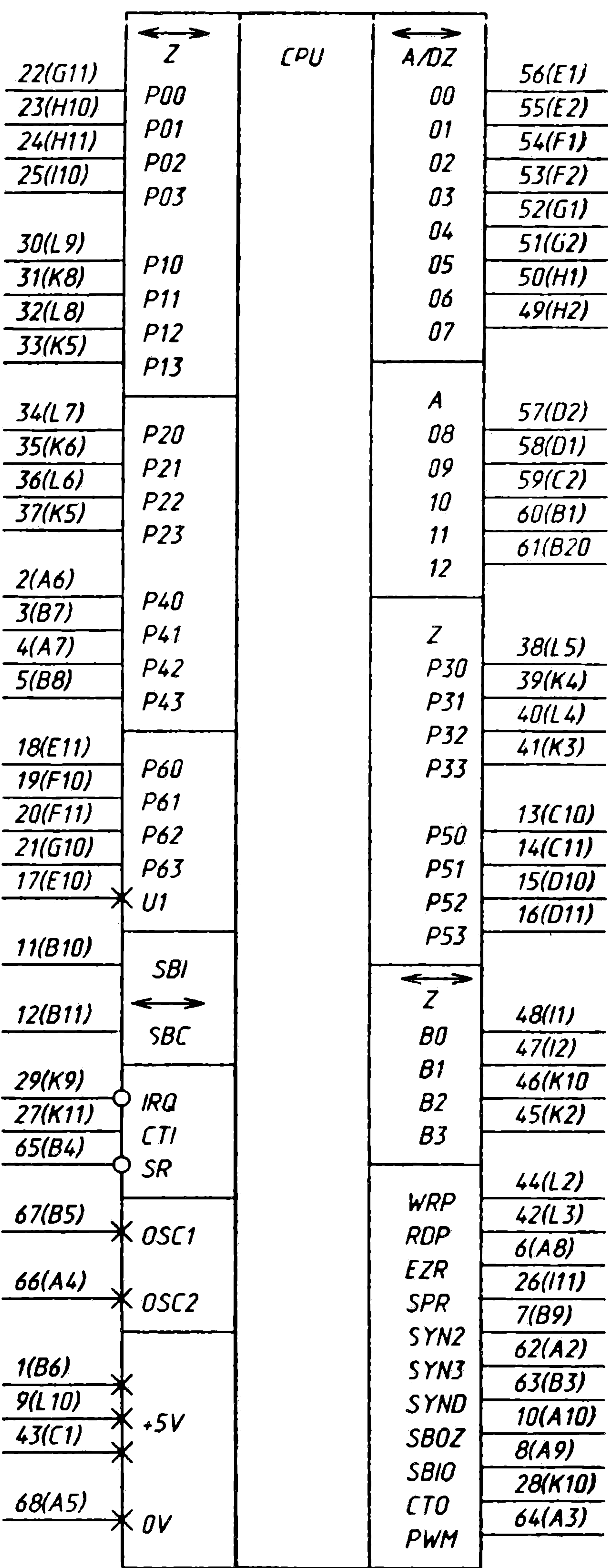
4-разрядное арифметико-логическое устройство (АЛУ) обеспечивает обработку всех логических и арифметических операций, формирование и хранение соответствующих признаков (флагов) — нулевого результата ZF , переноса CF , непосредственной

загрузки *LIF*. Информация, подлежащая обработке, поступает параллельно по 4-разрядным шинам *UBUS* и *LBUS*, результат заносится в *РОН А* при работе с 4-разрядными данными, в *РОН А* и *Е* — при работе с 8-разрядными данными.

Блок прерываний предназначен для организации приостановки выполнения текущей программы с целью обработки другой, более срочной программы (подпрограммы обработки прерывания), с последующим возвращением к выполнению прерванной программы, а также для обеспечения режимов работы *HALT* и *STOP*.

ИС имеют 3 уровня прерываний: внешнее прерывание *IRQ*, внутреннее прерывание от таймера-счетчика *ТС IRQ*, внутреннее прерывание от последовательного порта *SB IRQ*. Все 3 прерывания имеют разный приоритет и определенные адреса подпрограмм обработки. Внешний вход *IRQ* выполнен по схеме с внутренней нагрузкой относительно шины $+U_{п.}$. Поэтому для формирования сигнала прерывания можно использовать внешнюю схему с открытым коллектором, формирующую только низкий уровень напряжения.

Память данных (ОЗУ произвольной выборки статического типа емкостью 256×4) предназначена для хранения и выдачи данных. Имеется возможность ввода и вывода как 4-разрядных данных, так и 8-разрядных слов (байтов) при выполнении команд обработки 8-разрядных данных.



Условное графическое обозначение
КЛ1868BE1, КФ1868BE1

Блок подключения внешнего ПЗУ предназначен для организации совместной работы с внешним ПЗУ в качестве программной памяти.

Выводы *A/D(07...00)* являются совмещенной шиной «адрес/команда», мультиплексированной во времени. Содержимое счетчика команд *DChml* и триггера банка памяти *BS* во время действия высокого уровня напряжения на выводе синхронизации *SYN3* в каждом машинном цикле через буферы выводится на соответствующие выводы *A/D(07...00)* и *A12...A8*.

ИС имеют 7 встроенных параллельных 4-разрядных портов ввода-вывода, предназначенных для связи с внешними устройствами.

Блок подключения внешних портов ввода-вывода предназначен для расширения системы ввода/вывода и формирования сигналов синхронизации для управления внешними портами.

Таймер-счетчик представляет собой программно управляемый двоичный счетчик с переменной разрядностью от 8 до 15.

Формирователь ШИМ-сигнала предназначен для формирования периодической последовательности прямоугольных импульсов с программно устанавливаемой скважностью.

Содержат 35000 интегральных элементов. Корпус типа 6222.68-1 (PGA) и PLCC.

Назначение выводов: 1, 9, 43 — напряжение питания (U_n); 2...5 — входы порта *P4*; 6 — выход $\overline{EZP}$; 7, 62 — выходы *SYN2*, *SYN3*; 8 — выход *ESBIO*; 10 — выход *SBOZ*; 11 — вход *SBI*; 12 — вход *SBC*; 13...16 — выходы порта *P5*; 17 — напряжение питания (U_1); 18...21 — входы компараторного порта *P6*; 22...25 — входы/выводы порта *P0*; 26 — выход *SRP*; 27 — вход *STI*; 28 — вход *CTO*; 29 — вход *IRQ*; 30...33 — выходы порта *P1*; 34...37 — входы порта *P2*; 38...41 — выходы порта *P3*; 42 — выход *RDP*; 44 — выход *WRP*; 45...48 — выходы *B0...B3*; 49...56 — выходы *A/D2(00...07)*; 57...61 — выходы *A08...A12*; 63 — выход *SYND*; 64 — выход *MD*; 65 — вход сброса $\overline{SR}$; 66, 67 — входы синхронизации; 68 — общий.

Электрические параметры

Номинальное напряжение питания	4,5...5,5 В
Выходное напряжение высокого уровня	$\geq (U_n - 0,4)$ В
Выходное напряжение низкого уровня	$\leq 0,4$ В
Входное напряжение высокого уровня	$\geq 3,3$ В
Входное напряжение низкого уровня	$\leq 0,8$ В
Входное напряжение низкого уровня по выводам <i>IRQ</i> , <i>SR</i>	$\leq 0,5$ В
Опорное напряжение	1,5...($U_n - 1,5$) В
Ток потребления при $U_n = 5$ В при $f_T = 4$ МГц:	
в рабочем режиме	2...10 мА
в режиме <i>HALT</i>	0,3...1 мА
в режиме <i>STOP</i>	1...10 мкА

Потребляемая мощность	20 мВт
Тактовая частота	10...4000 кГц
Цикл выполнения команд	2; 4 мкс