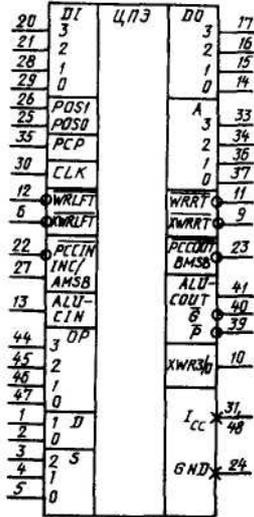


K584BM1

Микросхема K584BM1 — 4-разрядная секция центрального процессора, предназначена для построения микро-ЭВМ с разрядностью, кратной четырем, и обеспечивает хранение и арифметико-логическую обработку информации, представленной в двоичном коде.



Микросхема обеспечивает все функции, необходимые для параллельной обработки 4-разрядных двоичных данных, и включает в себя:

- 4-разрядное арифметико-логическое устройство *ALU*;
- регистровый файл *RF* восьми 4-разрядных регистров общего назначения, *RF7* является также программным счетчиком;
- 4-разрядный рабочий регистр *WR* и 4-разрядный рабочий регистр расширения *XWR*;
- блок инкрементора *INCR*;
- блок позиции *BPOS*
- программируемую логическую матрицу *PLA* и регистр микрокоманд *RMK*;
- мультиплексоры каналов *MA*, *MB*, *MWR*, *M XWR*, *MDO*, *MAO*.

Поле кода операции. <i>ALU</i>	Поле кода режима работы	Поле кода адреса-источника
<i>OP</i>	<i>D</i>	<i>S</i>
3 2 1 0	I 0	2 I 0

Таблица 6.4

Код операции	Арифметические операции (<i>OP3-0</i>)			Логические операции (<i>OP3-1</i>)	
	<i>ALUCIN-1</i>	<i>ALUCIN-0</i>	<i>ALUCIN-G</i>		
<i>OP2</i>	<i>OP1</i>	<i>OP0</i>			
0	0	0	$F_n = 0_{16}$	$F_n = F_{16}$	$F_n = A \wedge B$
0	0	1	$F_n = B - A$	$F_n = B - A - 1$	$F_n = A \oplus B$
0	1	0	$F_n = A - B$	$F_n = A - B - 1$	$F_n = \overline{A} \oplus \overline{B}$
0	1	1	$F_n = A + B + 1^*$	$F_n = A + B$	$F_n = \overline{A} \wedge \overline{B}$
1	0	0	$F_n = B + 1$	$F_n = B^*$	$F_n = A \wedge \overline{B}$
1	0	1	$F_n = \overline{B} + 1$	$F_n = \overline{B}$	$F_n = A + \overline{B}$
1	1	0	$F_n = A + 1$	$F_n = A$	$F_n = \overline{A} + B$
1	1	1	$F_n = \overline{A} + 1$	$F_n = \overline{A}$	$F_n = A + B$

* На шину адресов выдается содержимое регистра *XWR*

Арифметико-логическое устройство микросхемы выполняет восемь арифметических операций, представленных в таблице. Операнды могут поступать на входы *ALU* через мультиплексоры *MA*, *MB* от входной шины *DI*, *RF*, *WR* или *XWR*

В *ALU* имеются схемы приема сквозного переноса от младших разрядов *ALUCIN* и выработки выходного переноса *ALUCOUT*, выработки условия образования и распространения переноса *G* и *P*. Эти сигналы рассчитаны на использование схемы ускоренного переноса *K155ИП4*, что позволяет значительно повысить быстродействие 16-разрядного устройства. Схемы включения БИС для расширения разрядности приведены на рис. 6.5.

Результаты операций через мультиплексор *MDO* поступают на выход микросхемы. Промежуточные результаты могут заноситься в регистровый файл *RF* или в регистры *WR*, *XWR*. Регистровая память *FR* предназначена для использования в качестве временной памяти для исходных данных. Последний

осуществлять инкремент записанного в нем кода на 1 или 2 с помощью внешних сигналов управления по входам *INC* (вывод 27) и *PCCIN* (вывод 22) по правилу:

$$\overline{PCCIN} = 0, \quad INC = 0, \quad + (RF7, 1) \rightarrow RF7;$$

$$\overline{PCCIN} = 0; \quad INC = 1; \quad + (RF7, 2) \rightarrow RF7;$$

$$\overline{PCCIN} = 1 \text{ — запрет счета.}$$

Таблица 6.3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
44—47	OP3—OP0	Входы	OP-поле слова кода операции; определяет прежде всего одну из 16 операций
1, 2	D1—D0	Входы	D-поле слова кода операции, определяет режим работы
3—5	S2—S0	Входы	S-поле слова кода операции, определяет обычно номер выбранного регистра
26, 25	POS1—POS0	Входы	Определяют относительную позицию микросхемы при объединении нескольких микросхем для реализации слов длиной более четырех разрядов
30	CLK	Вход (переключение фронтами)	Тактовый сигнал, синхронизация при положительном изменении
20, 21, 28, 29	DI (3)—DI (0)	Входы	Шина данных
11	\overline{WRRT}	Вход/выход	Принимает данные при сдвиге выходных данных влево, выдает данные при сдвиге вправо
12	\overline{WRFLT}	Вход/выход	Принимает данные при сдвиге выходных данных вправо, выдает данные при сдвиге влево
9	\overline{XWRRT}	Вход/выход	Принимает данные при сдвиге регистра XWR влево, выдает при сдвиге вправо
6	\overline{XWRFLT}	Вход/выход	Принимает данные при сдвиге регистра XWR вправо, выдает при сдвиге влево
10	XWR3/0	Выход	Старший разряд регистра XWR в старшей позиции или младший разряд в младшей позиции
13	ALUCIN	Вход	Перенос в ALU
41	ALUCOUT	Выход	Перенос из ALU
40	\overline{G}	Выход	Формирование переноса ALU
39	\overline{P}	Выход	Распространение переноса ALU
22	\overline{PCCIN}	Вход	Перенос программного счетчика
23	$\overline{PCCOUT}/BMSB$	Выход	В младшей и средней позиции выход переноса программного счетчика, в старшей позиции выход старшего разряда шины B
27	INC/AMSB	Вход, выход	В младшей позиции указывает программному счетчику увеличение содержимого на 2 (при наличии 1) или на 1 (при наличии 0), в старшей позиции выход старшего разряда шины A
17, 16, 15, 14	DO (3)—DO (0)	Выходы	Шина данных
33, 34, 36, 37	A3—A0	Выходы	Шина адресов
35	PCP	Вход	Открывает доступ программному счетчику к шине выдачи адресов
31, 48	Icc	—	Питание
24	GND	—	Общий

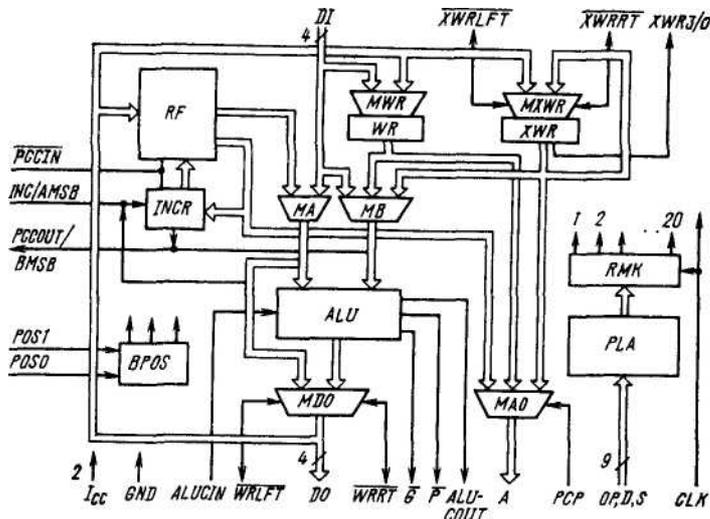


Таблица 6.5

Сигналы на входах		Относительное положение	Многофункциональный вход/выход		
POS1	POS0		PCCOUT/ BMSB	INC/ AMSB	XWR3/0
0	1	Младшая позиция	PCCOUT	INC	XWR0
0	0	Промежуточная позиция	PCCOUT	AMSB	0
1	0	Старшая позиция Два знака/удвоенная точность	BMSB	AMSB	XWR3
1	1	Старшая позиция. Один знак/удвоенная точность	BMSB	—	XWR3

Наличие отдельных входов управления $RF7$ (INC и $PCCIN$) позволяет совмещать во времени процесс обработки данных в ALU и счета в $RF7$. Управление индикацией регистра $RF7$ на шине адреса A осуществляется с помощью входа PCP и не зависит от кода операции.

Схема включения БИС для расширения разрядности программного счетчика приведена на рис. 6.6.

Четырехразрядный регистр WR и его расширитель XWR позволяют выполнять арифметические и логические операции с одинарной

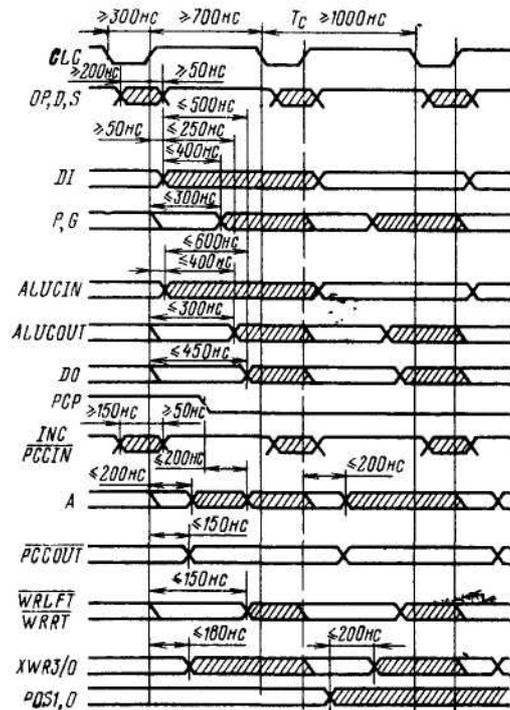


Рис. 6.4. Временная диаграмма работы K584BM1

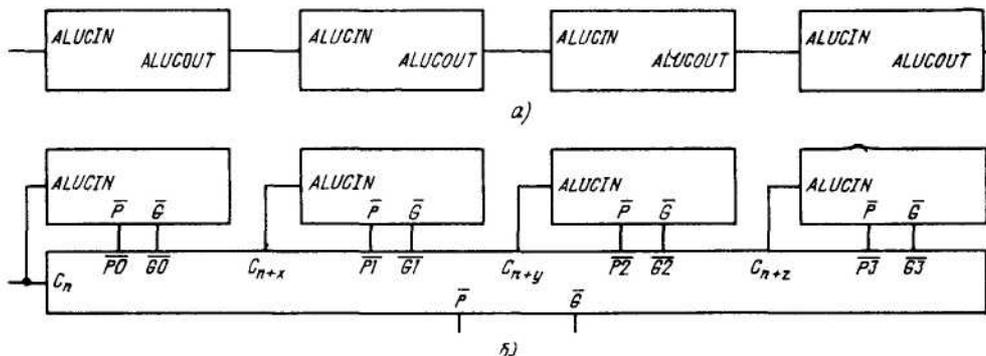


Рис. 6.5. Схемы формирования 16-разрядного процессора:

а — с прямым включением K584BM1; б — с использованием микросхемы ускоренного переноса K155ИП4

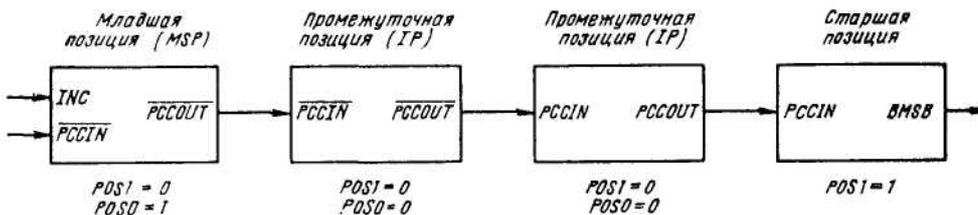


Рис. 6.6. Схема включения K584BM1 для расширения программного счетчика

и удвоенной точностью, а также участвуют во всех сдвиговых операциях.

Блок позиционного управления задает ранг отдельной микросхемы в системе с расширенной длиной слова и определяет способ выполнения сдвигов данных, а также конкретную функцию тех входов/выходов, которые имеют двойное назначение. Возможные четыре режима работы микросхемы и функции многофункциональных входов-выходов в зависимости от кодов на входах $POS1$ и $POS0$ представлены в табл. 6.5.

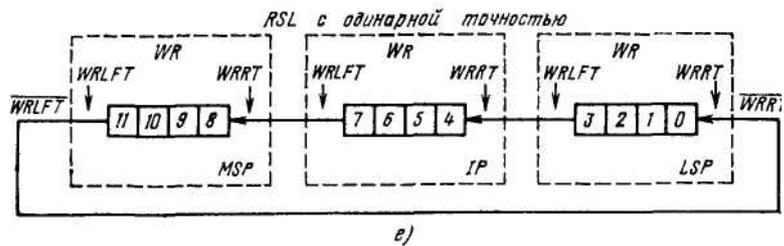
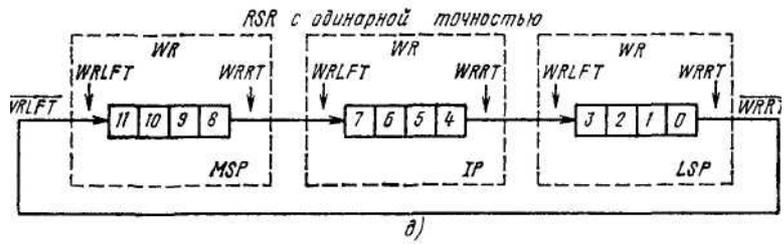
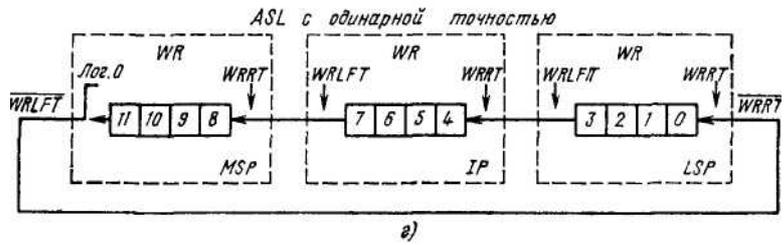
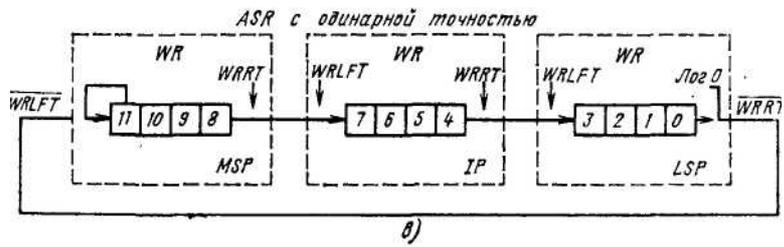
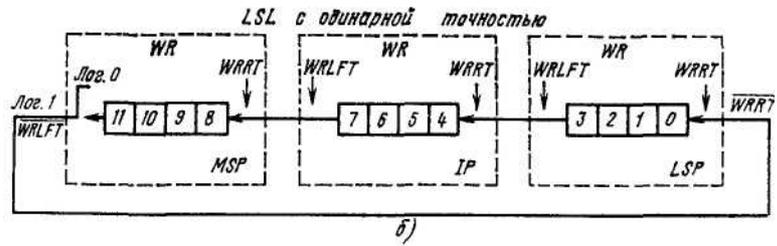
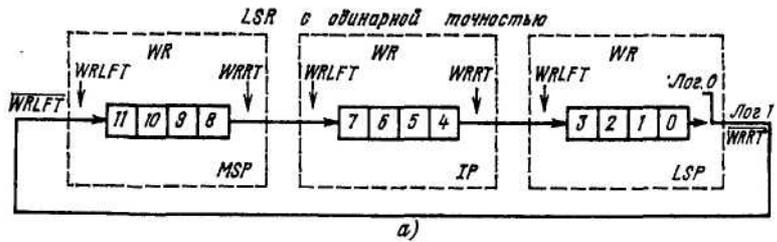
В микросхеме реализуются шесть типов сдвигов: логический сдвиг вправо LSR и влево LSL , арифметический сдвиг вправо ASR и влево ASL , циклический сдвиг вправо RSR и влево RSL . Выполнение сдвиговых операций может производиться над содержимым одного регистра WR (одинарная точность) или обоих регистров WR и XWL (удвоенная точность). Кроме того, сдвиги ASL и ASR удвоенной точности могут выполняться с одним или двумя знаками. Схемы выполнения различных типов сдвигов приведены на рис. 6.7.

Система микрокоманд микросхемы состоит из 459 операций

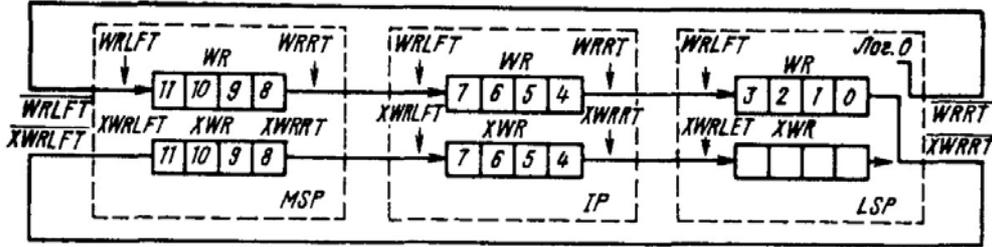
Операция	Код операции									
	OP				D		S			
	3	2	1	0	1	0	2	1	0	0
$RF(F_n)WR \rightarrow RF$	Значения функций F_n определяются согласно табл. 6.4				0	0	RF			
$RF(F_n)WR \rightarrow WR$					0	1	RF			
$DI(F_n)WR \rightarrow DO^*$					1	1	0	0	0	
$DI(F_n)WR \rightarrow WR^*$					1	1	0	0	1	
$DI(F_n)XWR \rightarrow WR$					1	1	0	1	1	
$DI(F_n)WR \rightarrow XWR$					1	1	1	0	0	
$DI(F_n)XWR \rightarrow XWR$					1	1	1	1	0	
$DI(F_n)XWR \rightarrow DO$					1	1	1	1	1	
$RF+WR+ALUCIN \rightarrow XWR$	0	0	1	1	1	0	RF			
$RF+DI+ALUCIN \rightarrow WR$	0	1	0	0	1	0	RF			
$RF+DI+ALUCIN \rightarrow XWR$	0	1	0	1	1	0	RF			
$RF+DI+ALUCIN \rightarrow RF$	0	1	1	1	1	0	RF			
$RF+XWR+ALUCIN \rightarrow WR$	1	1	0	0	1	0	RF			
$RF+XWR+ALUCIN \rightarrow XWR$	1	1	0	1	1	0	RF			
$XWR+ALUCIN \rightarrow RF$	1	1	1	0	1	0	RF			
$DI+WR+ALUCIN \rightarrow XWR$	0	0	1	1	1	1	0	1	0	
$DI+WR+ALUCIN \rightarrow DO$	0	1	1	1	1	1	0	1	0	
$DI+XWR+ALUCIN \rightarrow WR$	1	1	0	0	1	1	0	1	0	
$DI+XWR+ALUCIN \rightarrow XWR$	1	1	0	1	1	1	0	1	0	
$XWR+ALUCIN \rightarrow DO$	1	1	1	0	1	1	0	1	0	
$DI \rightarrow RF$	1	1	1	1	1	0	RF			
$RF \rightarrow DO$	0	0	0	0	1	0	RF			
$RF \rightarrow XWR$	0	0	0	1	1	0	RF			
$DI \rightarrow WR$	0	1	1	0	1	0	G	G	G	
$DI \rightarrow XWR$	0	1	1	0	1	1	0	1	0	
$DI \rightarrow DO$	0	0	0	1	1	1	0	1	0	
$DI \rightarrow DO$	1	1	1	1	1	1	0	1	0	
$DI \rightarrow DO$	0	0	0	0	1	1	0	1	0	
$(WR-DI-1+ALUCIN)RCL \rightarrow WR, XWR$	1	0	0	0	1	1	0	1	0	
$(WR+DI+ALUCIN)RSL \rightarrow WR, XWR$	1	0	0	1	1	1	0	1	0	
$(WR-RF-1+ALUCIN)RSL \rightarrow WR, XWR$	1	0	0	0	1	0	RF			
$(WR+RF+ALUCIN)RSL \rightarrow WR, XWR$	1	0	0	1	1	0	RF			
$(WR+ALUCIN)ASP \rightarrow WR, XWR$	1	0	1	0	1	0	G	G	G	
$(WR-DI-1+ALUCIN)ASR \rightarrow WR, XWR$	1	0	1	0	1	1	0	1	0	
$(WR+DI+ALUCIN)ASR \rightarrow WR, XWR$	0	0	1	0	1	1	0	1	0	
$(WR+DI+ALUCIN)ASR \rightarrow WR, XWR$	1	0	1	1	1	1	0	1	0	
$(WR-RF-1+ALUCIN)ASR \rightarrow WR, XWR$	0	0	1	0	1	0	RF			
$(WR+RF+ALUCIN)ASR \rightarrow WR, XWR$	1	0	1	1	1	0	RF			

Примечание. $\leftarrow \rightarrow$ — передача информации; G — безразличное состояние.

* Содержимое XWR передается в A, когда PCP=0.

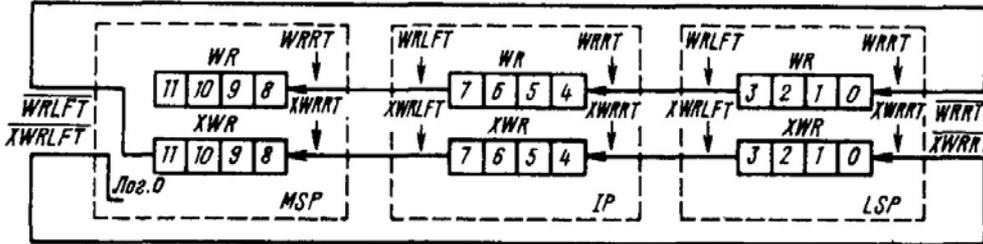


LSR с удвоенной точностью



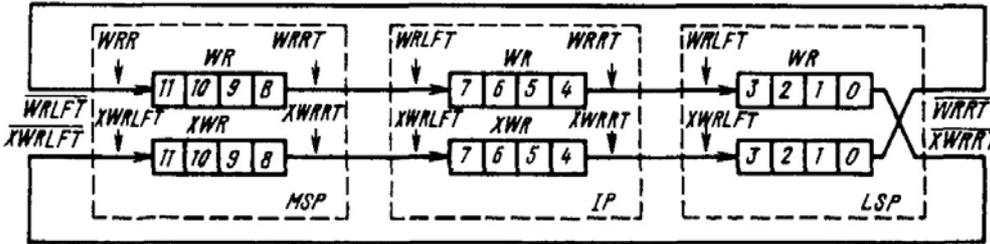
к)

LSL с удвоенной точностью



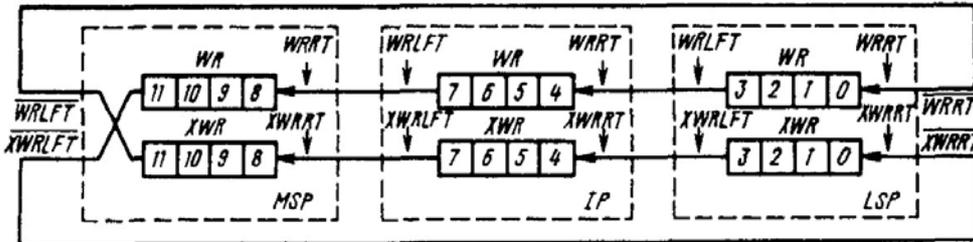
з)

RSR с удвоенной точностью



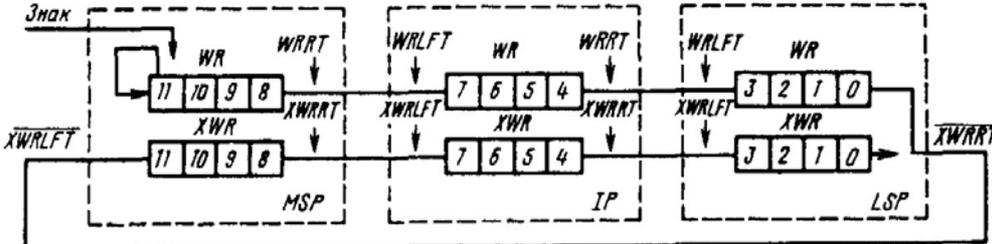
и)

RSL с удвоенной точностью



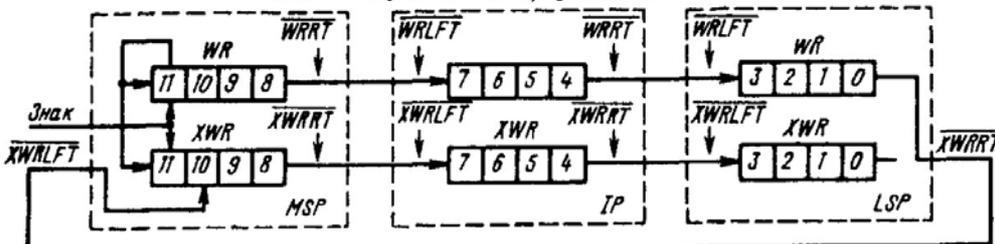
к)

ASR с одним знаком / удвоенная точность



л)

ASR с двумя знаками / удвоенная точность



м)

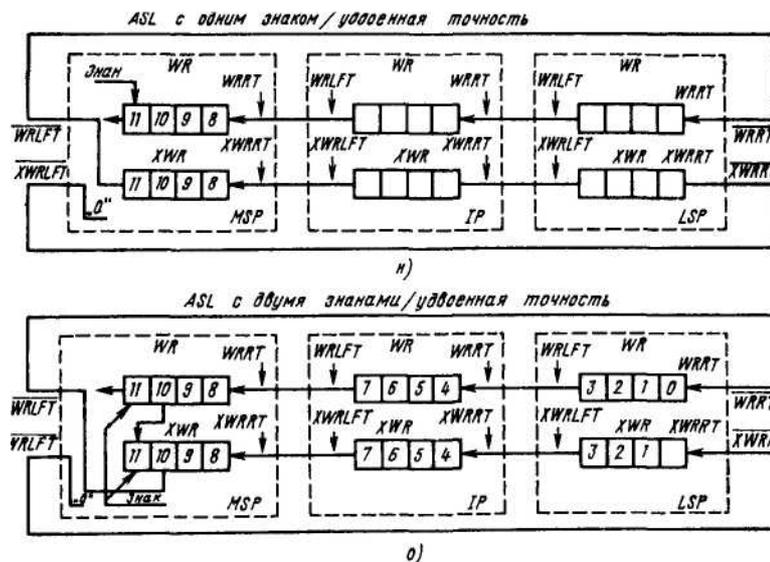


Рис. 6.7. Схемы выполнения операций сдвигов: логические сдвиги вправо „(а) и влево (б) с одинарной точностью; арифметические сдвиги вправо (в) и влево (г) с одинарной точностью; циклические сдвиги вправо (д) и влево (е) с одинарной точностью; логические сдвиги вправо (ж) и влево (з) с удвоенной точностью; арифметические сдвиги вправо (и) и влево (к) с удвоенной точностью; арифметические сдвиги вправо с удвоенной точностью с одним (л) и двумя (м) знаками; арифметические сдвиги влево с удвоенной точностью с одним (н) и двумя (о) знаками

Операция	Код операции								
	OP				D		S		
	3	2	1	0	1	0	2	1	0
(WR) ASR → WR	0	0	0	0	1	1	1	0	1
(WR) RSR → WR	0	0	0	1	1	1	1	0	1
(WR) ASL → WR	1	0	0	1	1	1	1	0	1
(WR) RSL → WR	0	0	1	0	1	1	1	0	1
(WR) LSR → WR	0	0	1	1	1	1	1	0	1
(WR) RSL → WR	1	0	1	1	1	1	1	0	1
(WR) LSR → WR	1	0	0	0	1	1	1	0	1
(WR, XWR) ASR → WR, XWR	1	0	1	0	1	1	1	0	1
(WR, XWR) RSR → WR, XWR	0	1	0	0	1	1	1	0	1
(WR, XWR) ASL → WR, XWR	0	1	0	1	1	1	1	0	1
(WR, XWR) RSL → WR, XWR	1	1	0	1	1	1	1	0	1
(WR, XWR) LSR → WR, XWR	0	1	1	0	1	1	1	0	1
(WR, XWR) RSL → WR, XWR	0	1	1	1	1	1	1	0	1
(WR, XWR) LSR → WR, XWR	1	1	1	1	1	1	1	0	1
(WR, XWR) LSL → WR, XWR	1	1	0	0	1	1	1	0	1
(WR, XWR) LSL → WR, XWR	1	1	1	0	1	1	1	0	1

Примечание 1. «→» — операция передачи информации.
 2. При PCP=0 содержимое WR выдается в A.
 3. Для операций в табл. 6.7 ALUCIN должен быть равен нулю.

Основные параметры K584BM1

Номинальный ток инжектора I_G	180 мА
Потребляемая мощность P при номинальном токе инжектора	216 мВт
Входной ток высокого уровня I_{IH}	0,6 мА
Выходной ток I_{OL}/I_{OH} :	
для выводов A, P, G, ALU COUT	20 мА/0,05 мА
для выводов DO	10 мА/0,05 мА
для остальных выводов	5 мА/0,6 мА
Время цикла T_c	
для группы А.....	400 нс
для группы Б.....	1000 нс