

**МИКРОСХЕМЫ ЭНЕРГОНЕЗАВИСИМЫХ ППЗУ  
С ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ  
K558РЕ1, K558РЕ11**

ЦНИИ «ЭЛЕКТРОНИКА»

1978

МИНИСТЕРСТВО ЭЛЕКТРОННОЙ ПРОМЫШЛЕННОСТИ СССР

МИКРОСХЕМЫ ЭНЕРГИЕЗАВИСИМЫХ ППЗУ  
С ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ К558РЕI, К558РЕII

(технические характеристики, рекомендации по применению)

---

С о д е р ж а н и е

1. Введение .....	3
2. Общие сведения .....	3
3. Рекомендации по использованию микросхем в блоках памяти и согласование со схемами ТТЛ .....	19
4. Указания по монтажу и эксплуатации микросхем .....	30

**УДК 621.3.049.77:681.327.28**

**Составили:**

**Кабардин Г.А., Сафонов В.Д., Чечель Н.И., Зенцова Л.А.**

---

**© Центральный научно-исследовательский институт  
"Электроника", 1978**

## I. ВВЕДЕНИЕ

Приведённые данные носят справочный характер и не заменяют технические условия.

Данные табл. I-5, разделов 2.2-2.5, 4 и рис. I-9 даны в соответствии с техническими условиями БКО.348.348 ТУ по состоянию на октябрь 1978 г.

Для понимания особенностей, свойств микросхем и правильного применения их в аппаратуре в брошюре включен дополнительный справочный материал. Приведены рекомендации по согласованию микросхем со схемами ТТЛ.

## 2. ОБЩИЕ СВЕДЕНИЯ

### 2.1. Определение и назначение

Микросхемы интегральные полупроводниковые К558РЕI и К558РЕII - электрически перепрограммируемые постоянные запоминающие устройства, сохраняющие информацию при отключении питаний напряжений. Микросхемы предназначены для использования в аппаратуре широкого применения при построении блоков памяти специализированных электронно-вычислительных машин, устройств сбора и обработки информации, устройств автоматики и контроля.

### 2.2. Классификация

Различия микросхем К558РЕI и К558РЕII указаны в табл. I.

Т а б л и ц а I

Параметры	K558РЕI	K558РЕII
Информационная ёмкость, бит	2048	1024
Число разрядов в информационном слове	8	4
Удельная потребляемая мощность в режиме обращения, мВт/бит, не более	0,09	0,15

Остальные параметры и режимы одинаковые.

### 2.3. Конструктивные характеристики

Конструктивно микросхемы оформлены в планарном керамическом корпусе 405.24-1 (рис. I).

Масса не более 2,5 г.

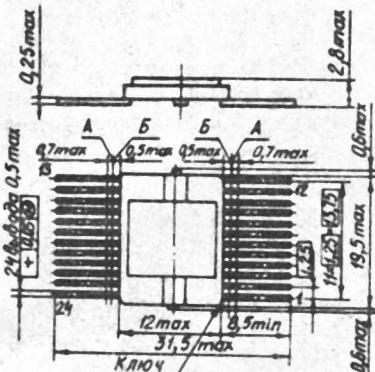


Рис. I. Габаритный чертёж и условная нумерация выводов. А - зона выводов, в пределах которой установлено смещение плоскостей симметрии выводов от номинального расположения; Б - длина вывода, непригодная для монтажа. Нумерация выводов показана условно

### 2.4. Условия эксплуатации

Микросхемы предназначены для эксплуатации в следующих условиях:

- интервал рабочих температур от минус 45 до +70<sup>0</sup>C;
- смена температур от минус 45 до +70<sup>0</sup>C;
- относительная влажность воздуха при температуре плюс 25<sup>0</sup>C до 98%;
- вибрационные нагрузки в диапазоне частот от 1 до 600 Гц при ускорении до 10g;
- многократные удары с ускорением до 75g;
- линейные нагрузки с ускорением до 25g.

Номинальные напряжения источников питания микросхем минус 12 В и +5 В. Допустимые отклонения напряжений от номинальных не более  $\pm 5\%$ .

## 2.5. Минимальная наработка

Минимальная наработка микросхем 10000 ч.

## 2.6. Электрические параметры и режимы

Электрические параметры микросхем и режимы их измерения приведены в табл. 2.

Время выборки адреса - интервал времени от момента смены адресного кода до появления на выходе микросхемы информации, хранящейся в выбранной ячейке.

Время хранения информации - способность микросхемы в течение заданного времени сохранять состояние, обеспечивающее уровни выходных напряжений, не выходящие за допустимые (до очередной перезаписи).

Напряжение логического нуля сигнала выходной информации - характеризует закрытое состояние выходного транзистора (выходной усилитель) при выходном токе 1,6 мА (втекающем). Напряжение логической единицы сигнала выходной информации - характеризует открытное состояние выходного транзистора (выходной усилитель) при выходном токе 100 мкА (вытекающем).

Динамический ток потребления - ток, потребляемый микросхемой от источника Uи.П1 в режиме обращения при частоте 100 кГц.

Т а б л и ц а 2

Параметр	Норма параметра	Режим измерения, В*		Температура, °С
		Uи.П1	Uи.П2	
1	2	3	4	5
Время выборки адреса, мкс, не более	5	-12,0	5,0	25±10
Время хранения информации при отключенном напряжении питания, ч, не менее	3000 2000			25±10 -45±70
число циклов перепрограммирования информации, не менее	$1 \cdot 10^4$	-12,0	5,0	25±10

\* См. также рис. 7-9, табл. 5 и примечания.

1	2	3	4	5
Напряжение лог. "0" сигнала выходной информации, В, не более	0,3 0,4 0,4	-12,0	5,0	25±10 +70 -45
Напряжение лог. "1" сигнала выходной информации, В, не менее	2,6 2,4 2,4	-12,0	5,0	25±10 +70 -45
Динамический ток потребления (от источника питания ИИП) при частоте обращения 100 кГц), мА, не более	10 10	-12,6	5,25	25±10 +70

- Примечания:
1. Электрический режим стирания:  $U_{T1}^I = U_{T2}^I = U_{зп,сч}^I = U_p^I = U_{стр}^I = U_a^I = U_{B.M}^I = 5 \text{ В}; U_{вых,вх}^0 = 0 \text{ В}; U_p^0 = U_{стр}^0 = -30 \text{ В}.$
  2. Электрический режим записи:  $U_{T1}^0 = U_{T2}^0 = -12 \text{ В}; U_{T1}^I = U_{T2}^I = U_{зп,сч}^I = U_p^I = U_{стр}^I = U_a^I = U_{вых,вх}^I = U_{B.M}^I = 5 \text{ В}; U_{зп,сч}^0 = -30 \text{ В}; U_a^0 = U_{B.M}^0 = U_{вых,вх}^0 = 0,4 \text{ В}.$
  3. Электрический режим считывания:  $U_{T1}^0 = U_{T2}^0 = -12 \text{ В}; U_{T1}^I = U_{T2}^I = U_{зп,сч}^I = U_p^I = U_{стр}^I = U_a^I = U_{B.M}^I = 5 \text{ В}; U_a^0 = U_{B.M}^0 = 0,4 \text{ В}; U_{зп,сч}^0 = 0 \text{ В}; f = 100 \text{ кГц}; R_h = 6,8 \text{ к}\Omega \pm 5\%.$
  4. Режим измерения динамического тока потребления:  $U_{T1}^0 = U_{T2}^0 = -12,6 \text{ В}; U_a^0 = U_{B.M}^0 = 0,4 \text{ В}; U_{T1}^I = U_{T2}^I = U_{зп,сч}^I = U_p^I = U_{стр}^I = U_a^I = U_{B.M}^I = 5,25 \text{ В}; U_{зп,сч}^0 = 0 \text{ В}; f = 100 \text{ кГц}; R_h = 6,8 \text{ к}\Omega \pm 5\%.$
  5. В табл.2 и далее используются следующие обозначения режимов:  $U_{и.п1}, U_{и.п2}$  – напряжение источников питания;  $U_{стр}$  – напряжение сигнала стирания;  $U_p$  – напряжение сигнала разрешения;  $U_{T1}, U_{T2}$  – напряжение тактовых сигналов 1, 2;  $U_{зп,сч}$  – напряжение сигнала записи-считывания;  $U_{ам}$  – напряжение сигнала "выбор микросхемы".

Емкости выводов микросхемы относительно вывода U и.п2 и токи утечек соответствуют табл. 3.

Таблица 3

Назначение выводов	Емкость, пФ	Ток утечки, мкА, не бо- лее
Вход адресный I и др.	10	
Выход-вход I и др.	15	5
Вход тактового сигнала I	15	5
Вход тактового сигнала 2	40	5
Вход сигнала выбора микросхемы	10	
Вход сигнала записи-считывания*	40	100

Примечание. Ток утечки для входов адресных, входа сигнала выбора микросхемы суммарный - не более 5 мкА.

\* Характеристики не включены в технические условия (данные для справок).

Зависимости некоторых параметров от режимов показаны на рис. 2+5.

Предельные значения допустимых электрических режимов эксплуатации микросхем приведены в табл. 4.

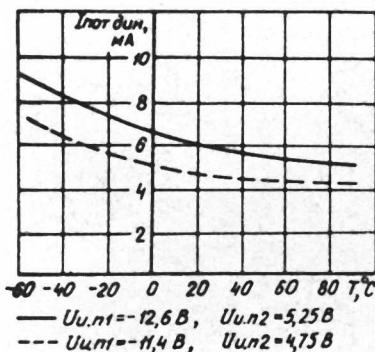


Рис.2. Зависимость динамического тока потребления от температуры окружающей среды в режиме считывания (при частоте 100 кГц)

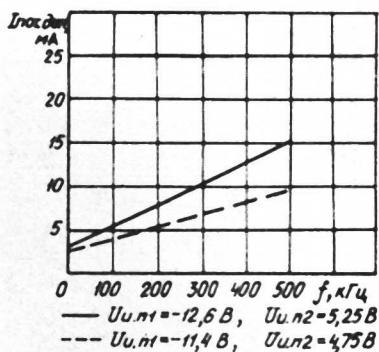


Рис.3. Зависимость динамического тока потребления от частоты обращения в режиме считывания (при температуре окружающей среды 25°C)

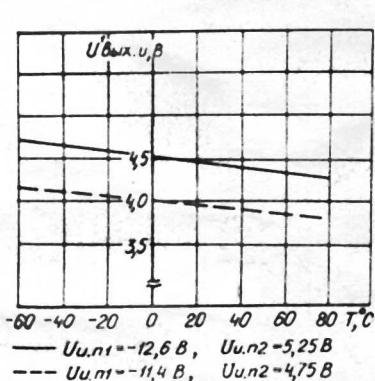


Рис.4. Зависимость напряжения логической единицы сигнала выходной информации от температуры окружающей среды (при сопротивлении нагрузки 6,8 кОм)

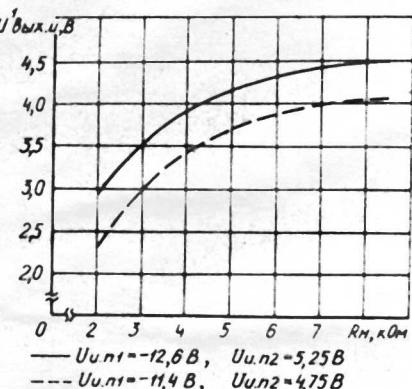


Рис.5. Зависимость напряжения логической единицы сигнала выходной информации от сопротивления нагрузки (при температуре окружающей среды 25°C)

Т а б л и ц а 4

## Предельные значения допустимых электрических режимов эксплуатации

Параметры режима, единицы измерения	Н о р м а	
	не менее	не более
Напряжение источников питания, В:		
Uи.п1	-12,6	-II,4
Uи.п2	4,75	5,25
Напряжение сигнала разрешения, Up, В:		
высокий уровень	4,75	5,25
низкий уровень	-31,5	-28,5
Напряжение сигнала адреса Ua , нап- ряжение сигналов входной информации Uвх. и, напряжение выбора микросхе- мы Uв.м, В:		
лог."1"	4,75	5,25
лог."0"	-0,4	0,4
Напряжение тактовых сигналов Ut1 и Ut2, В:		
лог."1"	4,75	5,25
лог."0"	-12,6	-II,4
Напряжение сигнала записи-считывания Uзп,сч, В:		
при считывании		
лог."1"	4,75	5,25
лог."0"	-0,4	0
при записи		
лог."1"	4,75	5,25
лог."0"	-31,5	-28,5
Напряжение сигнала стирания Uстр, В:		
лог."1"	4,75	5,25
лог."0"	-31,5	-28,5

## 2.7 Принцип работы

2.7.1. Функциональная схема. Функциональная схема и назначение выводов приведены на рис. 6.

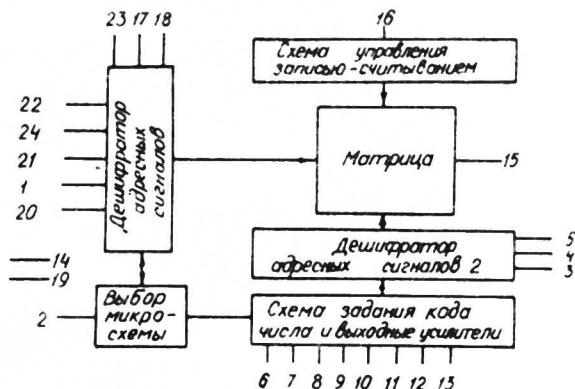


Рис.6. Схема электрическая функциональная и назначение выводов

Контакт	Цель	Контакт	Цель
I	Вход адресный 4	I7	Вход сигнала записи-считывания
2	Вход сигнала выбора микросхемы	I8	Вход тактового сигнала 2
3	Вход адресный 8	I9	И.п.1
4	Вход адресный 7	20	Вход адресный 5
5	Вход адресный 6	21	Вход адресный 3
6*	Выход-вход 1	22	Вход адресный 1
7*	Выход-вход 2	23	Вход тактового сигнала 1
8*	Выход-вход 3	24	Вход адресный 2
9*	Выход-вход 4		
10*	Выход-вход 5		
11*	Выход-вход 6		
12*	Выход-вход 7		
13*	Выход-вход 8		
14	И.п.2		
15	Вход сигнала стирания		
16	Вход сигнала разрешения		

\* у микросхем K558PEII выводы 6, II, I2, I3 свободные.

Для работы микросхем используются три внешних источника тактовых сигналов ( $U_{t1}$ ,  $U_{t2}$ ,  $U_{зп,сч}$ ), сигналы разрешения и стирания ( $Up$ ,  $Uст$ ) и два постоянных источника питания ( $U_{и.п1}$ ,  $U_{и.п2}$ ).

Согласование микросхем со схемами ТТЛ обеспечивается по адресным входам, входу "выбор микросхемы", информационным выходам-входам с использованием внешних резисторов.

Так как электрические схемы микросхем K558PEI и K558PEII не имеют принципиальных различий, то ниже описана электрическая принципиальная схема только микросхемы K558PEI. В эту схему входят следующие узлы:

- запоминающая матрица-накопитель из 2048 ячеек, каждая из которых через строчные и столбцовые адресные усилители связана со схемами записи и считывания;

- дешифраторы строк и столбцов в соответствии с кодовой комбинацией на восьми адресных входах микросхемы подключают запоминающую ячейку к схемам записи или считывания; дешифратор строк управляет пятью адресными усилителями и состоит из 32 пятивходовых схем совпадения; дешифратор столбцов управляет тремя адресными усилителями и состоит из восьми трехходовых схем совпадения; дешифратор столбцов управляет дешифраторными столбцовыми ключами, выбирая одновременно 8 ячеек (восемь рядов одного слова) из 64 и подключая их к схемам записи или считывания;

- схема выбора кристалла предназначена для разрешения обращения к схеме в режиме записи и считывания; при наличии на выводе "выбор микросхемы" напряжения +5 В (лог. "1") происходит запрет выбора микросхемы для записи и считывания; лог. "0" на выводе "выбор микросхемы" соответствует выбранной микросхеме для режимов записи и считывания; режим стирания обеспечивается при наличии сигнала лог. "1" на выводе "Выбор микросхемы", запрет стирания сигналом "выбор микросхемы" невозможен;

- восемь выходных усилителей обеспечивают одновременное считывание восьми разрядов слова; выходные выводы являются одновременно информационными входами в режиме записи.

- восемь усилителей входа осуществляют одновременную 38-

пись информации в восемь выбранных ячеек матрицы в соответствии с кодом числа;

- схема управления записью-считыванием задает режим работы схемы.

**2.7.2. Режимы работы микросхемы.** Микросхемы могут работать в четырех режимах: стирание, запись, считывание, хранение. Проверка параметров микросхем проводится в режимах и условиях, указанных в табл. 2, по временным диаграммам рис. 7, 8, 9. Требования к временным параметрам сигналов приведены в табл. 5.

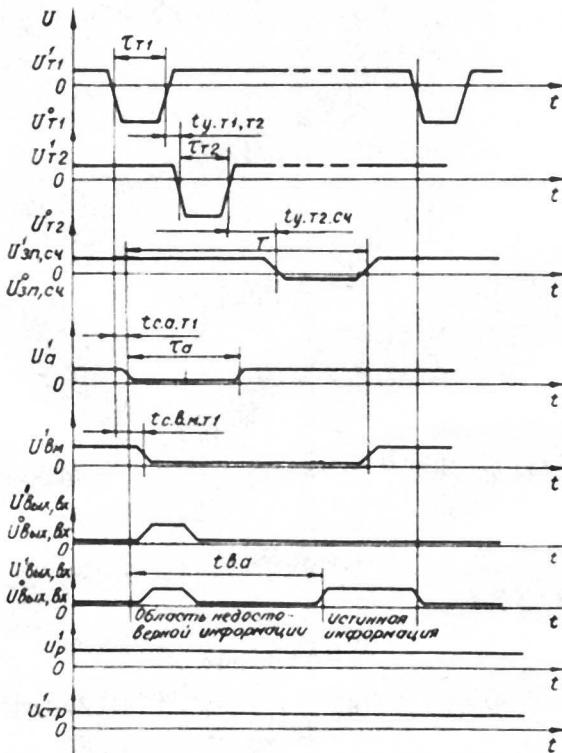


Рис. 7. Временная диаграмма напряжений сигналов в режиме считывания

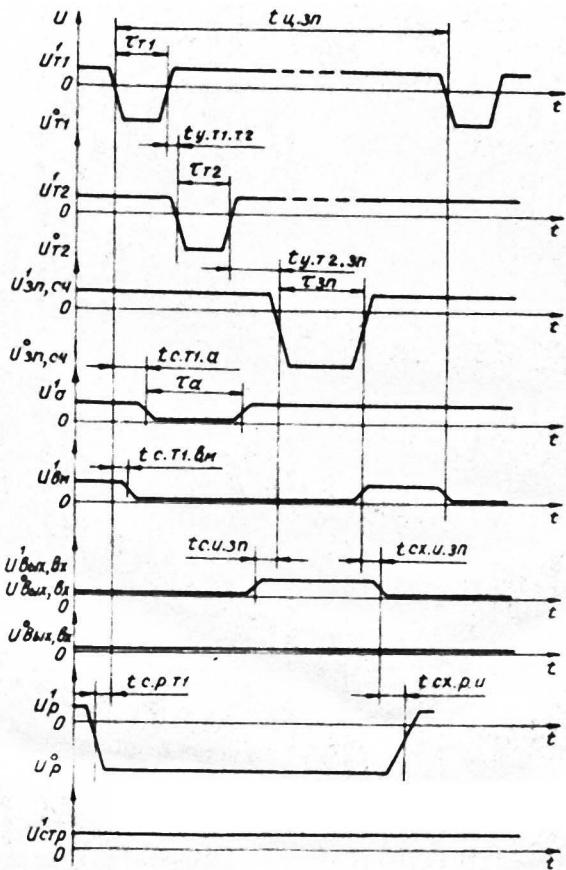


Рис. 8. Временная диаграмма напряжений в режиме записи

**Режим стирания.** На выводах "вход тактового сигнала I", "вход тактового сигнала 2", "вход сигнала записи-считывания", "входы адресные I-8" и "вход сигнала выбора микросхемы" устанавливается потенциал +5 В. Напряжение сигнала "выбор микросхемы" не блокирует стирание. На выводы "вход сигнала стирания" (подложка матрицы) и "вход сигнала разрешения" подаются высоковольтные напряжения сигналов стирания и разрешения отрицательной полярности (30 В) длительностью не менее 5 мс. Напряжение сигнала разрешения  $U_p$  должно подаваться раньше и заканчиваться позже, чем напряжение сигнала стирания  $U_{str}$ .

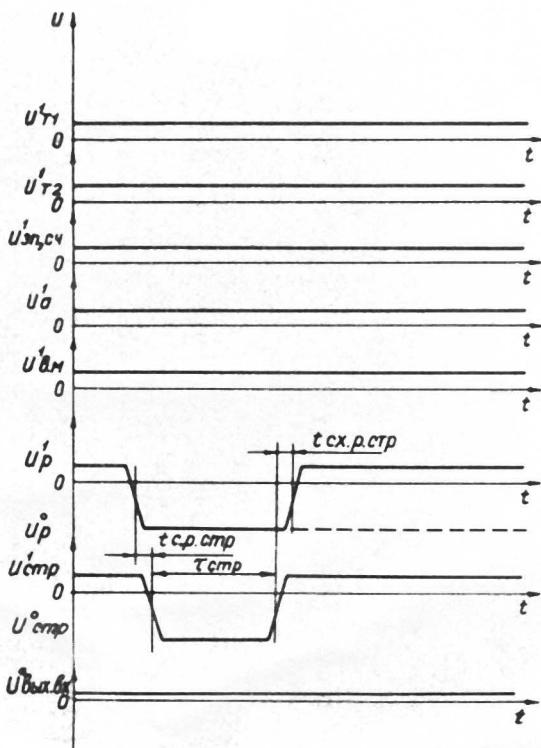


Рис. 9. Временная диаграмма напряжений сигналов в режиме стирания

на время не менее 100 мкс. Подача напряжения стирания  $U_{\text{стр}}$  на подложку матрицы эквивалентна приложению к затворам матрицы импульса положительной полярности 35 В, что приводит к стиранию информации во всех ячейках.

Режим записи устанавливается при подаче напряжения +5 В на вывод "вход сигнала стирания" и напряжения сигнала разрешения  $U_p$ , равного минус 30 В, на вывод "вход сигнала разрешения". В режиме записи включается схема задания кода числа и отключаются выходные усилители. После подачи напряжения сигнала  $U_p$  с задержкой  $t_{\text{вт}1p} \approx 150$  мкс на вывод

Таблица 5

Временные характеристики сигналов  
при проверке электрических параметров

Параметр	Обозна- чение	Длительность временных па- раметров, мкс, в режиме		
		стира- ния	записи	считывания при $f =$ $= 100 \text{ кГц}$
I	2	3	4	5
Длительность импульса таймового сигнала I	$\tau_{T1}$	-	0,8	0,8
Длительность импульса таймового сигнала 2	$\tau_{T2}$	-	0,6	0,6
Длительность сигнала адреса	$\tau_a$	-	$1,4+1,7$	$1,4+1,7$
Длительность сигнала стирания	$\tau_{\text{стр}}$	5000		-
Длительность сигнала записи	$\tau_{\text{зп}}$	-	5000	-
Время выборки адреса	$t_{\text{в.а}}$	-	-	5
Время удержания таймового сигнала I относительно таймового сигнала 2	$t_{y.T1.T2}$	-	$0,05+0,15$	$0,05+0,15$
Время удержания сигнала записи относительно таймового сигнала 2	$t_{y.T2.zp}$	-	$0,3+0,4$	-
Время удержания сигнала считывания относительно таймового сигнала 2	$t_{y.T2.sc}$	-	-	$0,3+0,4$
Время сдвига сигнала адреса относительно таймового сигнала I	$t_{c.T1.a}$	-	$< 0,05$	$< 0,05$

I	2	3	4	5
Время выборки адреса и время перезаписи выходной информации в буферный регистр	$T = t_{\text{в.а.}} + t_{\text{пер. рег}}$	-	-	-
Время сдвига сигнала выбора микросхемы относительно тактового сигнала I	$t_{\text{с.тI.в.м}}$	-	$\leq 0,05$	$\leq 0,05$
Время сдвига сигнала записи относительно сигнала входной информации	$t_{\text{с.и.зп}}$	-	$0 \div 0,1$	-
Время сдвига тактового сигнала I относительно сигнала разрешения	$t_{\text{с.р.tI}}$		$\geq 100$	-
Время сдвига сигнала стирания относительно сигнала разрешения	$t_{\text{с.р.стр}}$	$\geq 100$	-	-
Время цикла записи	$t_{\text{ц.зп}}$	-	$5100$	-
Время сохранения сигнала разрешения после сигнала входной информации	$t_{\text{сх.р.и}}$	-	$\geq 100$	-
Время сохранения сигнала входной информации после сигнала записи	$t_{\text{сх.и.зп}}$	-	$0 \div 0,1$	-
Время сохранения сигнала разрешения после сигнала стирания	$t_{\text{сх.р.стр}}$	$\geq 100$	-	-

Примечания: I. Длительности всех сигналов измеряются на уровне 0,5 их амплитуд.

2. Длительность импульсов управляющих, тактовых сигналов I, 2, адресных сигналов и сигнала выбора микросхемы устанавливается с точностью

- $\pm 10\%$ . Длительности фронтов и спадов этих сигналов должны быть не более 10% от длительностей импульсов.
3. Длительности фронта и спада сигнала записи-считывания  $U_{зп,сч}$  в режиме записи должны быть  $5 \pm 50$  мкс.
  4. Длительности фронтов и спадов сигналов разрешения и стирания должны быть  $100 \pm 200$  мкс.
  5. Времена задержки сигналов между записью и считыванием, стиранием и считыванием, стиранием и записью должны быть не менее 5 мс.
  6. Для восстановления режима внутренних узлов микросхемы до уровня режима считывания после каждого режима записи или после каждого режима стирания перед считыванием информации должно быть произведено принудительное однократное считывание информации (без ее использования) по всем адресам микросхемы. Вместо принудительного считывания допускается начинать считывание информации после выдержки не менее 60 с при включенных источниках  $U_{и.П1}$  и  $U_{и.П2}$  и напряжении логической единицы на остальных выводах.

"вход тактового сигнала 1" подается напряжение сигнала предварительного заряда  $U_{т1}$ . Далее одновременно с ним или с небольшой задержкой (50 нс) подается напряжение сигнала выбора микросхемы  $U_{в.м}$  и напряжение  $U_a$  на требуемый адресный вход. Затем с задержкой  $t_{ут1}$ ,  $t_2$  подается напряжение сигнала  $U_{т2}$  на вывод "вход тактового сигнала 2" длительностью  $T_{т2}$ , заряжающее выходные емкости дешифраторов и столбцовые шины матрицы. После этого с интервалами  $t_{ут2.зп}$  на вывод "вход сигнала записи-считывания" подается напряжение сигнала записи  $U_{зп,сч}$  длительностью не менее 5 мс и амплитудой минус 30 В. Сигнал записи подается одновременно с сигналами входной информации (код числа) или с задержкой 100 мкс ( $t_{с.и.зп}$ ). Время сохранения сигнала записи относительно сигнала входной информации - в пределах 0-100 мкс ( $t_{сх.и.зп}$ ). Для надежной записи информации требуется,

чтобы сигнал разрешения сохранялся после сигнала входной информации (код числа) не менее 100 мкс.

При записи в выбранную ячейку логического нуля на выбранный вывод "выход-вход" подается напряжение сигнала, соответствующее высокому уровню ТТЛ +5 В (лог. "1"). При записи логической единицы на выбранный вывод "выход-вход" подается напряжение сигнала, соответствующее низкому уровню ТТЛ (лог. "0").

Таким образом, сигналы входной информации при записи (код числа) инвертированы сигналами выходной информации при считывании.

Режим считывания устанавливается при подаче потенциала +5 В на выводы "вход сигнала разрешения" и "вход сигнала стирания". В этом режиме включаются выходные усилители и отключается схема задания кода числа. Напряжения сигналов  $U_{t1}$ ,  $U_{t2}$ ,  $U_{ap,sch}$ ,  $U_{v.m}$ ,  $U_a$  подаются в той же последовательности, что и в режиме записи. Сигналы  $U_{ap,sch}$  в режимах записи и считывания различаются уровнем напряжения и длительностью импульса. Считывание информации должно начинаться не раньше времени выборки адреса ( $t_{ba}$ ) и заканчиваться не позже, чем через 10 мкс с момента подачи на вход сигнала адреса.

До прихода тактового сигнала  $U_{t2}$  на выходах микросхемы "выход-вход" появляются ложные сигналы с амплитудой +5 В (см. рис. 7), поэтому по выходам микросхемы необходимо стробирование.

При переходе к следующему адресу вся временная диаграмма повторяется. При запрете обращения к микросхеме на вывод "вход сигнала выбора микросхемы" подается напряжение +5 В.

### 3. РЕКОМЕНДАЦИИ ПО ИСПОЛЬЗОВАНИЮ МИКРОСХЕМЫ В БЛОКАХ ПАМЯТИ И СОГЛАСОВАНИЮ СО СХЕМАМИ ТТЛ

#### 3.1. Общие положения

При считывании выходной информации для исключения ложных импульсов, возникающих за счёт переходных процессов (см. раздел 2.7.2), необходимо применять стробирование.

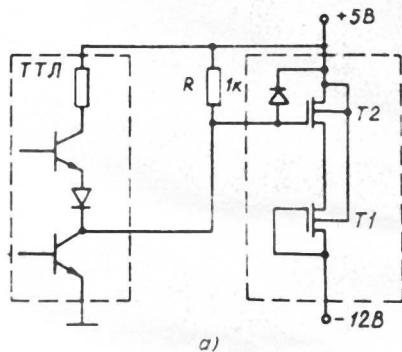
При объединении микросхем в блоки рекомендуется придерживаться следующих ограничений:

- объединение микросхем по информационным выходам-входам не более 16;

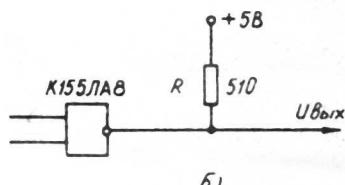
- объединение по адресным входам не ограничено.

При использовании микросхем совместно со схемами ТТЛ необходимо обеспечить согласование логических уровней ТТЛ (лог. "0" < 0,4 В; лог. "1" > 2,4 В) с уровнями адресных сигналов, сигнала "выбор микросхемы", информационных сигналов выход-вход, тактовых сигналов и сигналов разрешения, стирания, записи-считывания.

### 3.2. Согласование микросхем по адресным входам и входу "выбор микросхемы"



a)



b)

Рис. 10. Схемы согласования микросхем по адресным входам и входу "выбор микросхемы"

На рис. 10 а показан пример согласования микросхем по адресным входам и входу "выбор микросхемы" с помощью внешнего резистора, предназначенного для повышения напряжения на входе микросхемы до +5 В. Сопротивление резистора выбирается из условия допустимого выходного тока ТТЛ-схемы и требуемого времени установления входных уровней. С целью исключения аномальных режимов работы микросхем для питания ТТЛ-логики необходимо применять источник  $U_{и.п.2}$ , используемый для питания микросхем К558РЕI, К558РЕII.

Схему согласования по адресным сигналам и сигналу "выбор микросхемы" можно строить на ТТЛ-элементах с открытыми коллекторными выходами, как показано на рис. II.6. Эта схема при ёмкости нагрузки 100 пФ обеспечивает длительность переднего фронта около 20, а длительность заднего фронта - около 100 нс. Необходимо учитывать падение напряжения на резисторе от тока утечки через закрытый выходной транзистор ТТЛ-микросхемы.

### 3.3. Согласование микросхем по информационным выходам-входам

При согласовании микросхем по информационным выходам-входам должно выполняться преобразование:

- уровней сигналов ТТЛ-элементов в уровнях входных сигналов микросхем;
- уровней выходных сигналов микросхем в уровнях входных сигналов ТТЛ-элементов;
- совмещенного выхода-входа микросхем в раздельные выход и вход.

На рис. II представлена схема одного из вариантов согласования микросхем со схемами ТТЛ. Совмещенный выходной-входной каскад микросхемы состоит из выходного ключевого транзистора T1, сток которого подключен к выводу "выход-вход", а исток - к источнику напряжения +5 В, и входного транзисторного ключа T2, затвор которого соединен со стоком T1.

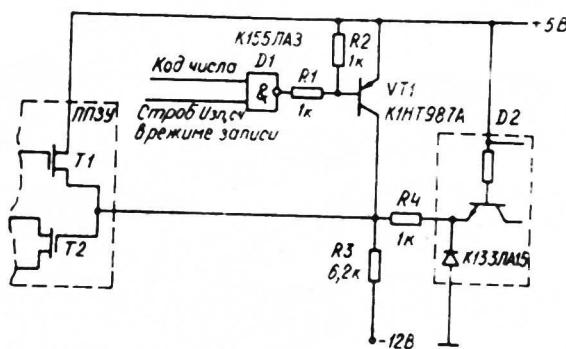


Рис. II. Схема согласования по информационным выходам-входам

Для согласования по выходу рекомендуется схема К133ЛА15, допускающая протекание тока 6 мА через антизивонный диод на ее входе при напряжении минус 1,5 В. В связи с тем, что выходы микросхемы являются и входами для задания кода числа при записи, а на выходе ТТЛ-схемы, задающей код числа, недопустимо появление отрицательного напряжения, можно использовать дополнительные биполярные транзисторы, через которые задается код записываемого числа. В режиме считывания эти транзисторы должны быть закрыты.

Схема выходного каскада микросхемы с открытым стоком выбрана для снижения потребляемой кристаллом мощности. При считывании логического нуля выходной транзистор Т1 закрыт и через резистор R3 на вход схемы К133ЛА15 подается отрицательное напряжение. В результате диод на ее входе переходит в проводящее состояние и фиксирует напряжение логического нуля на входе схемы К133ЛА15 на уровне минус 1,5 В (в худшем случае). Сопротивление R3 выбирается из условий, обеспечивающих минимальный входной ток схемы К133ЛА15 и требуемое быстродействие. При считывании логической единицы выходной транзистор Т1 микросхемы открыт, и напряжение на входе схемы К133ЛА15 будет не менее 2,4 В.

Резистор R4, включенный на входе ТТЛ-схемы К133ЛА15, предназначен для защиты входа схемы при открытом транзисторе VT1.

Схема согласования по информационным входам (код числа) работает следующим образом. При записи логического нуля, когда с выхода ТТЛ-схемы поступает логический нуль, транзистор VT1 открывается и на затвор МДП-транзистора схемы кода числа подается запирающее напряжение +5 В. При записи логической единицы транзистор VT1 закрыт и на вход схемы ПЗУ подается логический нуль. Для питания ТТЛ-схем должен использоваться также источник питания Uи.п2.

Полная схема устройства согласования приведена на рис. 12.

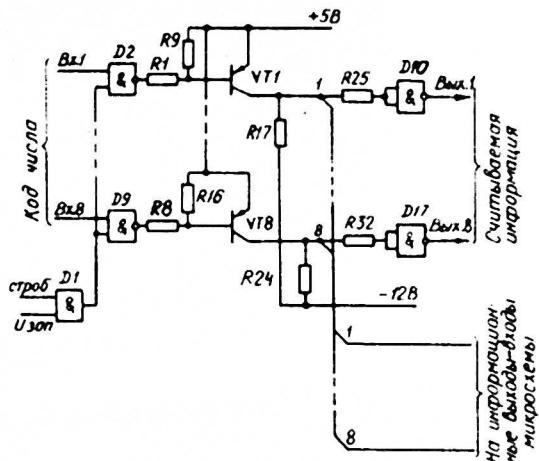


Рис.12. Полная схема согласования по информационным выходам-входам

Позиция, обозначе- ние	Т и п
Д1	Микросхема К155ЛМ1 бк0.348.006 ТУ 13
Д2...Д9	Микросхемы К155ЛА8
Д10...Д17	Микросхемы К133ЛА15 бк0.348.086 ТУ 32
VT1...VT8	Транзисторы К1Н987А
R1... R16	Резисторы МЛТ-0,125 - 1 кОм ±10%
R17...R24	Резисторы МЛТ-0,125 - 6,2 кОм ±10%
R25...R32	Резисторы МЛТ-0,125 - 1 кОм ±10%

### 3.4. Согласование микросхем по входам тактовых сигналов, сигналов разрешения, стирания, записи-считывания

При выборе схем согласования нужно руководствоваться следующими рекомендациями:

- согласователи должны обеспечивать минимальные задержки и длительности фронтов;
- уровни логического нуля и логической единицы должны быть в допустимых пределах;
- на выходах схем должны быть исключены паразитные выбросы амплитудой более 0,5 В как положительной, так и отрицательной полярности.

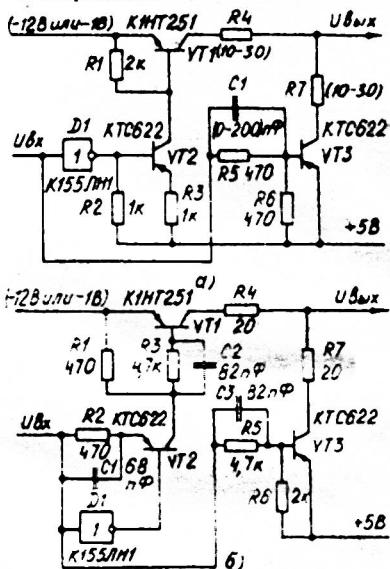


Рис.13. Схемы согласования логических уровней с уровнями микросхем

На рис. 13а представлена схема согласования логических уровней с уровнями микросхем K558PEI, K558PEII, которая может быть использована для формирования сигналов с короткими передними и задними фронтами.

Сигнал U<sub>вх</sub> снимается с выхода ТТЛ-элемента, поэтому значение логического нуля U<sub>вх</sub> < 0,4 В, а значение логической единицы U<sub>вх</sub> ≈ +5 В за счёт резисторов R 5 и R 6. Схема работает следующим образом. При U<sub>вх</sub> < 0,4 В выход микросхемы D1 открыт от общей точки, ток базы транзистора VT2 отсутствует, транзисторы VT2 и VT1 закрыты. Так как через базу транзистора VT3 течёт ток, величина которого определяется величиной сопротивления резисторов R 5 и R 6, то он открыт до насыщения. Поэтому при U<sub>вх</sub> < 0,4 В, U<sub>вых</sub> ≈ +5 В.

При U<sub>вх</sub> ≈ +5 В транзистор VT3 закрыт. Выход микросхемы D1 подключится к общей точке, появится ток базы транзистора VT2,

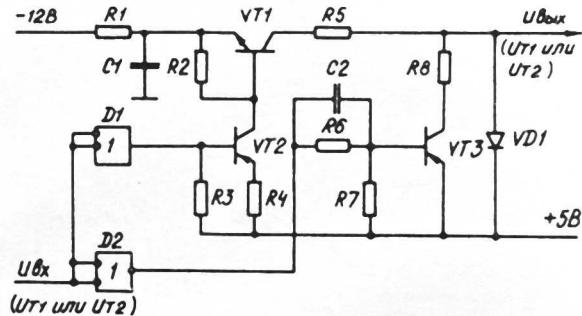


Рис. I4. Схема согласования по входам  
тактовых сигналов I<sub>1</sub>, I<sub>2</sub>

Позиция, обозна- чение	Т и п
I1	Микросхема К155ЛА3
I2	Микросхема К155ЛИ бКО.348.006 ТУ 13
VT1	Транзистор К1Н725И
VT2, VT3	Транзисторы КТС622
R1	Резистор МЛТ-0,125 - 30 Ом $\pm 10\%$
R2	Резистор МЛТ-0,125 - - 1,0 кОм $\pm 10\%$
R3, R4	Резисторы МЛТ - 0,125 - - 1,0 кОм $\pm 10\%$
R5, R8	Резисторы МЛТ-0,125 - - 15 Ом $\pm 10\%$
R6, R7	Резисторы МЛТ-0,125 - - 510 Ом $\pm 10\%$
C1	Конденсатор КМ-6-Н90-0,47 мкФ
C2	Конденсатор КМ-56-М750- - 200 пФ $\pm 10\%$

транзисторы VT2 и VTI открываются. Величина сопротивления резистора R3 выбирается такой, чтобы обеспечить режим насыщения транзистора VTI. Поэтому при  $U_{\text{вх}} = +5 \text{ В}$   $U_{\text{ых}} = U_{\text{и.П1}} - U_{\text{Ки}}$ , где  $U_{\text{Ки}}$  – напряжение коллектор-эмиттер транзистора VTI в режиме насыщения.

В этой схеме емкость C1 используется для ускорения открывания и закрывания транзистора VT3. Формирователь, выполненный по схеме рис. I3а, не требует настройки и при емкости нагрузки 220 пФ  $U_{\text{и.П1}} = -12 \text{ В}$  обеспечивает длительность фронтов около 80 нс.

2. Более короткие фронты можно получить от схемы согласования, приведенной на рис. I3б, отличающейся от предыдущей тем, что все транзисторы работают в активном режиме или режиме, близком к насыщению. От этой схемы можно получить сигналы с длительностью фронтов примерно 40 нс, однако, для этого требуется индивидуальная настройка каждого каскада путем подбора резисторов R3 и R5.

3. На рис. I4 представлена схема формирователей тактовых сигналов UT1 и UT2. Особенность ее по сравнению со схемой на рис. I6а состоит в том, что между выходом и источником  $U_{\text{и.П2}} = +5 \text{ В}$  включен диод VD1, который защищает микросхему от положительных выбросов.

4. В целях надежного управления микросхемой в режимах стирания и записи сигналы стирания, разрешения, записи-считывания должны иметь пологие, длительностью около 100 мкс, фронты. Для согласования микросхем по входам сигналов разрешения и стирания можно использовать схему согласования, приведенную на рис. I5, отличающуюся от схемы рис. I3а тем, что все транзисторы работают в режиме насыщения, а ток базы транзистора VTI ограничивается резистором R4. Длительность переднего фронта определяется сопротивлением резистора R4 и емкостью конденсатора C1, а длительность заднего фронта зависит также от сопротивления резистора R8. Приблизительно можно считать, что время нарастания переднего фронта равняется  $2 \cdot R_4 \cdot C_1$ , а время спада –  $\beta (2 \cdot R_8 \cdot C_1)$ , где  $\beta$  – коэффициент усиления по току транзистора VTI. При указанных номиналах на схеме рис. I5 длительность переднего фронта составляет 200, а длительность заднего фронта – 50 мкс.

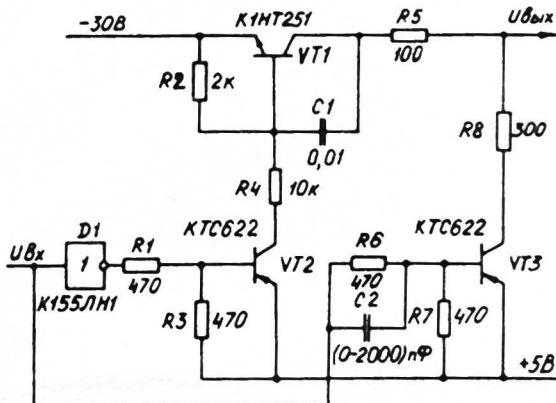


Рис. I5. Схема согласования по входам сигналов стирания и разрешения

Схему согласования можно упростить, если вместо транзистора VT3 и резисторов R8, R6, R7 между выходом и источником  $U_{и.п2} = +5$  В подключить резистор сопротивлением около 1,3 кОм. В этом случае задний фронт выходного сигнала увеличится.

5. Схема согласования по входам сигналов разрешения и стирания представлена на рис. I6. Особенность схемы в защите микросхем памяти с помощью диода VD2 в тех случаях, когда сигнал стирания опережает сигнал разрешения.

6. Схема согласования по входу сигнала записи-считывания представлена на рис. I7. При считывании работают транзисторы VT1, VT2, VT5 и элементы D2, D3, D4, а при записи - VT3, VT4, VT6, D1, D5, D6. Для исключения взаимного влияния эти части схемы разделены диодами VD3 и VD4.

Режим работы выбирается подачей сигнала "разрешение при считывании" на вход элемента D2 или сигнала "разрешение при записи" на вход элементов D5, D6.

Выходной сигнал  $U_{вых}$  (зп, сч) появляется в момент действия сигнала  $U_{вх}$  (зп, сч). (Уровни входных сигналов соответствуют уровням логической единицы ТТЛ-схем).

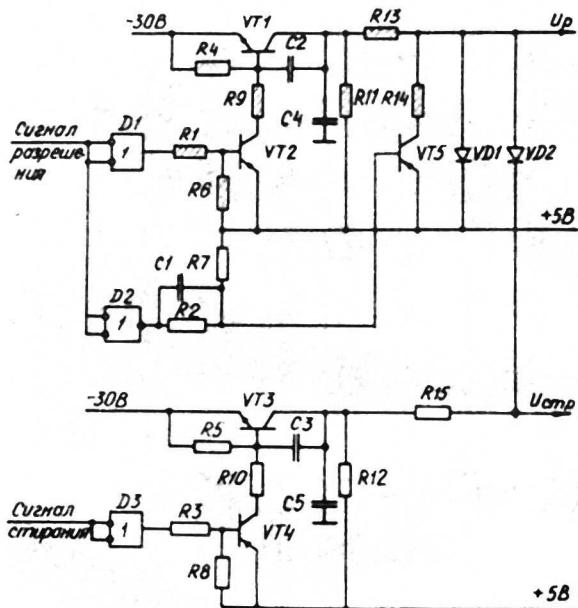


Рис. 16. Схема согласования по входам сигналов разрешения и стирания

Позиция, обозначение	Т и п
D1, D3	Микросхемы К155ЛА3 .
D2	Микросхема К155ЛН1 БКО.348.006 ТУ 13
VT1, VT3	Транзисторы КИ1Т25И
VT2, VT4, VT5	Транзисторы КТС622
VД1, VД2	Диоды КД51ЗА
R1... R3, R6, R7, R8	Резисторы МЛТ-0,125-510 Ом ±10%
R4, R5	Резисторы МЛТ-0,125-2 кОм ±10%
R9, R10	Резисторы МЛТ-0,25-7,5 кОм ±10%
RII, R12	Резисторы МЛТ-0,25-1,3 кОм ±10%
R13	Резистор МЛТ-0,125-100 Ом ±10%
R14, R15	Резисторы МЛТ-0,125-51 Ом ±10%
C1	Конденсатор 2200 пФ ±10%
C2, C3	Конденсаторы КМ-4А-Н30-0,01 мкФ ±10%
C4; C5	Конденсаторы КМ-5А-Н90-0,047 мкФ ±10%

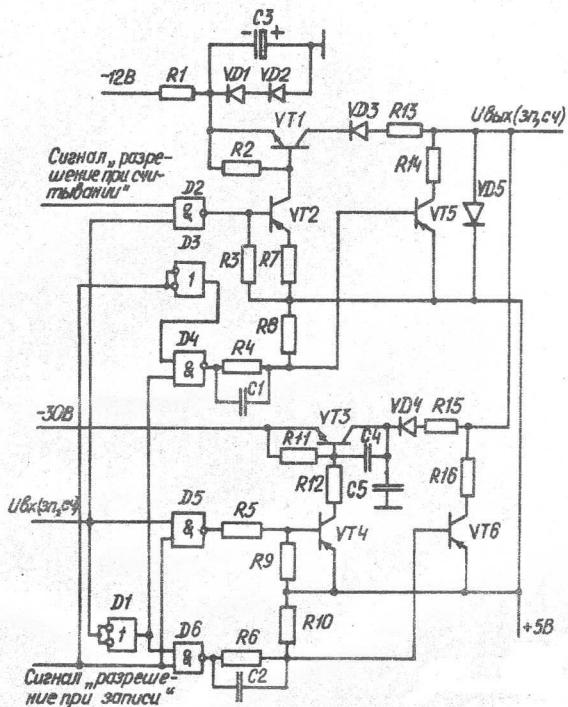


Рис.17. Схема согласования по входу сигнала записи-считывания

Позиция, обозначение	Т и п
Д1...Д6	Микросхемы К155ЛА3
VT1, VT3	Транзисторы К1ИТ251
VT2, VT4, VT5, VT6	Транзисторы К1С622
VD1... VD5	Диоды КД513А
R1	Резистор МЛТ-0,25-1 кОм ±10%
R2, RII	Резисторы МЛТ-0,125-2 кОм ±10%
R3, R7	Резисторы МЛТ-0,125-1 кОм ±10%
R4...R6, R8...R10	Резисторы МЛТ-0,125-510 Ом ±10%
R12	Резистор МЛТ-0,125-7,5 кОм ±10%
R13, R15	Резисторы МЛТ-0,125-510 Ом ±10%
R14	Резистор МЛТ-0,125-15 Ом ±10%
R16	Резистор МЛТ-0,125-510 Ом ±10%
C1, C2	Конденсаторы К-50-Н30-2200 пФ ±10%
C3	Конденсатор K53-І4а-6В-10 мкФ ±10%
C4	Конденсатор KM-5а-Н30-0,01 мкФ ±10%
C5	Конденсатор 100 пФ

#### 4. УКАЗАНИЯ ПО МОНТАЖУ И ЭКСПЛУАТАЦИИ МИКРОСХЕМ

Микросхемы должны применяться и эксплуатироваться в соответствии с разделом 5 ГОСТ 18725-73.

При работе с микросхемами необходимо соблюдать меры по защите их от воздействия статического электричества:

- участки рабочих столов, стульев, пола, с которыми могут соприкасаться оператор или микросхемы, должны быть выполнены из материала с удельным поверхностным сопротивлением не более  $1 \cdot 10^7$  Ом·м;

- работы с микросхемами должны выполняться оператором в антистатической одежде или с заземленным кольцом (браслетом) на руке; сопротивление электростатического заземления должно быть в пределах от 0,5 до 1,0 МОм;

- при транспортировании и хранении выводы микросхем должны быть закорочены между собой до момента установки в аппаратуру.

Корпус микросхемы находится под напряжением минус 30 В в режиме стирания и не должен соприкасаться с проводниками и элементами монтажа.

Источники питания микросхемы и схем, с которыми она согласуется по входам и выходам, должны быть общими.

Положительный полюс источника питания  $U_{и.п1}$  и отрицательный полюс источника питания  $U_{и.п2}$  должны быть соединены с общей точкой схем внешнего обрамления.

При эксплуатации микросхем должны быть приняты меры, исключающие кратковременное превышение предельно допустимых режимов за счет переходных процессов на выходе источника напряжения минус 30 В, в частности, при включении и отключении источника, сети и т.п.

**МИКРОСХЕМЫ ЭНЕРГОНезависимых ППЗУ  
с ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ  
K558РЕI, K558РЕII**

Редактор Волошин Г.Д.  
Технический редактор Романенко Т.Г.  
Корректор Ерюхина З.М.

---

00647. Подписано к печати 1 ноября 1978 г. Формат 60x84/16.  
2,0 физ. л.л. 1,86 усл.п.л. 1,5 уч.-изд.л. Заказ 1025.  
Тираж 5000. Цена 23 коп. 1978 г.

---

**Цена 23 коп.**