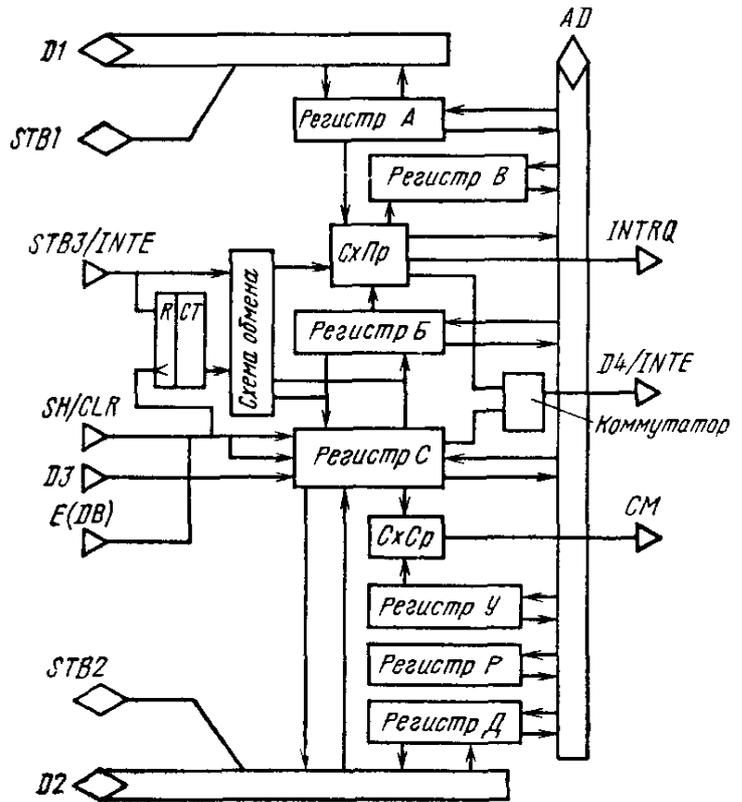
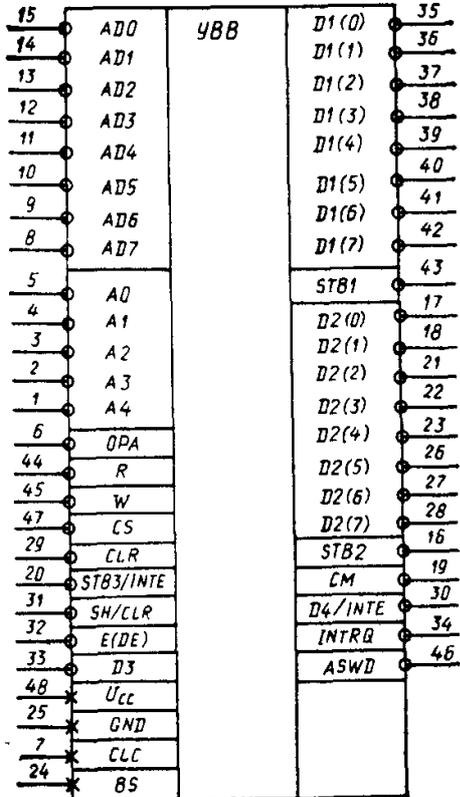


# К1809ВВ1

Микросхема К1809ВВ1 — программируемое устройство ввода—вывода информации, представляющее собой два 8-разрядных параллельных программируемых канала ввода—вывода, которое обеспечивает ввод и вывод данных по двум 8-разрядным каналам, организацию системы прерываний, счет импульсов, сдвиг вправо, преобразование параллельного кода в последовательный и обратно; предназначена для построения цифровых устройств ввода/вывода для микро-ЭВМ широкого применения. Содержит 4260 интегральных элементов. Корпус 244.48-11



## Электрические параметры

Напряжение низкого уровня на входе	не более 0,8 В
Напряжение высокого уровня на входе	не менее 2,0 В
Напряжение низкого уровня на выходе	не менее 0,4 В (не менее 0,5 В)*
Напряжение высокого уровня на выходе	не менее 2,4 В
Выходной ток низкого уровня	не более 3,2 мА
Выходной ток высокого уровня	не более 80 мкА
Ток потребления	не более 120 мА (не более 190 мА)*
Максимальная тактовая частота	5,3 МГц
Период следования тактовых импульсов	190...5000 нс
Температура окружающей среды	-10...+70°C
Срок сохраняемости	10 лет
Минимальная наработка	50 000 ч

\* (по некоторым источникам)

Микросхема содержит:

1. Канальные регистры А, С, Д, имеющие непосредственную связь с внешними шинами данных и образующие каналы ввода/вывода. Число 8-разрядных параллельных каналов ввода/вывода 2.

Регистры А и Д являются регистрами параллельных входов/выходов, причем А может работать в качестве регистра прерываний. Регистр А имеет для информационного обмена двойной доступ: со стороны МП по шине AD и со стороны объекта по шине D1. Направление обмена по шине D1 задается пятым разрядом регистра Р. Если шина является выходной, то на ее контактах отображается код, записанный в регистр А, а сигнал STB1 имеет активный (низкий) уровень, пока код в регистре А остается неизменным.

Когда производится запись со стороны МП в регистр А, на выводе STB1 появляется импульс высокого уровня.

Если шина D1 входная, то при переходе сигнала STB1 из пассивного состояния в активное производится перепись информации с выводов шины D1 в регистр А.

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—5	A4—A0	Входы	5-разрядная адресная шина. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде адреса
6	OPA	Вход	Сигнал «Обмен». Устанавливается низким уровнем для обмена данными по шине AD7—AD0. В момент перехода уровня сигнала с высокого на низкий воспринимается адрес с шины A5—A1
7	CLC	Вход	Тактовые импульсы с частотой 5 МГц
8—15	AD7—AD0	Вход/выход	8-разрядная шина записи/чтения данных. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
16	STB2	Вход/выход	Стробирующий сигнал для синхронизации обмена информацией с внешними объектами. Является входным, когда шина D2 входная. При низком уровне сигнала разрешает ввод информации по шине D2. Является выходным, когда шина D2 выходная, и представляет собой импульс высокого уровня в момент смены информации на шине D2
17, 18, 21—23, 26—28	D2(0)—D2(7)	Вход/выход	8-разрядная шина ввода/вывода данных для обмена информацией с внешними объектами. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
19	CM	Выход	Сигнал сравнения, имеющий низкий уровень при совпадении содержимого счетчика/сдвигателя с содержимым регистра уставки
29	CLR	Вход	Сигнал «Начальная установка». При поступлении на этот вход сигнала низкого уровня происходит сброс внутренних регистров
30	D4 INTE	Выход	Выход счетчика сдвигателя или сигнал «Предоставление прерывания»
31	SH/CLR	Вход	Сигнал «Начальная установка счетчика» или сигнал сдвига. Установка счетчика в нулевое состояние или сдвиг содержимого регистра сдвига на один разряд вправо производятся по перепаду уровня сигнала от высокого к низкому
33	D3	Вход	Информационный вход счетчика/сдвигателя. Изменение уровня сигнала от высокого к низкому увеличивает код регистра на 1
32	E(D3)	Вход	Управление входом данных счетчика-сдвигателя
34	INTRQ	Выход	Сигнал «Запрос на прерывание». Транзистор с открытым стоком открывается при наличии запроса прерывания
35—42	D1(7)—D1(0)	Вход/выход	8-разрядная шина ввода/вывода данных для обмена информацией с внешними объектами. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
43	STB1	Вход/выход	Стробирующий сигнал для синхронизации обмена информацией с внешними объектами. Является входным, когда шина D1 входная, и при низком уровне разрешает ввод информации по шине D1. Является выходным, когда шина D1 выходная, и представляет собой импульс высокого уровня в момент смены информации по шине D1
20	STB3/INTE	Вход	Сигнал «Строб-3». При низком уровне обеспечивается обмен между счетчиком/сдвигателем и его буферным устройством. Сигнал «Предоставление прерывания», при низком уровне которого обеспечивается считывание вектора прерывания
24	BS	—	Подложка
25	GND	—	Общий
48	U <sub>cc</sub>	—	Напряжение питания
44	R	Вход	Сигнал «Чтение». Низкий уровень сигнала обеспечивает при наличии сигналов OPA и CS выдачу микросхемой на шину AD информации из регистра, адресованного по шине A
45	W	Вход	Сигнал «Запись». Низкий уровень сигнала на этом входе обеспечивает при наличии сигналов OPA и CS прием микросхемой по шине AD информации в регистр, адресованный по шине A
46	ASWD	Выход	Сигнал «Ответ». Транзистор с открытым стоком открывается при обмене информацией по шине AD
47	CS	Вход	Сигнал «Выборка» микросхемы. Низкий уровень сигнала означает, что микросхема должна реагировать на сигналы R или W

Регистр Д (как и регистр А) имеет двойной доступ — по шине AD со стороны МП и по шине D2 со стороны внешнего объекта, если шина D2 седьмым разрядом регистра Р подключена к регистру Д. Если же шина D2 подключена к регистру С, а не к регистру Д, то последний доступен только со стороны МП. Обмен информации по шине D2 с регистром Д осуществляется точно так же, как обмен по шине D1 с регистром А.

Регистр С предназначен для образования последовательных каналов ввода/вывода и может представлять собой либо счетчик, работающий на сложение, либо регистр сдвига вправо (из старших разрядов в младшие). Режим использования регистра С задается третьим разрядом регистра Р.

Взаимодействие регистра С с внешними объектами осуществляется с использованием сигналов: DB — входные данные последовательного канала; E(DB) — управление входными данными; SH/CLR — начальная установка регистра С или сдвиг; CM — состояние сравнения; D4/INTE — выходные данные последовательного канала.

Вспомогательный счетчик СТ предназначен для отсчета восьми сдвигов информации в регистре С и формирования импульса переписи кода из регистра С в регистр Б или из регистра Б в регистр С.

2. Служебные регистры Б, У, Р, обеспечивающие канальным регистрам необходимые режимы работы.

Регистр Б может использоваться как регистр маски в сочетании со схемой прерываний СхПр, если регистр А служит регистром прерываний, и как буферный регистр обмена с регистром С, если последний служит преобразователем параллельного кода в последовательный либо последовательного кода в параллельный.

Регистр У используется как регистр уставки, которая с помощью схемы сравнения СхСр непрерывно сравнивается с содержимым регистра С.

Регистр Р является регистром режимов и обеспечивает программное изменение внутренней конфигурации и задание режимов работы микросхемы.

3. Векторный регистр В; код вектора записывается в регистр Б со стороны МП программой начальной установки системы.

Регистр В необходим для хранения вектора прерывания.

4. Внешние двунаправленные 8-разрядные шины данных D1, D2 и однонаправленные одnorазрядные шины D3, D4 для информационной связи канальных регистров с объектом.

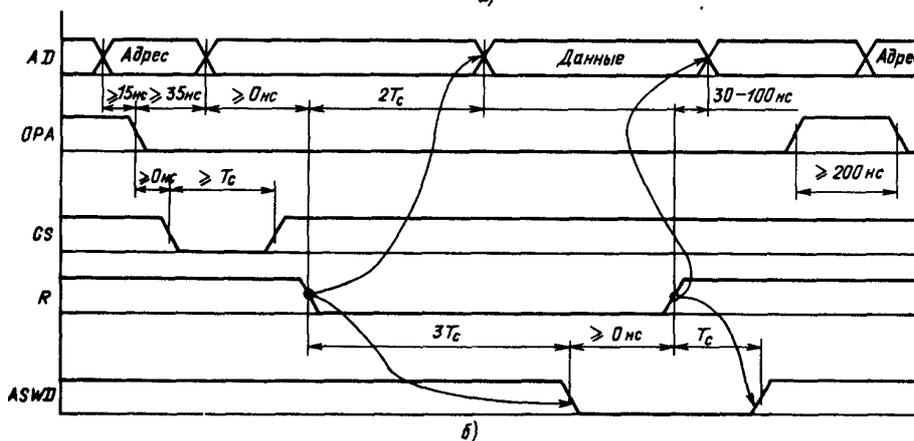
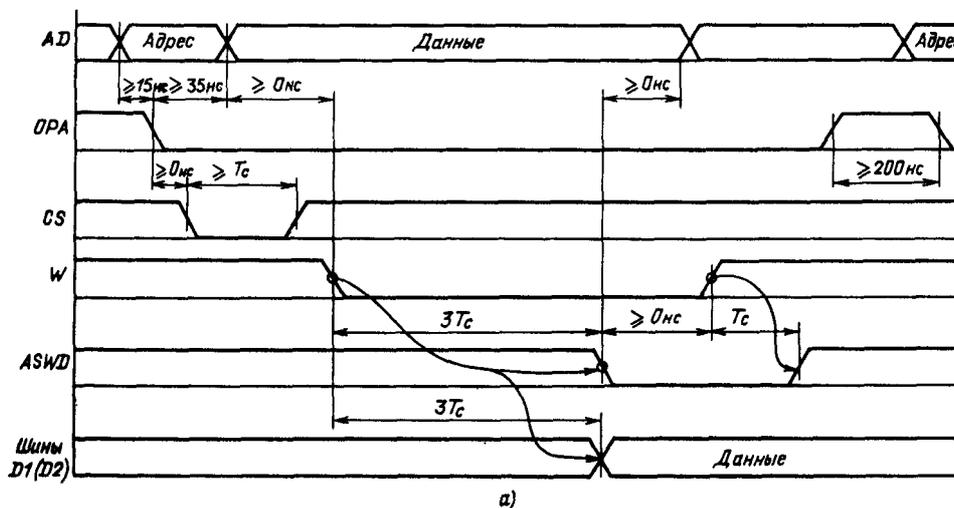
5. Интерфейсная шина адреса/данных AD для обмена информацией с МП.

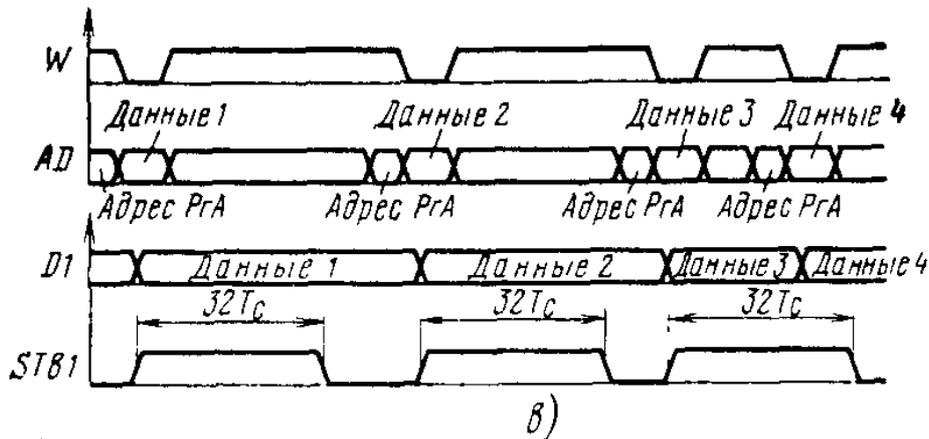
6. Входы и выходы для управляющих сигналов.

7. Вспомогательные схемы для обеспечения функционирования микросхемы.

Для обмена информацией с МП микросхема подключается к магистрали стандартного межмодульного интерфейса. При этом используются следующие сигнальные линии интерфейса: AD7—AD0, OPA, R, W, ASWD, INTRQ, INTE.

Временные диаграммы обмена сигналами с МП в режимах записи (а), чтения (б) и записи в регистр А (в):





Микросхема имеет 8-разрядную структуру с расчетом на подключение к правому (младшему) байту разрядной сетки МП. Возможно подключение микросхемы и к левому байту разрядной сетки, а также работа машинными словами путем использования двух микросхем, подключенных к разным байтам, но получающих общий (один и тот же) сигнал выборки. Микросхема воспринимает и дешифрует разряды адреса 5—1. Разряды 15—13 (признак обращения к УВВ) и 12—6 (адрес микросхемы в системе) дешифруются по фронту сигнала ОРА внешним по отношению к микросхеме дешифратором, который выдает индивидуальные сигналы выборки CS всем микросхемам.

Режимы работы микросхем устанавливаются регистром режимов согласно таблице:

Объект установки режима	Разряд регистра P	Установленный режим при записи кода информации в регистр P	
		0	1
Шина D2 и вывод STB2	7	Приданы регистру D	Приданы регистру C. Нет записи на D(2)
	6	Входные	Выходные. Запись на D(2) возможна при Pг. P(7)=0
Шина D1 и вывод STB1	5	Входные	Выходные. Возможна запись на D(1)
Регистр C	4	Вход D(3) регистра C закрыт	Вход D(3) регистра C открыт сигналом E(D3)
Вывод SH/CLR	3	Счетчик	Сдвигатель
		Начальная установка регистра C	Сдвиг
Обмен регистров C и B*	2	По сигналу STB3	По счетчику CT
	1	Из регистра C в регистр B	Из регистра B в регистр C
		Есть обмен	Нет обмена
Регистр B	0	Буферная схема регистра C	Регистр маски
Вывод STB3/INTE		STB3	INTE
Вывод D4/INTE		D4	INTE
Вывод INTERQ		При обмене регистров C и B по счетчику CT	По наличию незамаскированных прерываний

\* Обмен регистров B и C не происходит при одновременном выполнении условий: C(3)=0, C(2)=1, C(1)=1, C(0)=0.

Все регистры микросхемы, а также шины D1, D2 и входы стробующих сигналов имеют самостоятельные адреса для программного обращения к ним со стороны МП по шине AD при выполнении операций чтения и записи. Адреса и выполняемые по ним операции приведены в таблице:

Объект адресации	Операции		Код адреса на выводах микросхемы				
	Запись	Считывание	A5 (логическое сложение)	A4 (логическое умножение)	A3	A2	A1
Регистр А	Обычная	Обычное	1	1			
	С логическим умножением	Съвозь маску	0	1	0	0	0
	С логическим сложением	Со сбросом	1	0			
Обычное			0	0			
Регистр В	Обычная	Обычное	1	1			
	С логическим умножением		0	1			
	С логическим сложением	Со сбросом	1	0	1	0	0
Регистр С	Обычная	Обычное	0	0			
			1	1			
		Со сбросом СТ	0	1	0	0	1
		Обычное	1	0			
			0	0			
Регистр У	Со сбросом регистра С	Обычное	1	0	1	0	1
Регистр В	Обычная		0	0			
Стробы	Нет записи	Обычное	1	1			
			0	1	0	1	0
			1	0			
Регистр Р	Обычная	Обычное	0	0			
Регистр Д	С логическим умножением		1	1			
	С логическим сложением		0	1	1	1	0
Шина D1	Импульсная, со сбросом регистра А	Обычное	Со сбросом	1	0		
			Обычное	0	0		
			1	1			
			0	1	0	1	1
Шина D2	Импульсная, со сбросом регистра Д	Обычное	1	1			
			0	1	1	1	1
			1	0			
			0	0			

Чтобы записать и какой-либо регистр (или на внешнюю шину) микросхемы информацию из МП, необходимо в соответствии с диаграммой на рис. а подать сигналы управления OPA, CS, W, адрес регистра (шины) и информацию. По фронту сигнала с задержкой 3T микросхема выдает сигнал ASWD. Снимается сигнал ASWD по срезу сигнала W с задержкой T, т. е. длительность сигнала ASWD зависит от длительности W. Одновременно с выдачей сигнала ASWD записываемая информация устанавливается на внешней шине (если, конечно, запись производится на выходную шину или в регистр, связанный с выходной шиной).

Чтобы прочитать в МП информацию из какого-либо регистра (или с внешней шины) микросхемы, необходимо в соответствии с диаграммой на рис. б подать сигналы управления OPA, CS, R, адрес регистра (шины).

По фронту сигнала R с задержкой  $2T$  информация из регистра (с внешней шины) устанавливается на линиях AD, а сигнал ASWD — через время T после установления информации. Снимается информация с линий AD по срезу сигнала R, а сигнал ASWD — с задержкой на время T после среза сигнала R.

Регистры А, Б и Д помимо обычной записи и считывания допускают запись информации со стороны МП с выполнением логического сложения или умножения и считывание из них информации с одновременным обнулением регистра. Обнуление при считывании не приводит к потере информации, поступающей в регистр со стороны внешней шины в момент считывания.

Регистры С, У, В, Р допускают со стороны МП только запись (без логических операций сложения и умножения) и считывание (без обнуления). Имеется возможность обнулять регистр С в момент записи информации в регистр У. Это достигается установкой признака логического сложения, равного 1, и признака логического умножения, равного 0, в коде адреса регистра У.

Использование микросхемы в системе прерывания обеспечивается при  $P(5)=0$  и  $P(0) = 1$ . При этом регистр А становится регистром прерываний, воспринимаемых в моменты их появления на выводах шины D1, а регистр Б - регистром маски. Маскирование осуществляется единицами в разрядах регистра Б. Начальной установкой регистр Б приводится в состояние 1111111, маскирующее все прерывания.

Если в регистре А появляются незамаскированные сигналы прерывания, то вырабатывается сигнал INTRQ. Теперь при поступлении сигналов INTE и W снимается сигнал INTRQ, а на шину AD выдается вектор прерывания из регистра В.

Выходной сигнал схемы сравнения используется для деления частоты, организации таймерных режимов, задержек, для поиска заданных кодов в преобразуемых битовых последовательностях и т. д.