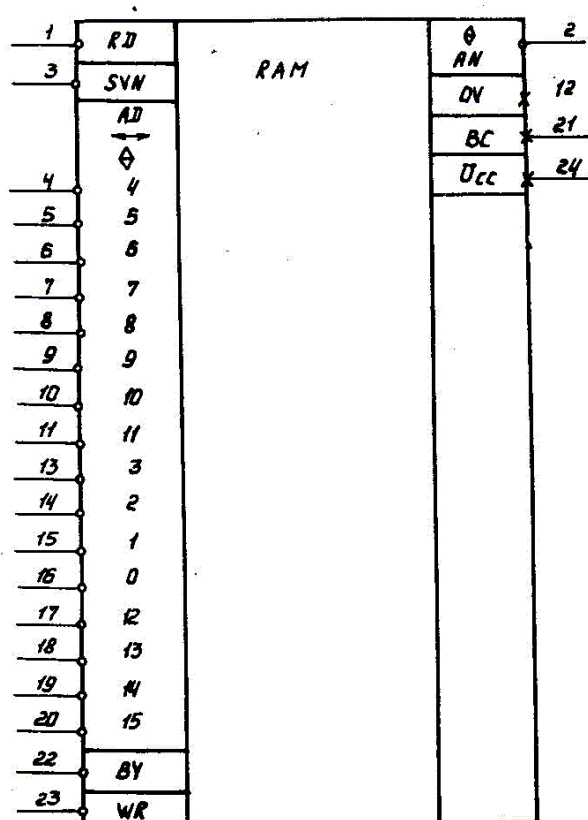


K1809PY1, K1809PY1A, K1809PY1B

Микросхемы K1809PY1 (1Кх16 бит) K1809PY1A (512х16 бит), K1809PY1B (256х16 бит) имеют встроенный интерфейс, ориентированный на совместное применение с магистралью по ГОСТ 26765.51—86. Корпус 210Б.24-1.

Микросхемы K1809PY1A и K1809PY1B выпускаются в двух вариантах, отличающихся рабочей областью накопителя: K1809PY1A00, K1809PY1A10 и K1809PY1B00, K1809PY1B10. В этих микросхемах часть адресных входов не используется и на них необходимо обеспечить следующие уровни напряжений: в микросхемах PY1A00 A10 = 0, PY1A10 A10 = 1, в микросхемах PY1B00 A9 = A10 = 0, PY1B11 A9 = A10 = 1, PY1B01 A9 = 1, A10 = 0, PY1B10 A9 = 0, A10 = 1. Статические и динамические параметры микросхем-модификаций одинаковы с параметрами микросхем K1809PY1A и K1809PY1B.



- 1 – вход считывание
- 2 – выход "ответ"
- 3 – вход "синхронизация"
- 4 – вход "адрес", вход-выход "данные", 4-й разряд
- 5 – вход "адрес", вход-выход "данные", 5-й разряд
- 6 – вход "адрес", вход-выход "данные", 6-й разряд
- 7 – вход "адрес", вход-выход "данные", 7-й разряд
- 8 – вход "адрес", вход-выход "данные", 8-й разряд
- 9 – вход "адрес", вход-выход "данные", 9-й разряд
- 10 – вход "адрес", вход-выход "данные", 10-й разряд, блокировка записи
- 11 – вход "адрес", вход-выход "данные", 11-й разряд
- 12 – общий
- 13 – вход "адрес", вход-выход "данные", 3-й разряд
- 14 – вход "адрес", вход-выход "данные", 2-й разряд
- 15 – вход "адрес", вход-выход "данные", 1-й разряд
- 16 – вход "признак старшего или младшего байта", вход-выход "данные", 0-й разряд
- 17 – вход "адрес", вход-выход "данные", 12-й разряд
- 18 – вход "адрес", вход-выход "данные", 13-й разряд
- 19 – вход "адрес", вход-выход "данные", 14-й разряд
- 20 – вход "адрес", вход-выход "данные", 15-й разряд
- 21 – подложка
- 22 – вход "байт"
- 23 – вход "запись"
- 24 – питание

Система управляющих, информационных и адресных сигналов микросхемы K1809PY1 и ее модификаций, а также алгоритм ее функционирования отвечают требованиям указанного ранее стандарта к структуре магистрали и правилам взаимодействия с нею.

Микросхема имеет 16 выводов ADIO0...ADIO15 для подключения к общей шине «Адрес — Данные» AD0...AD15 магистрали. По этим выводам подводятся к микросхеме сигналы адресного кода и записываемых данных и отводятся от нее сигналы считываемых данных. Управление работой микросхемы осуществляют сигналами: С — синхронизация, WR — запись, RD — считывание, BY — признак записи байта. Эти сигналы являются входными. Для ответа микросхемы о принятии данных для записи или выдаче данных при считывании предусмотрен выходной сигнал AN — ответ. Для обеспечения обмена микросхемы с магистралью указанными сигналами она подключается соответствующими этим сигналам выводами к одноименным линиям шины управления магистрали.

Электрические параметры

| | |
|-------------------------------------|------------------|
| Напряжение питания | +5 В ± 10% |
| Потребляемая мощность | не более 400 мВт |
| Входное напряжение низкого уровня | 0,5 В |
| Входное напряжение высокого уровня | 2,4 В |
| Выходное напряжение низкого уровня | 0,5 В |
| Выходное напряжение высокого уровня | 2,4 В |
| Выходной ток низкого уровня | 3,2 мА |
| Выходной ток высокого уровня | 0,08 мА |

| | |
|--|---|
| Ток утечки на входе | 20 мкА |
| Ток утечки на выходе | 10 мкА |
| Время выборки адреса | 400 нс |
| Время установления адреса относительно сигнала CS | 75 нс |
| Длительность сигнала CS | |
| K1809PU1 | 805 нс |
| K1809PU1A | 1100 нс |
| Время сохранения сигнала CS | |
| K1809PU1 | 75 нс |
| K1809PU1A | 100 нс |
| Время цикла записи (считывания) | |
| K1809PU1 | 880 нс |
| K1809PU1A, K1809PU1B | 1200 нс |
| Время цикла «считывание-модификация-запись» | |
| K1809PU1 | 1,7 мкс |
| K1809PU1A, K1809PU1B | 2,4 мкс |
| Время выборки сигнала C | 325 нс |
| Время удержания адреса относительно сигнала синхронизации C | 25 нс |
| Время установления сигнала считывания относительно сигнала C | 50 нс |
| Длительность сигнала считывания | |
| K1809PU1 | 625 нс |
| K1809PU1A, K1809PU1B | 950 нс |
| Длительность сигнала записи | |
| K1809PU1 | 700 нс |
| K1809PU1A, K1809PU1B | 750 нс |
| Длительность интервала между сигналами синхронизации C | |
| K1809PU1 | 75 нс |
| K1809PU1A, K1809PU1B | 100 нс |
| Время сохранения сигнала C после сигнала считывания | |
| K1809PU1 | 130 нс |
| K1809PU1A, K1809PU1B | 100 нс |
| Время сохранения сигнала C после сигнала записи | |
| K1809PU1 | 0 нс |
| K1809PU1A, K1809PU1B | 100 нс |
| Длительность интервала в режиме RMW между сигналами RD и WR (K1809PU1A, K1809PU1B) | 240 нс |
| Время установления в режиме RMW сигнала WR относительно сигнала C | 900 нс |
| Емкость нагрузки | 100 пФ |
| Сохраняемость | 10 лет |
| Минимальная наработка | 50 000 ч |
| Интервал рабочих температур | -10...+70°C (по некоторым источникам -60...+85°C) |

В разводке выводов микросхемы имеется одна особенность, которая состоит в том, что вывод 21 соединен с кристаллом, находящимся под напряжением смещения 1,8 В. При установке микросхемы на плате рекомендуется вывод 21 подключить через конденсатор емкостью 1000 пФ к корпусу.

В структуру микросхемы встроено программируемое устройство в виде пятиразрядного регистра и селектора адреса. В это устройство предварительно записывается код собственного адреса микросхемы Амс. Адресный селектор, реализованный в виде цифрового компаратора, выполняет функцию идентификации приходящего с магистрали адреса. Кроме указанного устройства микросхема имеет функциональный узел для программирования режима работы: ОЗУ или ПЗУ. В составе микросхемы имеются также два 16-разрядных регистра для хранения кода адреса и кода данных.

Адресные сигналы и сигналы данных подводятся к микросхеме по одной 16-разрядной шине в мультиплексном режиме: вначале поступают сигналы адреса, затем — данные. Отдельные разряды кода адреса имеют следующее назначение:

A15...A11 — собственный адрес микросхемы,

A10...A1 — адрес ячейки памяти,

A0 — адрес байта: A0 = 0 — признак передачи старшего байта данных (D15...D8), A0 = 1 — младшего байта (D7...D0); при передаче слова разряд A0 может иметь произвольное состояние.

Следует обратить внимание на то, что при описании микросхемы будем использовать кодирование физических уровней сигналов — низкого L и высокого H, принятое в положительной логике: L-уровень соответствует логическому состоянию 0, H-уровень — логическому состоянию 1. Поскольку микросхема

ориентирована на интерфейс МПИ, в котором сигналы имеют инверсное представление, то необходимо ввести в обозначения сигналов и соответствующих им выводов знаки инверсии.

Если микросхема находится в составе блока ОЗУ, то при каждом включении питания в микросхему должен быть записан ее собственный адрес Амс. Для этого к ней производится обращение по адресу программирования (служебному адресу (FFF0) запись в шестнадцатеричной системе счисления), т. е. устанавливают разряды A15...A4 в состояние лог. 0, разряды A3...A0 — в состояние лог. 1. Затем по этим же линиям общей шины подают 16-разрядный код данных, в котором разряды D15...D11 содержат собственный адрес микросхемы, а D10 — значение бита признака режима работы (режима применения): при D10=0 микросхема работает в режиме ОЗУ, при D10 = 1 в микросхеме блокируются цепи записи, и она может работать только в режиме считывания записанных ранее данных, т. е. в режиме ПЗУ. Значения остальных разрядов кода данных программирования могут быть произвольными.

Наличие у микросхемы пятиразрядного программируемого адресного устройства и селектора адреса позволяет подключать к магистрали без дополнительных устройств до 32 микросхем для образования блока статического ОЗУ емкостью до 32Кх16 бит. При подключении к магистрали нескольких микросхем возникает необходимость разделения служебных адресов микросхем. В противном случае во все микросхемы будет записан один адрес Амс, поскольку служебный адрес FFF0 у всех микросхем одинаков. Для решения этой задачи можно использовать различные схемы подключения выводов ADIO1...ADIO3 и ADIO4... ADIO7 к линиям магистрали AD1...AD7. Например, подключение вывода ADIO3 к линии AD4, а вывода ADIO4 к линии AD3 изменит служебный адрес микросхемы с FFF0 на FFE8, при схеме подключения ADIO1 = AD4, ADIO4 = AD1 получим адрес FFE2, при схеме ADIO5 = AD8, ADIO3 = AD6 — адрес FFD8 и т. д.

Микросхема может работать в следующих режимах: запись и считывание 16-разрядного слова, запись отдельно старшего и младшего байта данных, а также в режиме «считывание — модификация — запись» (RMW) 16-разрядного слова. Микросхема относится к группе тактируемых. Фиксация адресного кода в регистре осуществляется по перепаду Н/Л синхросигнала С. Обмен данными с магистралью при записи и считывании происходит в асинхронном режиме. Алгоритм функционирования микросхемы К1809РУ1 соответствует процедурам адресного обращения к памяти, записи и считывания данных, предусмотренным ГОСТ 26765.51—86.

Микросхема К1809РУ1 электрически и конструктивно совместима с микропроцессорными БИС серии К1801. На основе этого микропроцессорного комплекта созданы одноплатные микроЭВМ семейства «Электроника-5», в частности микроконтроллеры «Электроника С5-41», в которых на микросхемах К1809РУ1 реализовано статическое ОЗУ емкостью (8... 12) Кх16 бит.