

В.М.Лукашенко, Е.Г.Скуратов, В.В.Суслов

МАЛОМОЩНЫЙ МНОГОКАНАЛЬНЫЙ КОММУТАТОР Б1110КН1-2

Бескорпусная микросхема Б1110КН1-2 предназначена для применения в гибридных интегральных микросхемах, микросборках и аппаратуре в качестве коммутатора аналоговых сигналов и специализированной линии задержки, способных работать при криогенной температуре.

Конструктивно микросхема Б1110КН1-2 представляет собой кристалл с лепестковыми выводами. Материал выводов микросхемы — алюминиевая фольга толщиной 30 мкм, длиной 1,2 мм, шириной 60–70 мкм.

Для измерения электрических параметров микросхема монтируется в тару-спутник с проволочными выводами диаметром 0,5 мм,

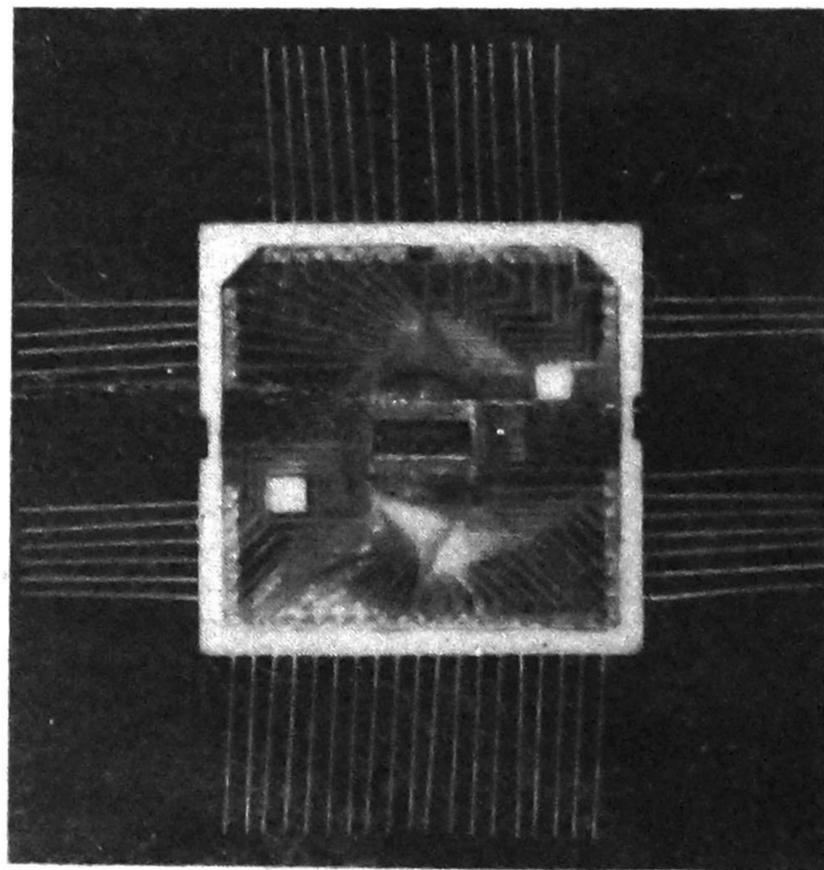


Рис. 1. Микросхема в таре-спутнике без крышки

расположенными с шагом 1,25 мм (рис. 1). Размеры плоско-параллельной посадочной площадки 26 × 26 мм².

Основные конструктивные параметры и электрические характеристики

Размер кристалла, мм	6 × 3 × 0,4
Число входных (выходных) шин коммутируемых сигналов коммутатора регистра	2 32 32
Число элементов памяти сдвигового регистра, бит	32
Число выводов микросхемы	42
Частота переключения, МГц	не более 1
Минимальная рабочая температура, °С	-196
Сопротивление открытого ключа, Ом	не более 500

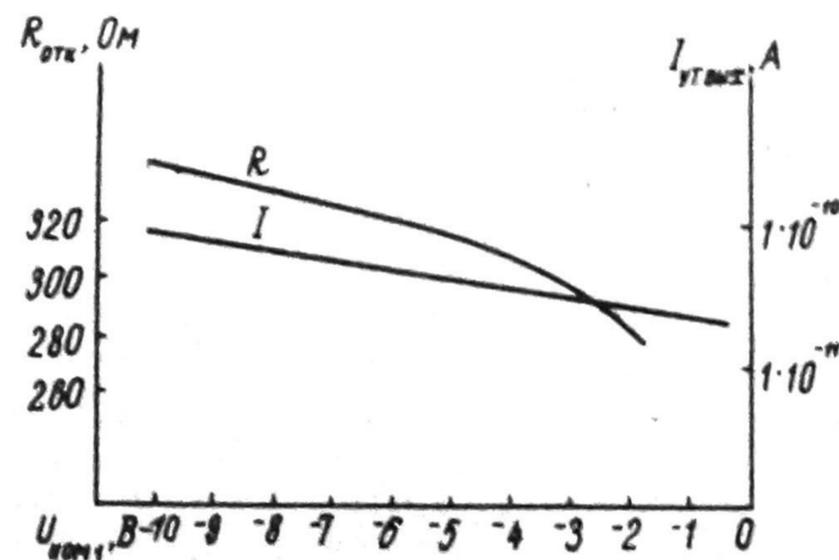


Рис. 2. Типовые зависимости сопротивления открытого ключа и тока утечки выходов от коммутируемого напряжения

Потребляемая мощность на один канал, мкВт	не более 100
Время включения (выключения), мкс	не более 0,5
Ток утечки выходной шины коммутатора, А	не более $0,7 \times 10^{-9}$
Амплитуда управляющих напряжений, В	-15
Коммутируемое напряжение, В	-5

Микросхема позволяет коммутировать напряжения с амплитудой до -10 В (рис. 2).

В режиме коммутации аналоговых сигналов микросхема Б1110КН1-2 позволяет коммутировать одно из двух значений выходных напряжений на 32 выхода последовательно, а второе — параллельно. Работа МДП-транзистора в ключевом режиме обеспечивает возможность коммутирования напряжения с 32 входов на один выход последовательно, что позволяет использовать только один усилительный каскад для дальнейшей обработки информационного сигнала.

Режим задержки сигнала реализуется микросхемой на основе сдвигового регистра с последовательно-параллельными выходами.

Время задержки $t_{зд}$ определяется по формуле

$$t_{зд} = \sum_{i=1}^n 2r n_i$$

где n_i — число работающих каналов; $r = \frac{1}{2} T = \frac{1}{2f}$ — длительность импульса управления (f — частота переключения).

Статья поступила 14 апреля 1982 г.