

Микросхема К583ВА1

Микросхема К583ВА1 — магистральный приемопередатчик (МПП) с памятью, выполненный на основе малоомощной ТТЛШ-технологии, предназначен для согласования и обмена информацией между двумя типовыми магистралями и мощной магистралью; применяется в качестве мультиплексора, коммутатора, буферного регистра, усилителя мощности, контрольного устройства по проверке и формированию контрольных кодов передаваемой информации.

Условное графическое обозначение микросхемы приведено на рис. 5.28, назначение выводов — в табл. 5.20, структурная схема показана на рис. 5.29, алгоритм функционирования — в табл. 5.21, временные диаграммы работы — на рис. 5.30, электрические схемы входных и выходных согласующих каскадов — на рис. 5.31.

Микросхема обеспечивает выполнение следующих операций:

межмагистральный обмен данными между мощной магистралью и двумя типовыми магистралями в четырех направлениях;

передачу информации из магистралей в регистры;

передачу информации из регистров в магистраль;

проверку и формирование контрольных кодов передаваемой информации.

Структурная схема К583ВА1, приведенная на рис. 5.29, содержит следующие функциональные узлы:

две типовые двунаправленные 4-разрядные магистрали данных $L1(0)–L1(3)$, $L2(0)–L2(3)$ с открытым коллектором;

мощную двунаправленную 4-разрядную магистраль данных с открытым эмиттером $\bar{L}3$;

семь входов синхронизации $\bar{S}1–\bar{S}7$ для стробирования передачи информации;

2-разрядную двунаправленную магистраль проверки и формирования контрольных кодов передаваемой информации с открытым эмиттером $\bar{A}$, $\bar{K}$;

два буферных 4-разрядных регистра хранения информации $P1$, $P2$;

схему паритетного контроля;

4-разрядный блок усилителей-формирователей

Информация в регистр $P1$ ($P2$) может быть записана с шин данных $L1(L2)$ или $\bar{L}3$ с последующей выдачей в эти же шины. Передача информации по направлению $L1 \rightarrow P1 \rightarrow \bar{L}3$ ($L2 \rightarrow P2 \rightarrow \bar{L}3$) или $\bar{L}3 \rightarrow P1 \rightarrow L1$ ($\bar{L}3 \rightarrow P2 \rightarrow L2$) осуществляется с инверсией, а $L1 \rightarrow P1 \rightarrow L1$ ($L2 \rightarrow P2 \rightarrow L2$) — без инверсии.

Задание режима работы микросхемы осуществляется синхросигналами $\bar{S}1–\bar{S}7$ в соответствии с алгоритмом, приведенным в табл. 5.21.

Синхросигнал $\bar{S}7$ определяет направление потока информации из магистралей $L1$, $L2$ в $\bar{L}3$ и обратно. При $\bar{S}7=0$ реализуется возмож-

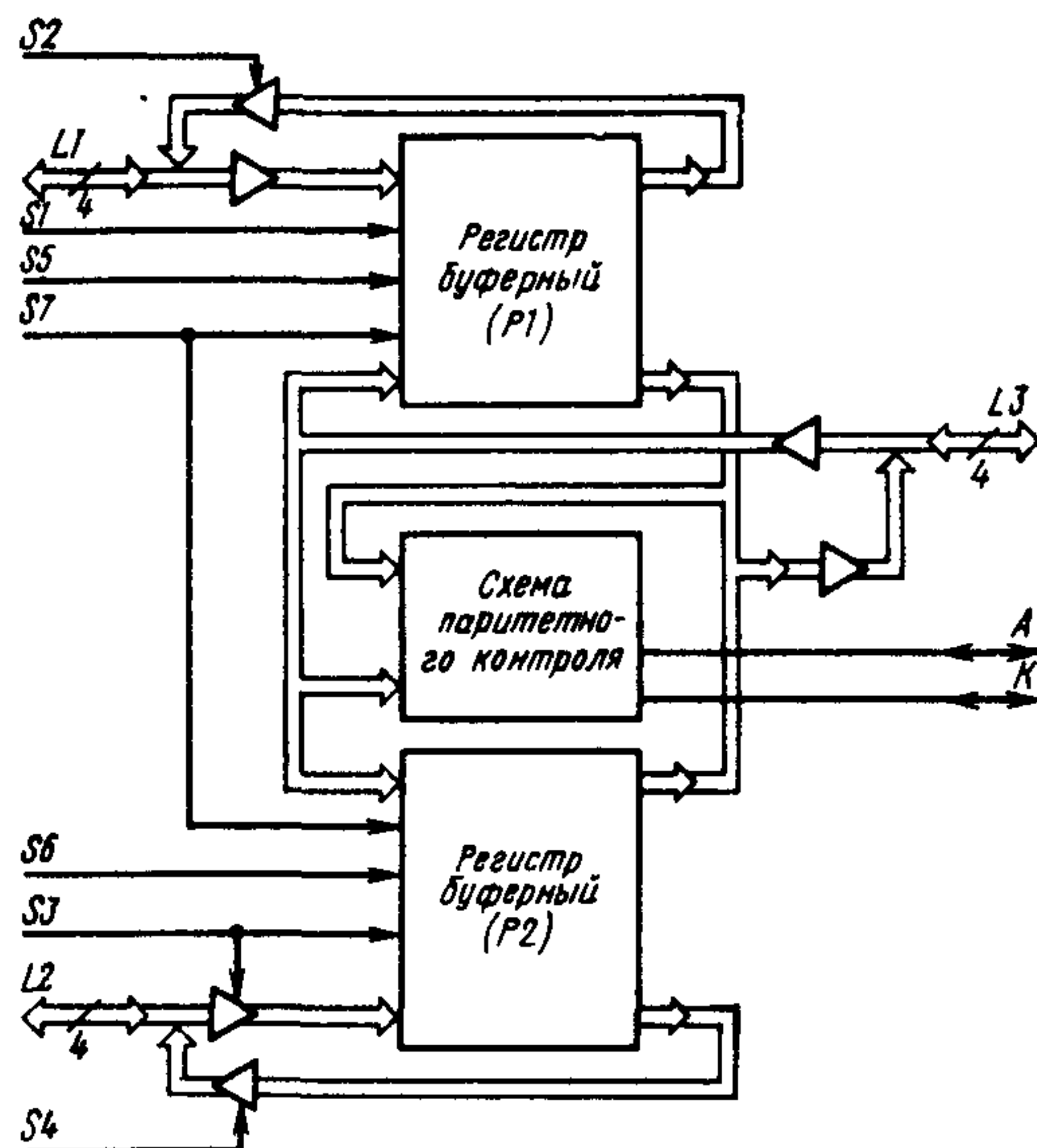


Рис. 5.29. Структурная схема К583ВА1

ность передачи данных из магистралей $L1$ и $L2$ в магистраль $\bar{L}3$. При $\bar{S}7=1$ разрешена передача данных из магистрали $\bar{L}3$ в любую из магистралей $L1$ и $L2$. Синхросигнал $\bar{S}1$

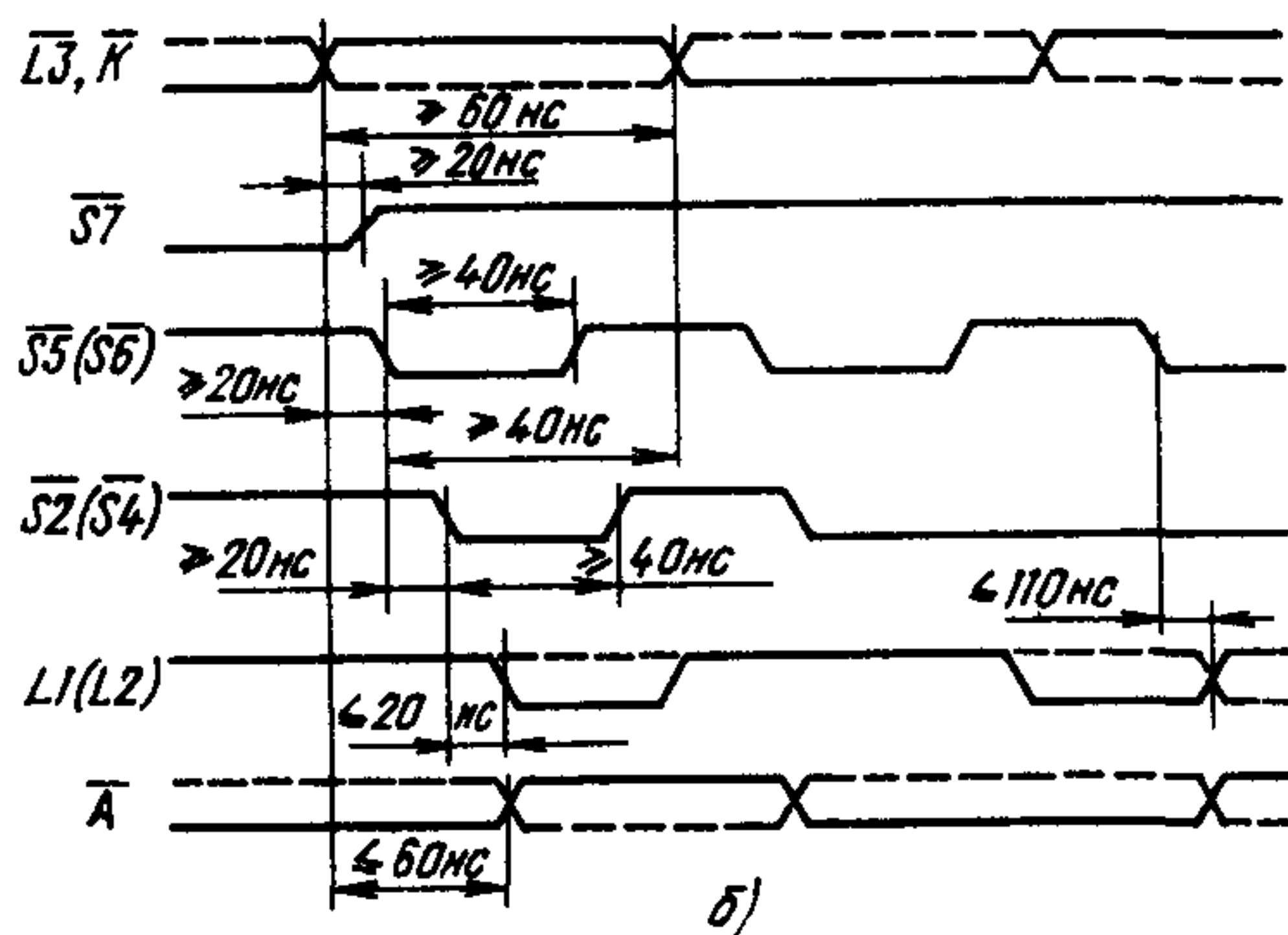
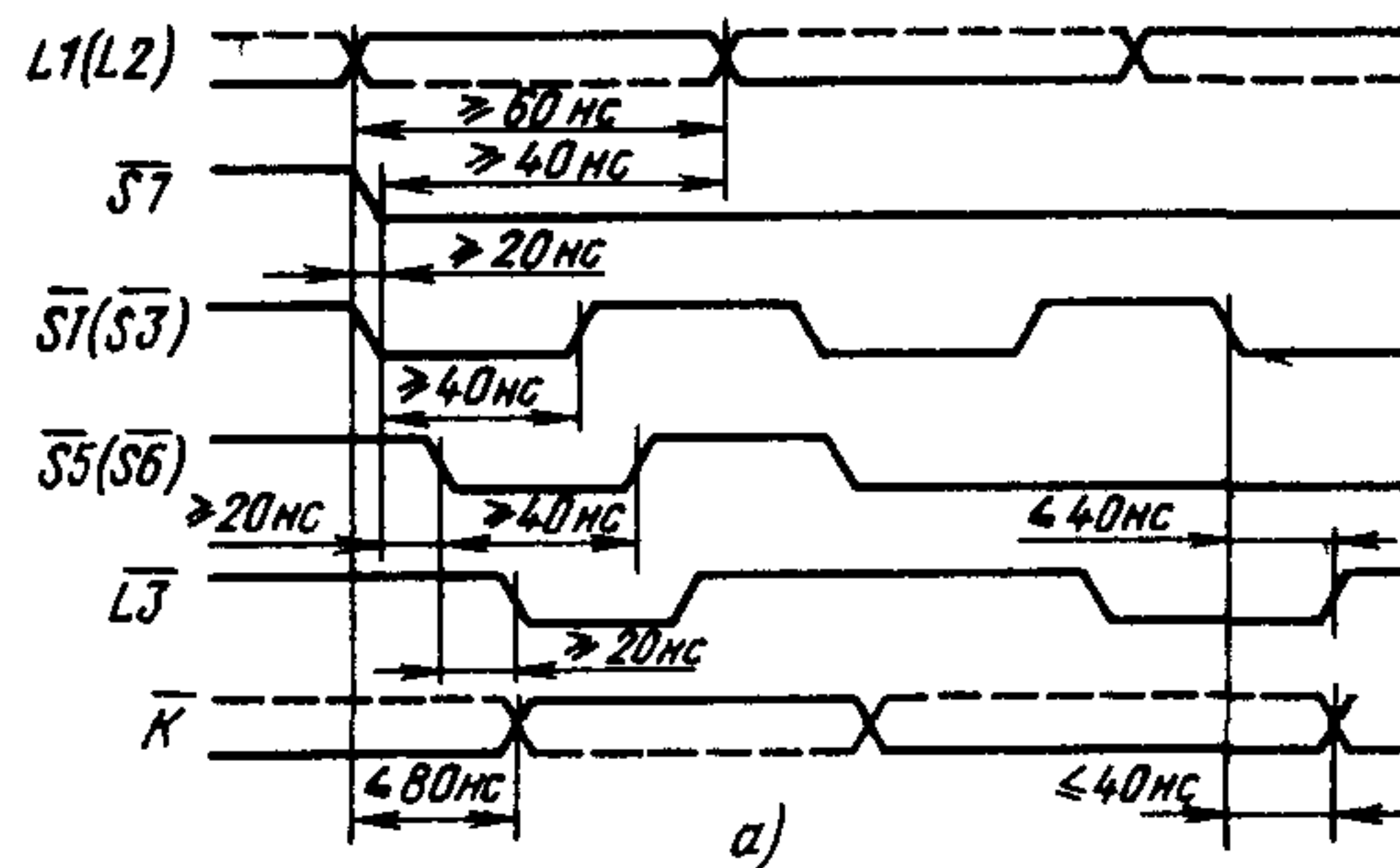


Рис. 5.30. Временные диаграммы работы К583ВА1 при работе с магистралью $\bar{L}3$ (а) и магистралями $L1$, $L2$ (б)

Таблица 5.20

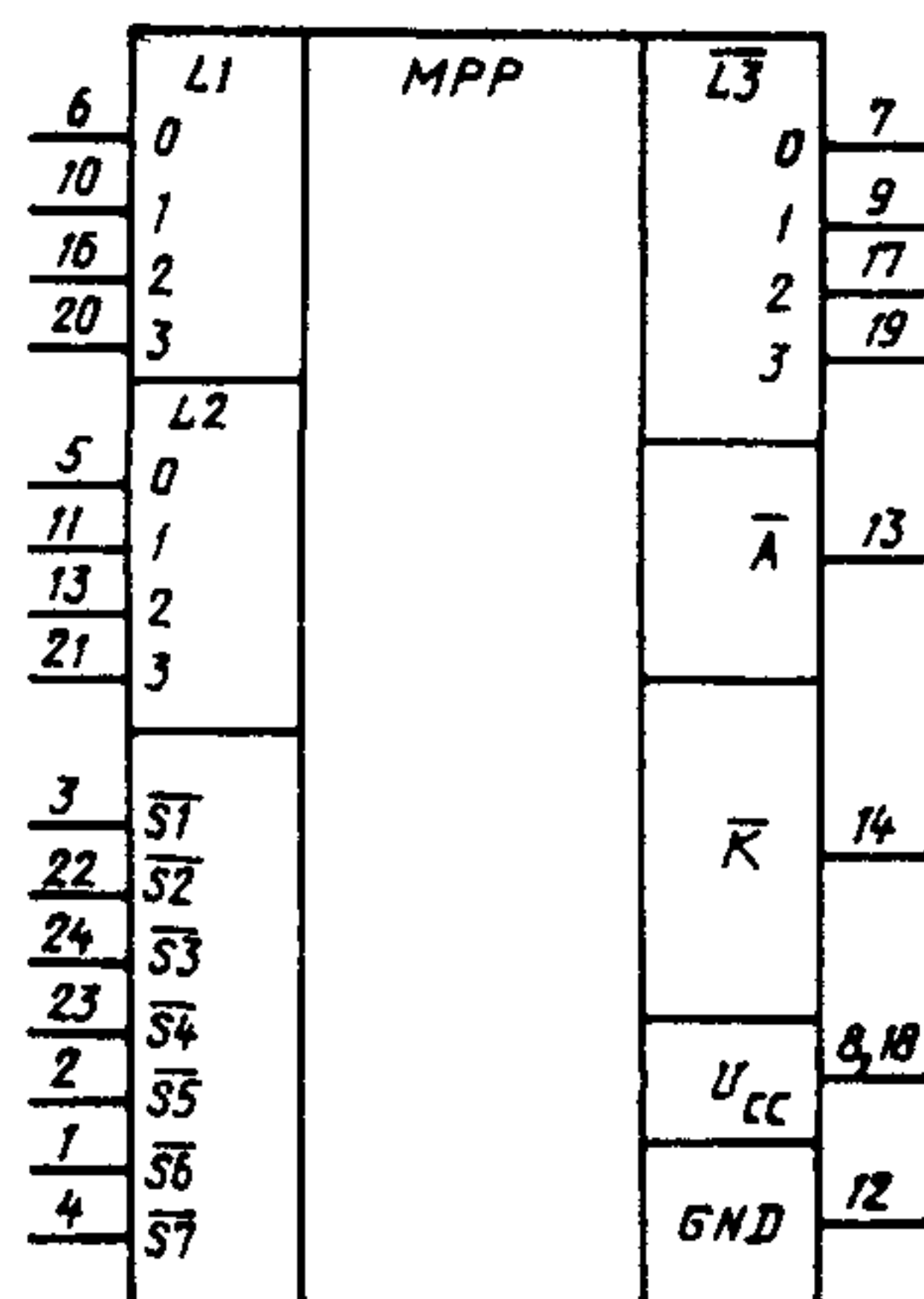


Рис. 5.28. Условное графическое обозначение K583BA1

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
6, 10, 16, 20	$L1(0) - L1(3)$	Входы/выходы	Магистраль данных
9, 11, 13, 21	$L2(0) - L2(3)$	Входы/выходы	Магистраль данных
7, 9, 17, 19	$\overline{L3}(0) - \overline{L3}(3)$	Входы/выходы	Магистраль данных
3, 23, 24, 23, 2, 1, 4	$\overline{S1} - \overline{S7}$	Входы	Магистраль синхронизации
13	$\overline{A}$	Вход/выход	Магистраль признака ошибки паритетного контроля
14	$\overline{K}$	Вход/выход	Магистраль контрольного разряда схемы паритетного контроля
8, 18	U_{CC}	—	Напряжение питания
12	GND	—	Общий

Таблица 5.21

Выполняемые операции	Синхросигналы						
	$\overline{S1}$	$\overline{S2}$	$\overline{S3}$	$\overline{S4}$	$\overline{S5}$	$\overline{S6}$	$\overline{S7}$
$L1 \rightarrow P1, L2 \rightarrow P2$	$\overline{1}$	X	$\overline{1}$	X	1	1	0
$L1 \rightarrow P1$	$\overline{1}$	X	1	X	1	1	0
$L2 \rightarrow P2$	1	X	$\overline{1}$	X	1	1	0
Нет записи с $L1$ и $L2$	1	X	1	X	1	1	0
$(\overline{K}) L1 \rightarrow P1 \rightarrow \overline{L3}$	$\overline{1}$	X	1	X	0	1	0
$(\overline{K}) L2 \rightarrow P2 \rightarrow \overline{L3}$	1	X	$\overline{1}$	X	1	0	0
$(\overline{K}) L1 \rightarrow P1 \rightarrow \overline{L3}, L2 \rightarrow P2$	$\overline{1}$	X	$\overline{1}$	X	0	1	0
$(\overline{K}) L2 \rightarrow P2 \rightarrow \overline{L3}, L1 \rightarrow P1$	$\overline{1}$	X	$\overline{1}$	X	1	0	0
$\vee (L1, L2) \rightarrow \vee (P1, P2) \rightarrow \overline{L3}$	$\overline{1}$	X	$\overline{1}$	X	0	0	0
$(\overline{K}) P1 \rightarrow \overline{L3}$	1	X	1	X	0	1	0
$(\overline{K}) P2 \rightarrow \overline{L3}$	1	X	1	X	1	0	0
$(\overline{A}) \overline{L3} \rightarrow P1$	X	1	X	1	$\overline{1}$	1	1
$(\overline{A}) \overline{L3} \rightarrow P2$	X	1	X	1	1	$\overline{1}$	1
$(\overline{A}) \overline{L3} \rightarrow P2, \overline{L3} \rightarrow P1$	X	1	X	1	$\overline{1}$	$\overline{1}$	1
$(\overline{A}) \overline{L3} \rightarrow P1 \rightarrow L1$	X	0	X	1	$\overline{1}$	1	1
$(\overline{A}) \overline{L3} \rightarrow P2 \rightarrow L2$	X	1	X	0	1	$\overline{1}$	1
Нет записи с $\overline{L3}$	X	1	X	1	1	1	1
$\overline{L3} \rightarrow P1 \rightarrow L1, \overline{L3} \rightarrow P2 \rightarrow L2$	X	0	X	0	$\overline{1}$	$\overline{1}$	1
$P1 \rightarrow L1$	X	0	X	1	1	1	1
$P2 \rightarrow L2$	X	1	X	0	1	1	1

Примечания 1 В скобках указаны выходы по которым осуществляется паритетный контроль
2 X — состояние входа безразлично

стробировать занесение информации из магистрали $L1$ в регистр $P1$, информация поступает на вход $P1$ при условии $\overline{S7}=0$. Синхросигнал $\overline{S2}$ разрешает вывод информации из $P1$ на шину $L1$ при условии $\overline{S7}=1$.

Синхросигнал $\overline{S3}$ стробировать запись информации из магистрали $L2$ в регистр $P2$, информация поступает на вход $P2$ при условии $\overline{S7}=0$. Синхросигнал $\overline{S4}$ разрешает вывод информации из регистра $P2$ на магистраль $L2$ при $\overline{S7}=1$.

Синхросигнал $\overline{S5}$ адресует регистр $P1$ при записи из магистрали $\overline{L3}$ и при выводе на магистраль $\overline{L3}$.

Синхросигнал $\overline{S6}$ адресует регистр $P2$ при записи из магистрали $\overline{L3}$ и при выводе на магистраль $\overline{L3}$.

Микросхема содержит встроенную схему паритетного контроля информации магистрали $\overline{L3}$; при выводе информации на эту маги-

страль паритетной схемой генерируется пятый контрольный разряд ($\overline{K}$) до четности или нечетности, а при вводе информации с этой магистрали паритетная схема обеспечивает анализ на четность принимаемой информации, причем вывод K может дополнить контрольный разряд до четности или нечетности и результат данных появится на выходе $\overline{A}$. Выводы $\overline{A}$ и $\overline{K}$ двунаправленные, причем когда они используются как выходы, то представляют собой эмиттерные повторители.

Сигналы на выводах $\overline{A}$ и $\overline{K}$ формируются по следующим выражениям:

$$\overline{A} = \overline{K} \oplus \overline{L3}(0) \oplus \overline{L3}(1) \oplus \overline{L3}(2) \oplus \overline{L3}(3)$$

$$\overline{K} = \overline{A} \oplus \overline{L1}(0) \oplus \overline{L1}(1) \oplus \overline{L1}(2) \oplus \overline{L1}(3),$$

если информация поступает из магистрали $L1$, или

$$\overline{K} = \overline{A} \oplus \overline{L2}(0) \oplus \overline{L2}(1) \oplus \overline{L2}(2) \oplus \overline{L2}(3),$$

если информация поступает из магистрали $L2$

Микросхема позволяет организовать обмен информацией через линии связи (ЛС) длиной около 65 м, причем разрядность информационных посылок не ограничена.

Основные параметры К583ВА1

Напряжение питания U_{cc} . . .	$5 \text{ В} \pm 10\%$
Ток потребления I_{cc} , не более . . .	100 мА
Входной ток низкого уровня I_{IL} , не более:	
для входов $\overline{S5} - \overline{S7}$	$ -0,5 $ мА
для входов $\overline{S1} - \overline{S4}$, $L1$, $L2$. . .	$ -0,25 $ мА
для входов $\overline{L3}$, $\overline{A}$, $\overline{K}$	$ -0,2 $ мА
Входной ток высокого уровня I_{IH} , не более	50 мкА
Выходное напряжение высокого уровня U_{OH} по магистрали $\overline{L3}$, не менее	2,4 В
Выходной ток низкого уровня I_{OL} , не более:	
по магистралям $L1$, $L2$	20 мА
по магистрали $\overline{L3}$	53 мА
Время задержки передачи информации t_P , не более	110 нс

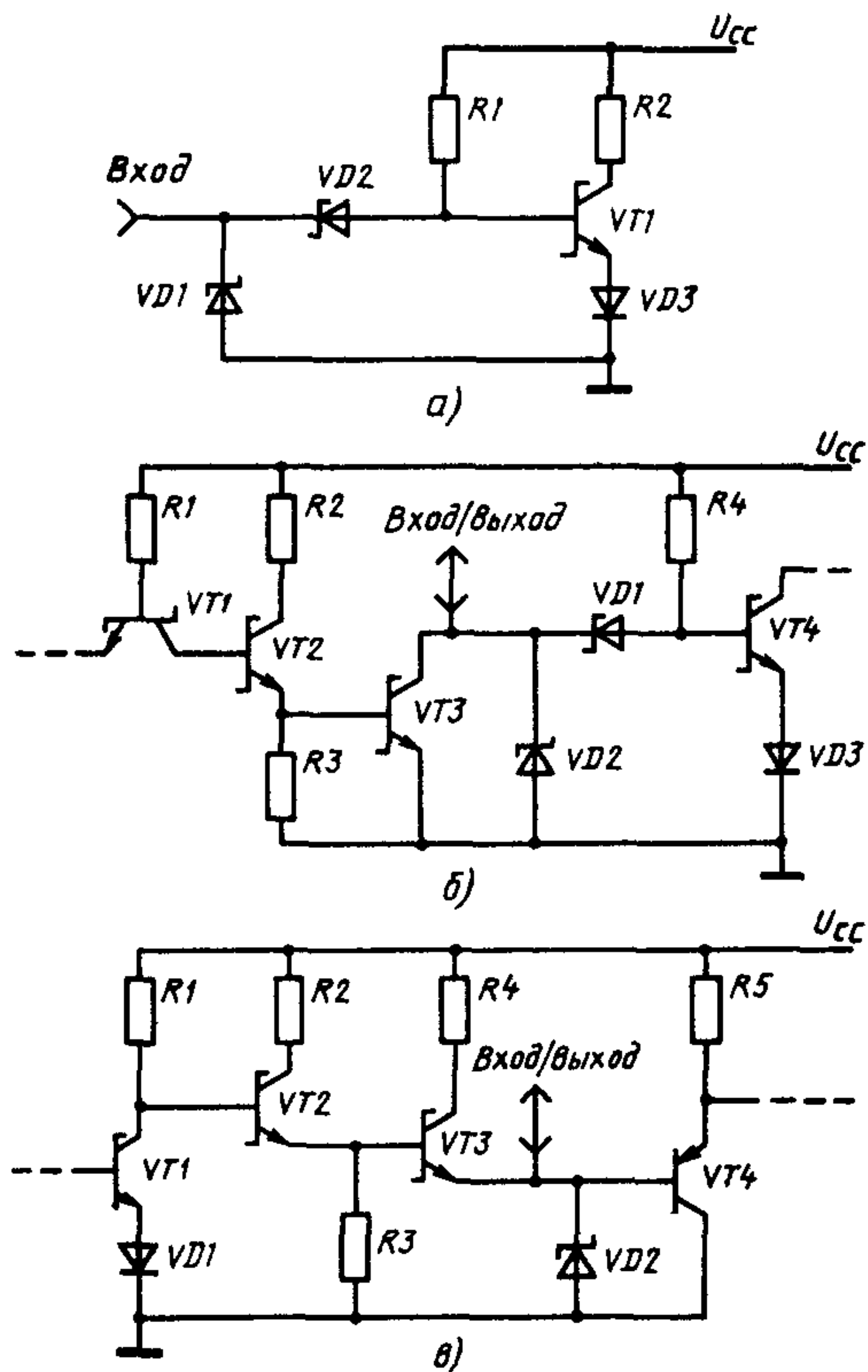


Рис. 5.31. Электрические схемы входных (а), двунаправленных (б) и согласующих (в) каскадов микросхемы К583ВА1