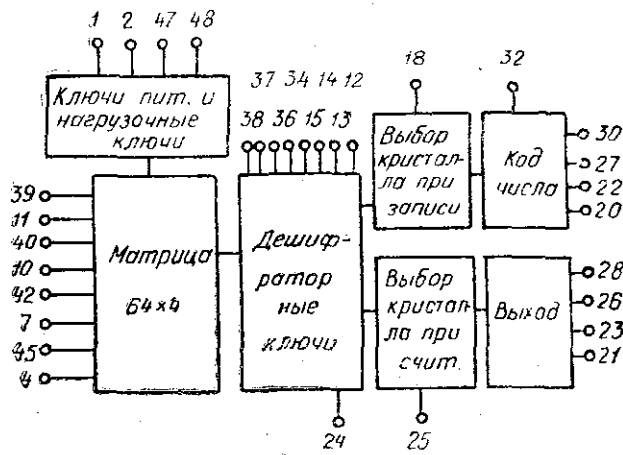


ПЗУ С ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ ЕМКОСТЬЮ 256 БИТ 519PE2 БКО.347.070 ТУ, К519PE2 (А,Б) БКО.348.193 ТУ

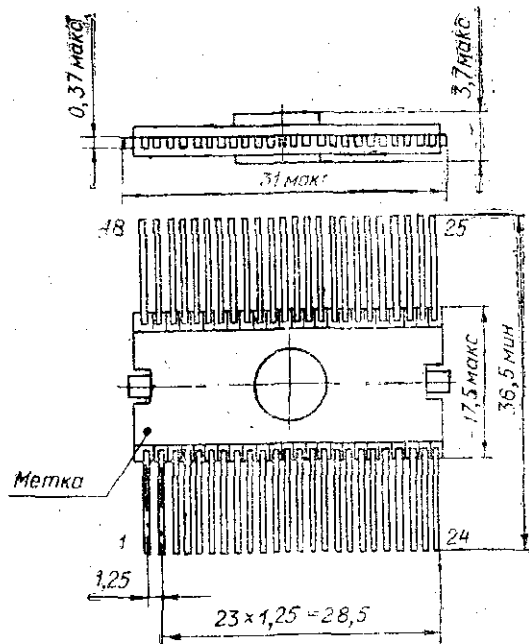
- Полупроводниковые микросхемы 519PE2, К519PE2 предназначены для построения перепрограммируемой постоянной памяти ЭЦВМ, систем сбора и обработки информации, систем управления и автоматики

Тип корпуса — керамический 244.48-1
 Масса не более 7 г

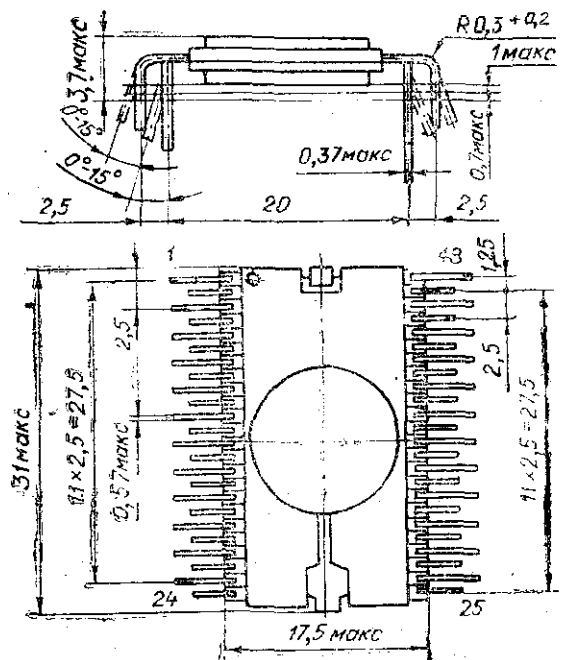


Вывод	Назначение	Вывод	Назначение
1	Питание записи	26	Выход 2
2	Смещение записи	27	Код числа 2
3	Свободный	28	Выход 1
4	Вход матрицы 8	29	Свободный
5, 6	Свободные	30	Код числа 1
7	Вход матрицы 6	31	Свободный
8, 9	Свободные	32	Общий
10, 11	Входы матрицы 4, 2	33	Свободный
12, 13, 14, 15	Вход дешифр. ключей 8, 7, 6, 5	34	Вход дешифр. ключа 4
16, 17	Свободные	35	Свободный
18	Выбор кристалла при записи	36, 37, 38	Входы дешифр. ключей 3, 2, 1
19	Свободный	39, 40	Входы матриц 1, 3
20	Код числа 4	41	Свободный
21	Выход 4	42	Вход матрицы 5
22	Код числа 3	43, 44	Свободные
23	Выход 3	45	Вход матрицы 7
24	Общий (подложка)	46	Свободный
25	Выбор кристалла при считывании	47	Питание считывания
		48	Смещение считывания

Функциональная схема



Габаритные размеры корпуса микросхемы и назначение выводов



Габаритный чертеж после формовки

ЭКСПЛУАТАЦИОННЫЕ ПАРАМЕТРЫ В ДИАПАЗОНЕ ТЕМПЕРАТУР ОТ МИНУС 60 ДО +85°C ДЛЯ МИКРОСХЕМ 519PE2 И В ДИАПАЗОНЕ ОТ МИНУС 45 ДО +55°C ДЛЯ K519PE2 (А, Б)

	519PE2	K519PE2 (А, Б)
Информационная емкость	256 бит	256 бит
Организация матрицы	64×4	64×4
Время считывания по уровню 0,5 на нагрузке 1 кОм и емкости 30 пФ при фронте импульса 25 нс	≤300 нс	≤300 нс
Время записи/стирания	2÷3 мс	2÷3 мс
Выходной ток в режиме считывания		
«0»	≥50 мкА	≥50 мкА
«1»	≤5 мкА	≤5 мкА
Время хранения информации при отключении питания	≥2000 ч	2000 ч для группы А, 500 ч для группы Б
Суммарное время считывания на строку	≥100 ч	≥100ч
Количество циклов стирание-запись	≥2·10 ⁴	≥2·10 ⁴
Максимальная мощность, потребляемая в режиме считывания	≤0,2 мВт/бит	≤0,2 мВт/бит
Емкость выводов «входы матрицы»	≤40 пФ	≤40 пФ
Емкость выводов «выходы»	≤10 пФ	≤10 пФ
Рекомендуемый коэффициент объединения:		
по одноименным входам и выходам матрицы	≤16	≤16
по выходам (с сохранением времени считывания)	≤8	≤8
РЕЖИМЫ РАБОТЫ		
Напряжение, В:		
на входах дешифраторных ключей	-9±10%	-9±5%
на входах «выбор кристалла при считывании»	-9±10%	-9±5%
на входах «выбор кристалла при записи»	-9±10%	-9±5%
на входах «код числа»	-9±10%	-9±5%
на входах матрицы в режиме «стирание»	48±10%	48±5%
на входах матрицы в режиме «запись»	-48±10%	-48±5%
на входах матрицы в режиме «считывание»	-(5÷5,5) В	-(5÷5,5) В
смещения записи	-48±10%	-48±5%
питания записи	-48±10%	-48±5%
смещения считывания	-24±10%	-24±5%
питания считывания	-9±10%	-9±5%
УСЛОВИЯ ЭКСПЛУАТАЦИИ		
Температура окружающей среды	-60 ÷ +85 °С	-45 ÷ +55 °С
Относительная влажность при +40°C для 519PE2 и +25°C для K519PE2	98%	98%
Вибрационные нагрузки в диапазоне частот 1÷3000 Гц для 519PE2 и 1÷600 Гц для K519PE2	20 г	10 г
Многочастотные ударные нагрузки	75 г	75 г
Одиночные удары	500 г	—
Линейные нагрузки	150 г	25 г
Повышенное атмосферное давление	3 атм	—
Пониженное атмосферное давление	5 мм рт. ст.	—
ПРЕДЕЛЬНО ДОПУСТИМЫЕ ЭЛЕКТРИЧЕСКИЕ РЕЖИМЫ ЭКСПЛУАТАЦИИ		
Напряжение, В:		
питания записи	-53	-51
смещения записи	-53	-51
питания считывания	-12	-12
смещения считывания	-28	-28
на входах дешифраторных ключей	-12	-12
на входах в режиме «запись»	-53	-51
на входах в режиме «стирание»	53	51
Длительность импульса записи (стирания), мс	2÷3	2÷3

Устройство и принцип работы ячейки матрицы. Настоящее устройство представляет собой матрицу ЭППЗУ емкостью 256 бит со встроенными дешифраторными транзисторами по истокам, нагрузочными транзисторами и ключевыми схемами. Организация ЗУ—64 четырехрядных слов. Запись и считывание — по словам в четыре разряда, стирание — одна строка в 8 слов. Кристалл ЭППЗУ помещается в корпус 244.48-1 с двухрядным расположением 48 выводов.

Схема ЭППЗУ работает в трех основных режимах: стирание, запись и считывание информации. Напряжение на выводы подается в этих режимах согласно таблице.

Режим стирания. В режиме стирания ячейки матрицы устанавливаются в состояние лог. «0». При этом выборочно подается на входы матрицы (на строку) импульс стирания ($+U_{\text{стир}}$) длительностью 2—3 мс. Возможно также общее стирание, которое осуществляется одновременной подачей напряжения стирания на все входы матрицы.

Режим записи информации. Запись осуществляется в четыре разряда одного слова. Подавая поочередно сигналы на входы матрицы и дешифраторных ключей, можно произвести запись необходимой информации во все разряды 64 слов. В режиме записи на шину «выбор кристалла при записи» подается напряжение $U_{\text{выб. кр. зап.}} (-9 В)$. На выводы «Питание записи» и «Смещение записи» подается напряжение — 48 В.

Запись информации производится при наличии:

— на выбранном входе (строке) матрицы — $U_{\text{зап.}} (-48 В)$;

— на входах дешифраторных ключей — $U_{\text{вх. деш. ключ.}} (-9 В)$;

— на затворах транзисторов выбора кристалла при записи — $U_{\text{выб. кр. зап.}} (-9 В)$;

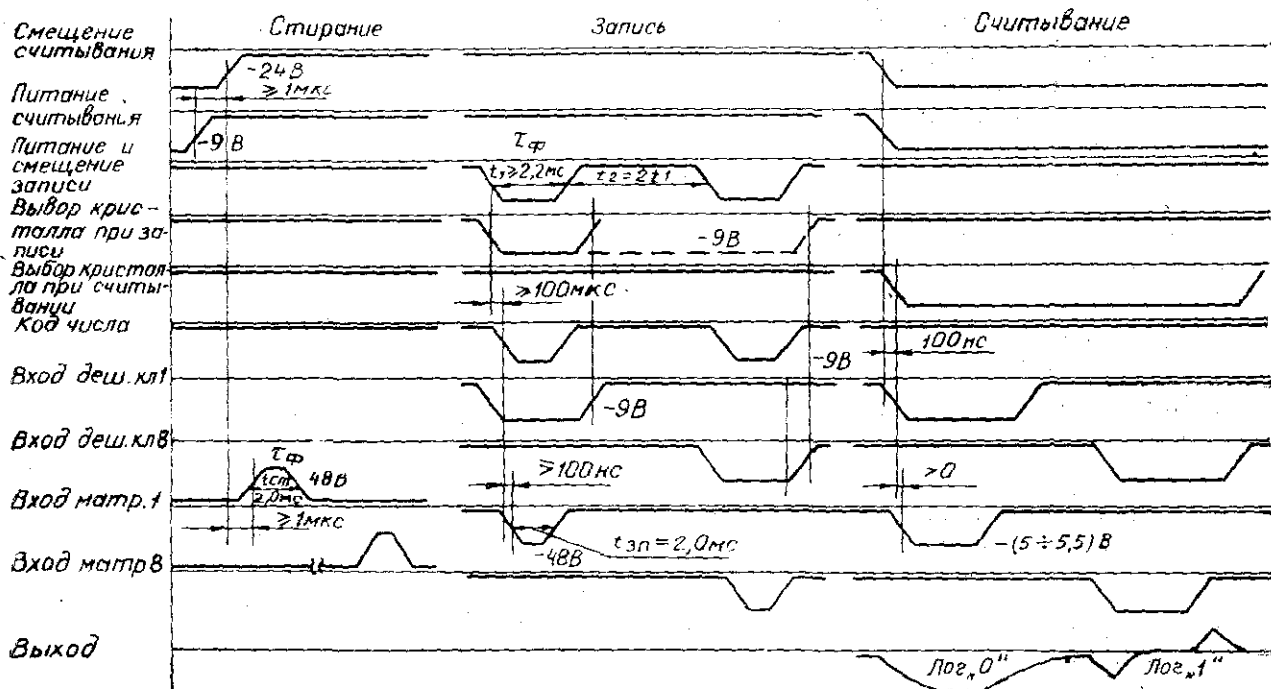
— на затворах транзисторов кода числа логической «1» ($-9 В$) в разрядах, где необходима запись состояния логической «1» и логического «0» в разрядах, где необходимо сохранить прежнее состояние логического «0». При отсутствии сигнала «выбор кристалла при записи» осуществляется блокировка записи.

Режим считывания. В режиме считывания на выводы «Питание считывания» и «Смещение считывания» подается соответственно напряжение $-9 В$ и $-24 В$. Подачей напряжения $-9 В$ включена также схема выбора кристалла при считывании.

Информация, хранящаяся в запоминающей ячейке, считывается напряжением $U_{\text{счит.}} (-5 В)$ необходимой длительности и выборочной подачей напряжения $U_{\text{вх. деш. кл.}}$, значение которого не изменяется и в режиме записи. Содержимое выбранных ячеек (разрядов) выбранного слова фиксируется на выходах «вых. 1»—

Выводы	Стирание	Запись	Считывание
$U_{\text{смеш. счит.}}$	лог. „0“	лог. „0“	$-24 В$
$U_{\text{пит. счит.}}$	лог. „0“	лог. „0“	$-9 В$
$U_{\text{смеш. зап.}}$	лог. „0“	$-48 В$	лог. „0“
$U_{\text{пит. зап.}}$	лог. „0“	$-48 В$	лог. „0“
Входы матрицы 1÷8	$+48 В$ выборочно или одно- временно $\tau \geq 2 мс$	выборочно $-48 В$ $\tau \geq 2 мс$; на все остальные выводы лог. „0“	выборочно 5 В; на все остальные выводы лог. „0“
Входы дешифраторных ключей 1÷8	лог. „0“ или $-9 В$	выборочно $-9 В$; на все остальные лог. „0“	выборочно $-9 В$; на все остальные лог. „0“
Выбор кристалла при считывании	лог. „0“	лог. „0“	$-9 В$;
Выбор кристалла при записи	лог. „0“	$-9 В$	лог. „0“
Общий	земля	земля	земля
Общий (подложка)	земля	земля	земля
Код числа 1÷4	лог. „0“ или $-9 В$	при записи в ячейку „1“ подает- ся $-9 В$; остальные выводы лог. „0“	лог. „0“
Выход 1÷4	сопротивление нагрузки		

Примечания: 1. Уровень логического «0» по всем сигнальным входам не должен превышать $0,4 \pm$ минус $0,4 В$. В режиме стирания по входам матрицы 1÷8 уровень сигнала логического «0» не должен превышать $1 В$. 2. Сопротивление нагрузки выбирается из требуемого времени считывания и уровня выходного сигнала $> 50 Ом$. 3. Выводы «питание записи» и «смещение записи» должны быть объединены.



Рекомендуемая временная диаграмма работы микросхем 519PE2, K519PE2 [$t_{\text{ф}} = (100 \div 200) \text{ мкс}$]

«вых. 4» по наличию или отсутствию тока в нагрузке. Если запоминающая ячейка находится в состоянии логического «0», то на выходе появляется ток считывания, в состоянии логической «1» ток практически отсутствует.

ПОСТРОЕНИЕ БЛОКОВ ПАМЯТИ

В микросхеме ЭППЗУ предусмотрены схемы выбора кристалла при считывании и записи, поэтому наращивание емкости ЗУ осуществляется непосредственным соединением соответствующих входов и выходов микросхемы с управлением каждой микросхемой в режиме считывания по входам — «выбор кристалла при считывании», в режиме записи — «выбор кристалла при записи». При стирании блокировка не осуществляется и стирание информации производится во всей строке (8 четырехразрядных слов в одной микросхеме \times на количество микросхем), поэтому необходимо при стирании одного слова в строке хранить не меняющуюся информацию из данной строки в промежуточном буферном устройстве и при записи новой информации перезаписать также остальные слова в строке. При общем стирании информации в ЗУ промежуточного буферного устройства не требуется.

При заданных требованиях к количеству слов в блоке памяти и числу разрядов в слове количество модулей памяти в столбце блока определяется:

$$M = \frac{\text{количество слов}}{64}$$

а количество модулей в строке:

$$N = \frac{\text{количество разрядов}}{4}$$

При объединении модулей в столбцы и строки необходимо учитывать следующее:

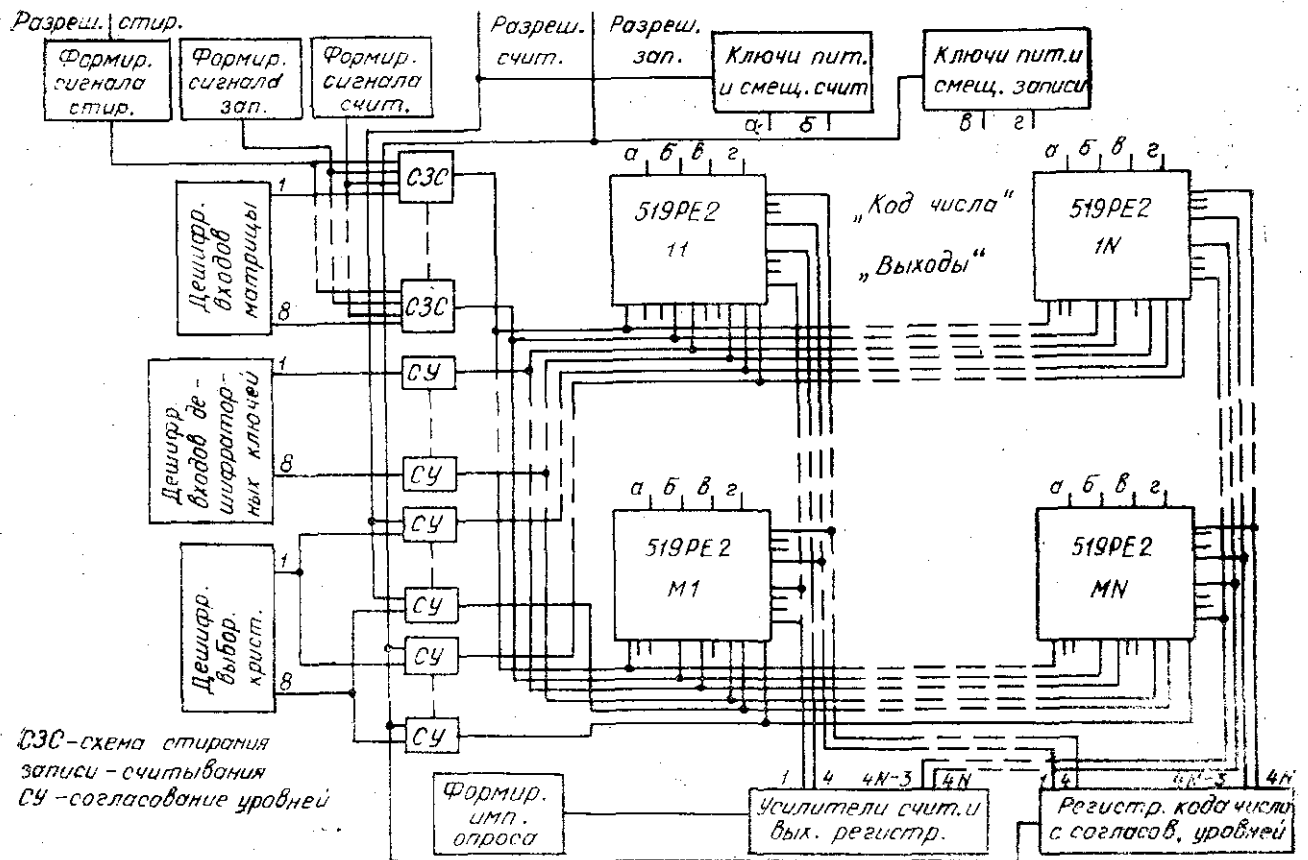
1. Каждый вывод модуля представляет собою емкостную нагрузку, поэтому при непосредственном объединении соответствующих выводов модулей эта нагрузка возрастает. При объединении выходов это приводит к увеличению времени считывания.

При объединении управляющих выводов матрицы «входы дешифраторных ключей», «выбор кристалла» увеличение емкостной нагрузки приводит к повышению требований к нагрузочной способности схем управления, т. е. способности формировать импульсы с фронтами данной длительности на соответствующей емкостной нагрузке.

При объединении входов матрицы в режиме записи возрастает время действия на затворяющую ячейку высокого напряжения что может привести к ухудшению блокировки логического «0». Поэтому рекомендуемый коэффициент объединения по входам не должен превышать 16.

При разработке дешифраторов и согласованности уровня по всем входам необходимо задать сопротивление открытых ключей в состоянии логического «0» на выходе ключей $1,0 \text{ кОм}$ (по отношению к общему выводу).

При конструировании блоков памяти необходимо принимать меры в целях уменьшения разитных емкостей между шинами управления (входных) и выходных сигналов для снижения уровня помехи на выходах от входных сигналов. Конкретная схема блока ЗУ определяется разработчиком блока в зависимости от условий его работы и требуемых характеристик.



СЗС - схема стирания записи - считывания
 СУ - согласование уровней

Функциональная схема блока ЭПЗУ

При стирании с дешифратора входов матрицы на схему «стирание—запись—считывание» (СЗС) выбранной строки поступает сигнал логической «1». Затем производится запуск формирователя длительности сигнала стирания, выходной импульс которого (лог. «1») поступает на входы схем СЗС. С выхода схемы СЗС, на входах которой совпали две логические «1», снимается положительный импульс напряжения стирания амплитудой 48 В. Так как соответствующие входы матриц объединены между собой, то происходит стирание информации по этому входу во всех модулях.

При стирании источник смещения считывания должен быть отключен от модулей ПЗУ не менее чем за 100 нс до появления импульса стирания. Логические уровни на входах «код числа», «выбор кристалла при записи» и «выбор кристалла при считывании», «входы дешифраторных ключей» не влияют на стирание. В режиме записи выбор нужного слова осуществляется дешифраторами «выбор кристалла», входов матрицы и входов дешифраторных ключей.

При поступлении команды разрешения записи включаются источники питания и смещения записи (допускается использовать один источник для питания и смещения), на выходах «вы-

бор кристалла при записи» микросхем выбранной строки устанавливается напряжение —9 В, из регистра кода числа через согласователь уровней на соответствующие выводы модулей поступает код записываемого числа. Затем, не ранее чем через 100 нс после установления этих напряжений, производится запуск формирователя длительности сигнала записи, и с выхода схемы СЗС, на входах которой совпали две логические «1», появляется импульс записи, затем устанавливается адрес следующего слова, подается код числа и производится запуск формирователя длительности сигнала записи.

В режиме считывания выбор слова осуществляется, как и при записи, только на вход матрицы поступает напряжение считывания. Через время, достигнутое для установления на выходах ПЗУ логических уровней, соответствующих хранящейся информации, запускается формирователь импульса опроса, по которому информация переписывается в выходной регистр. Цикл считывания заканчивается по заданному фронту напряжения считывания с выхода схемы СЗС или напряжения выбора кристалла.

Схемы согласователей уровней и рекомендации по применению те же, что и для схем (К) 519PE1.