

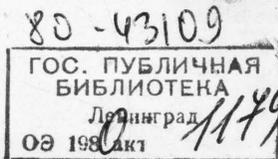
Рассматриваются проблемы создания запоминающих устройств с новыми носителями информации – полупроводниковых, оптоэлектронных и криоэлектронных. Значительное внимание уделено также вопросам совершенствования ставших уже традиционными запоминающих устройств с магнитными носителями информации. В работах затрагиваются весь комплекс аспектов разработки современных запоминающих устройств, включая схемотехнические, конструктивные, технологические, а также методы расчета, моделирования и техника исследования.

Сборник рассчитан на специалистов, занимающихся разработкой средств вычислительной техники.

Редакционная коллегия сборника:

д-р техн. наук Г.А.МИХАЙЛОВ /ответств. редактор/,  
 д-р техн. наук В.П.ДЕРЖАЧ,  
 канд. техн. наук Ф.Н.ЗЫКОВ,  
 канд. техн. наук А.Д.БЕХ,  
 канд. техн. наук В.В.ЗВЯГИНЦЕВ /ответств. за выпуск/.

© Институт кибернетики, 1980.



ВОПРОСЫ РАЗРАБОТКИ И ПРИМЕНЕНИЯ ЭЛЕКТРИЧЕСКИ  
 ПРОГРАММИРУЕМОГО ПЗУ ИНФОРМАЦИОННОЙ ЕМКОСТЬЮ 2048 БИТ  
 С УЛЬТРАФИОЛЕТОВЫМ СТИРАНИЕМ ИНФОРМАЦИИ

В.П.Сидоренко, С.И.Яровой,  
 В.Ф.Калитенко, А.А.Хоружий

Электрически программируемые ПЗУ находят все более широкое применение в различных современных цифровых устройствах. До настоящего времени наиболее распространенными являлись ПЗУ, программируемые в процессе изготовления с помощью сменных масок, что приводило к длительному циклу подготовки интегральной схемы с необходимой прошивкой. Возможность осуществления записи информации электрическим путем непосредственно потребителем обусловила повышенный интерес к электрически программируемым ПЗУ, в частности к ЭП ПЗУ с ультрафиолетовым стиранием информации [1]–[3].

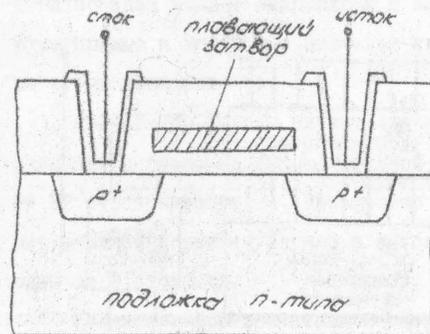


Рис. 1.

Запоминающие устройства данного типа используются в качестве запоминающих элементов МОП-транзисторы с плавающим затвором, в которых затвор окружен со всех сторон окислом и не имеет электрического контакта с элементами схемы /рис.1/.

Данный транзистор может находиться в двух состояниях – быть открытым или закрытым в зависимости от наличия или

отсутствия заряда на плавающем затворе. Запись электрического заряда на плавающий затвор запоминающего элемента осуществляется посредством лавинной инжекции "горячих" электронов обратным смещенным  $p-n$ -переходом области стока. Так как затвор запоминающего транзистора изолирован, то накопленный заряд может храниться на нем сколь угодно долго. Экспериментальные данные показывают, что при температуре  $+25^{\circ}\text{C}$  заряд на плавающем затворе может сохраняться до 10 лет.

Заряд может быть удален с плавающего затвора путем оживления структуры ультрафиолетовыми лучами. При этом накопленные электроны приобретают энергию /примерно 4,9 эВ/, достаточную для преодоления потенциального барьера поликремний-подложка.

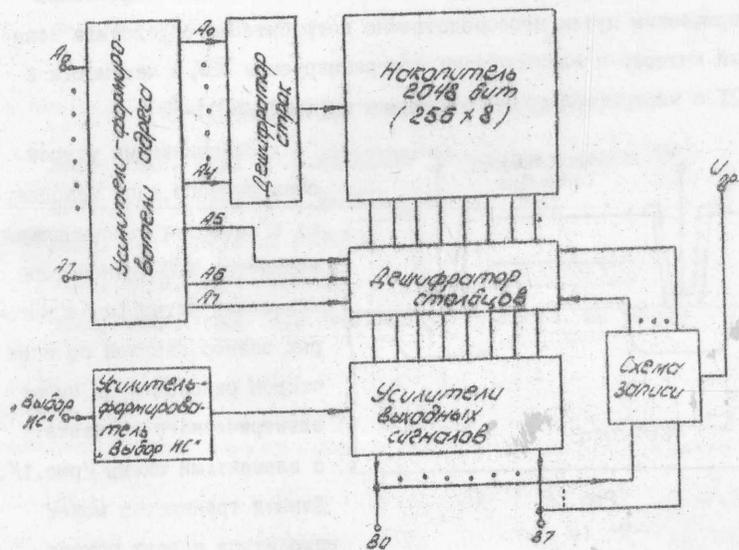


Рис. 2.

ИС ЭП ПЗУ типа К505PP1 создана на монокристалле, имеет информационную емкость 2048 бит и организацию 256 слов  $\times$  8 разрядов. Конструктивно микросхема выполнена в 24-выводном корпусе с планарным расположением выводов и прозрачной кварцевой крышкой. /блок-схема показана на рис. 2/.

Накопитель представляет собой матрицу, содержащую 2048 ячеек памяти, каждая состоит из двух последовательно соединенных полевых транзисторов, один из которых является стандартным  $p$ -канальным транзистором и выполняет функцию адресного транзистора, а второй - запоминающим транзистором с плавающим затвором. В исходном состоянии все запоминающие элементы закрыты, что соответствует состоянию логической единицы на выходе микросхемы. Программирование осуществляется посредством селективной записи состояния логического нуля в ячейки накопителя.

Усилители-формирователи адресных сигналов выполняют функцию согласования входов микросхемы с выходами микросхем ТТЛ и формируют прямые и инверсные значения адресных сигналов, поступающих на схемы дешифраторов.

Дешифратор строки служит для преобразования 5-разрядного входного сигнала адреса в выходной сигнал, поступающий на одну из 32 строк накопителя. Дешифратор столбца преобразует 3-разрядный входной адресный сигнал в выходной сигнал, поступающий на один из 8 столбцов.

Усилитель-формирователь сигнала "Выбор ИС" формирует сигнал, поступающий на схему усилителя выходных сигналов и обеспечивающий состояние бесконечно большого сопротивления по выходу микросхемы в режиме "Невыбор ИС". Режим "Выбор ИС" обеспечивается подачей на вход усилителя-формирователя сигнала "Выбор ИС" напряжения ло-

гической единицы", а режим "Невыбор ИС" - подачей напряжения логического нуля.

Усилители выходных сигналов согласуют выходы микросхемы с входами микросхем ТТЛ, усиливают в режиме считывания напряжение сигнала, считываемого из накопителя. В режиме программирования по выходам обеспечивается состояние бесконечно большого входного сопротивления, что позволяет использовать выходы в качестве информационных входов.

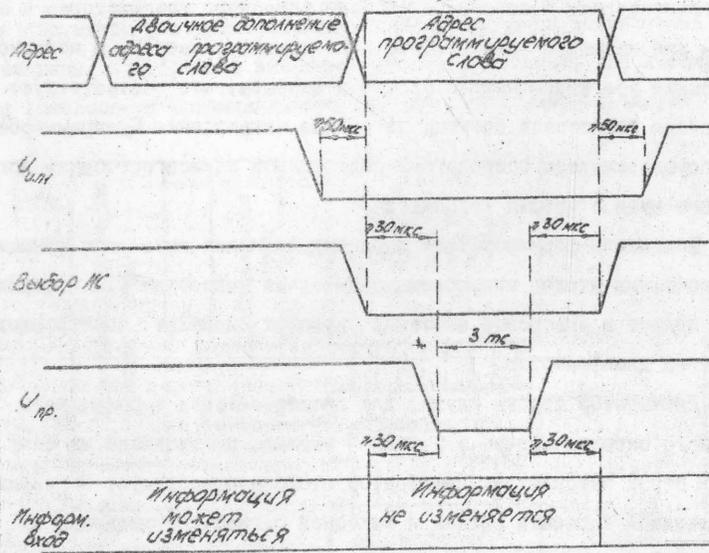


Рис. 3.

ИС N505PP1 является схемой статического типа и для обеспечения ее работы в режиме считывания необходима подача двух напряжений питания  $U_{\text{ин}1} = 12,0 \text{ В}$  и  $U_{\text{ин}2} = +5 \text{ В}$ . Для обеспечения работы микросхемы в режиме программирования на нее необходимо подать напряжение согласно временной диаграмме, приведенной на рис. 3.

Рассмотрим работу микросхемы на примере обращения к одной из ячеек накопителя по упрощенной схеме, приведенной на рис. 4.

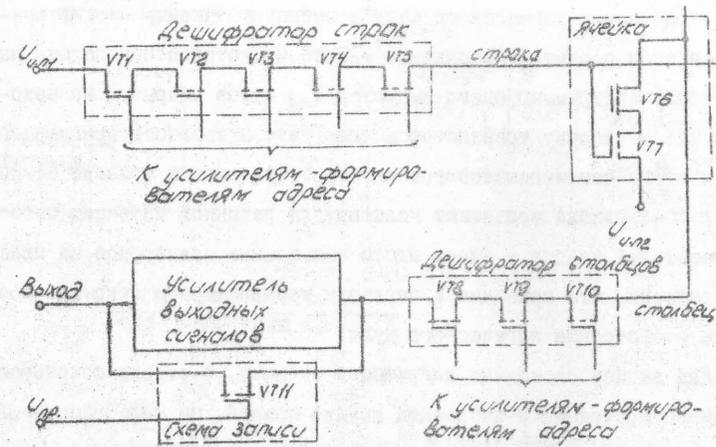


Рис. 4.

Дешифратор строки показан условно в виде цепочки последовательно включенных транзисторов, обеспечивающих передачу напряжения  $U_{\text{ин}1}$  на шину строки, к которой производится обращение, и управляемых сигналами с усилителей-формирователей адресных сигналов. Транзисторы дешифратора столбца подыключают выбранный столбец ко входу усилителя выходных сигналов в режиме считывания, а в режиме программирования - к выходу схемы записи /VT11/.

Программирование ячейки памяти осуществляется при подаче на адресные входы соответствующих сигналов, которые обеспечат подачу на адресные шины дешифраторов строки и столбца отрицательного напряжения. Таким образом, напряжение  $U_{\text{ин}1}$  через цепочку транзисторов дешифратора строк прикладывается к затвору адресного транзистора ячейки памяти VT7, который открывается, и исток запоминающего

транзистора с плавающим затвором подключается к шине  $U_{пл2}$ , которая имеет в режиме программирования нулевой потенциал. В случае записи состояния логического нуля в выбранную ячейку на информационный вход подается напряжение  $-35-40$  В, которое при подаче на микросхему программирующего импульса  $V_{пр}$  через открытый транзистор VT11 и цепочку транзисторов дешифратора столбцов прикладывается к стоку запоминающего транзистора. При этом в области стокового р-п-перехода возникают условия для лавинной инжекции свободных носителей заряда и имеет место накопление электронов на плавающем затворе, что приводит к переводу транзистора в открытое состояние - состояние логического нуля.

Для записи состояния логической единицы, т.е. для сохранения исходного состояния в выбранной ячейке памяти, на информационный вход подается нулевое напряжение. При этом лавинный пробой р-п-перехода стоковой области не возникает и запоминающий транзистор не изменяет своего исходного состояния.

Все остальные ячейки памяти накопителя не изменяют состояния, так как на них или не подаются импульсы записи, или отсутствует разрешающий импульс на шинах строк.

В режиме программирования усилитель выходных сигналов должен иметь бесконечно большое сопротивление по выходу, что обеспечивается подачей на вход усилителя-формирователя сигнала "Выбор ИС" отрицательного напряжения амплитудой  $35-40$  В.

В режиме считывания на адресные входы подаются сигналы, имеющие уровни TTL. Выбор ячейки памяти осуществляется аналогичным образом. Если в ячейке памяти записано состояние логического нуля, то на вход усилителя выходных сигналов передается напряжение, близкое к величине  $U_{пл2}$ , а в случае логической единицы - напряжение,

примерно равное  $U_{пл1}$ .

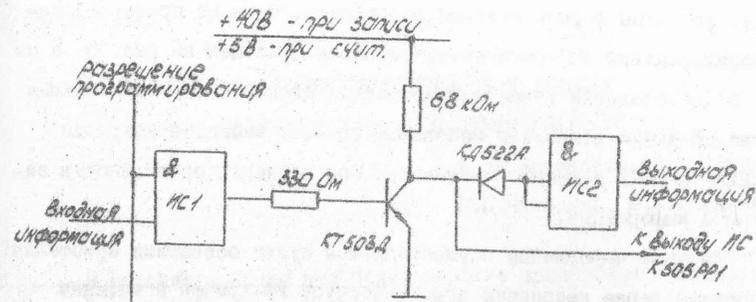


Рис. 5.

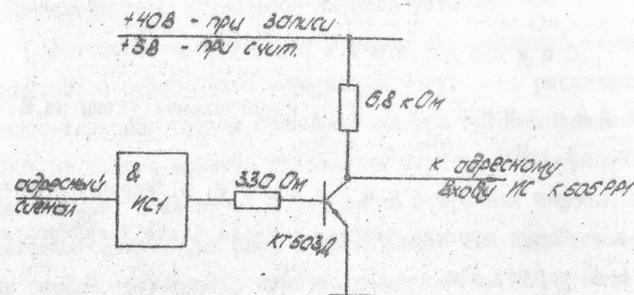


Рис. 6.

Использование в режиме считывания напряжения источника питания  $U_{пл1}$  равного  $-12$  В исключает возможность ложной записи информации и делает режим считывания неразрушающим, так как напряжение записи информации равно примерно  $-30$  В.

На практике реализация формирователей входных сигналов, обеспечивающих режим программирования и режим считывания информации, представляет определенную трудность ввиду необходимости формирования равнополярных сигналов. Однако если потенциал общей точки микросхемы /вывод  $U_{пл2}$ / сместить в режиме программирования до

40 В, то схемы формирователей упрощаются. Один из примеров схемы формирователя информационных сигналов приведен на рис. 5, а на рис. 6 представлена схема формирователя адресных сигналов. Схема на рис. 5 также позволяет использовать ее в качестве нагрузки /КД522А и ИС2/ в режиме считывания при проверке правильности записанной информации.

Стирание информации осуществляется путем освещения кристалла микросхемы через кварцевую крышку корпуса УФ-лучами в течение 15 - 20 мин. во всех ячейках накопителя.

#### С п и с о к л и т е р а т у р ы

1. Карамзинский А.Н. Интегральные схемы на МДП-транзисторах. - М.: Мир, 1975, с. 65-70.
2. Frohman-Bentchkowsky D. Ramos - a new Semiconductor charge storage device. - Solid State Electronics. 1974, 17, N 6, p. 517-530.
3. Чжан Р. Полупроводниковые ЗУ с сохранением информации при отключении питания. - ТИИЭР, 1976, 64, № 7, с. 20-25.

УДК 681.327

#### ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ ИС ППЗУ С ЭЛЕКТРИЧЕСКИМ СТИРАНИЕМ И ЗАПИСЬЮ ИНФОРМАЦИИ НА МНОП-СТРУКТУРАХ

Л.В.Капровская, В.П.Сидоренко,  
В.П.Чекалкин, Ю.А.Юхименко

В настоящее время все более широкое применение находят полупостоянные ЗУ, содержимое которых потребитель может многократно программировать в процессе их эксплуатации.

Известные к настоящему времени интегральные схемы полупостоянных ЗУ с перезаписью информации могут быть разделены по конструктивно-технологическим признакам на три группы. Первыми появились ППЗУ на основе эффекта накопления заряда в МДП-транзисторах с так называемым "плавающим" затвором со стиранием информации ультрафиолетовым светом. Они были разработаны и выпущены фирмой „Intel” на основе технологии лавинно-инжекционных МОП-транзисторов с плавающим затвором /ЛИЗ МОП-технология/ [1]. Два других типа приборов - это ППЗУ с электрическим стиранием информации. Первые строятся на основе двухзатворной модификации лавинно-инжекционной МОП-структуры с плавающим затвором. Во вторых используется эффект накопления заряда в МДП-транзисторах с двухслойным затвором диэлектриком /МНОП-технология/.

Применение ППЗУ в аппаратуре обеспечивает расширение функциональных возможностей систем памяти, позволяет создать широкий класс устройств с улучшенными техническими и экономическими характеристиками.

ППЗУ с электрической перезаписью информации обладают рядом