

МИКРОЭЛЕКТРОНИКА

УДК 621.382.81:681.32

К. А. ВАЛИЕВ, В. Я. КОНТАРЕВ, О. Л. КРАМАРЕНКО, С. И. НАЗАРОВ,
Б. В. ОРЛОВ, Ю. А. РАЙНОВ, В. Н. СТРУКОВ

КОМПЛЕКС ЛОГИЧЕСКИХ ПОЛУПРОВОДНИКОВЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ ТИПА ТТЛ

Приводится описание трех серий логических полупроводниковых интегральных микросхем типа ТТЛ, предназначенных для построения ЭВМ. Обсуждаются принципиальные схемы, электрические характеристики и конструкция микросхем, особенности их изготовления и применения.

Среди полупроводниковых интегральных схем в настоящее время наиболее популярны схемы типа транзисторно-транзисторной логики (ТТЛ), выпускаемые промышленностью [1, 2].

Эти схемы применяются для построения ЭВМ. По сравнению с другими типами схем, например ДТЛ, схемы ТТЛ обеспечивают большее быстродействие при той же потребляемой мощности и возможность выполнения функции И—ИЛИ—НЕ с сохранением высоких эксплуатационных параметров.

В данной работе рассматриваются ТТЛ микросхемы типа 33, 32 и 30, которые представляют собой самостоятельные серии логических схем, отличающиеся большим быстродействием и малой потребляемой мощностью. Предусмотрена совместная работа схем из серий 33, 32 и 30, образующих единый комплекс логических элементов типа ТТЛ. Цель разработки данного комплекса — обеспечить возможность конструирования ЭВМ, обладающих высокими технико-экономическими показателями.

Схемы из серии 33, 32 в настоящее время наиболее быстродействующие из ИС, в которых транзисторы работают в режиме насыщения. Типовое значение задержки распространения сигнала для логического элемента И—НЕ серии 33 составляет 15 нсек при средней потребляемой мощности 15 мвт, для элемента серии 32—6 нсек при мощности до 35 мвт. ИС серии 30 — схемы с пониженной потребляемой мощностью; они имеют задержку распространения сигнала 60 нсек при $P_{п} = 1-5$ мвт. Допустимый уровень статической помехи для схем всех серий составляет 1 в. Схемы питаются от одного источника напряжения +5 в и имеют одинаковую величину логических уровней, что обеспечивает возможность непосредственной стыковки схем из различных серий в одной ЭВМ.

Схемы выпускаются в плоском металлостеклянном корпусе с планарным расположением выводов типа 1-СТ-14 (обозначаются буквой М) и в пластмассовом корпусе с двухрядным вертикальным расположением выводов типа ПДВ (Д).

Состав серии и принципиальные схемы элементов. Серии схем 33, 32 и 30 представляют собой функциональные полные системы логических элементов ТТЛ, удобные для построения ЭВМ. Каждая серия состоит из девяти элементов. Наименование схем, тип, условное функциональное обозначение и цоколевка приведены в таблице.

Тип схемы	Серия	Основные параметры		Условное обозначение и цоколевка
		$t_{з.р.ср.}$ нсек	P_n , мвт	
Счетверенный двухвходной логический элемент И—НЕ	3300 3200 3000	15 6* 60*	15 35* 1—5*	
Строенный трехвходной логический элемент И—НЕ	3310 3210 3010	15 6* 60*	15 35* 1—5*	
Сдвоенный четырехвходной логический элемент И—НЕ (один расширяемый по ИЛИ)	3320 3220 3020	15 6* 60*	15 35* 1—5*	
Восьмивходной логический элемент И—НЕ	3330 3230 3030	18 8* 80*	15 35* 1—5*	
Сдвоенный четырехвходной логический элемент И—НЕ с большим коэффициентом разветвления по выходу (буфер)	3340	18	30*	

Тип схемы	Серия	Основные параметры		Условное обозначение и цоколевка
		$t_{з.р.ср}$, нсек	$P_{п}$, мвт	
Сдвоенный логический элемент И—ИЛИ—НЕ (один расширяемый по ИЛИ)	3350 3250 3050	20 8* 80*	20 35* 1—5*	
Логический элемент И—ИЛИ—НЕ с возможностью расширения по ИЛИ	3353 3253 3053	30 12* 120*	30 35* 1—5*	
Сдвоенный четырехвходовой расширитель по ИЛИ	3360 3260 3060	— — —	5 10 1,0*	
Восьмивходовой расширитель по ИЛИ	3363 3263 3063	— — —	5 10* 1,0*	

Примечание. * — значения уточняются; 14 вывод — питание $+5 \text{ в} \pm 10\%$; 7 вывод — земля.

Все схемы серии 33 (кроме буферного элемента) образуются путем комбинирования двух базовых схем: восьмивходовой схемы И—НЕ и схемы расширителя по ИЛИ. Схемы базовых элементов приведены на рис. 1. Принципиальная схема логического элемента И—НЕ (рис. 1, а) известна [3—4], но отличается от других схем, используемых при построении ИС типа ТТЛ, минимальным числом компонентов. Схема расширителя по ИЛИ (рис. 1, б) представляет собой входную часть логической схемы И—НЕ и совместно с последней образует логическую схему И—ИЛИ—НЕ (рис. 1, в). Принципиальная схема бу-

ферного элемента, обладающего повышенной нагрузочной способностью ($N=30$), показана на рис. 1, г.

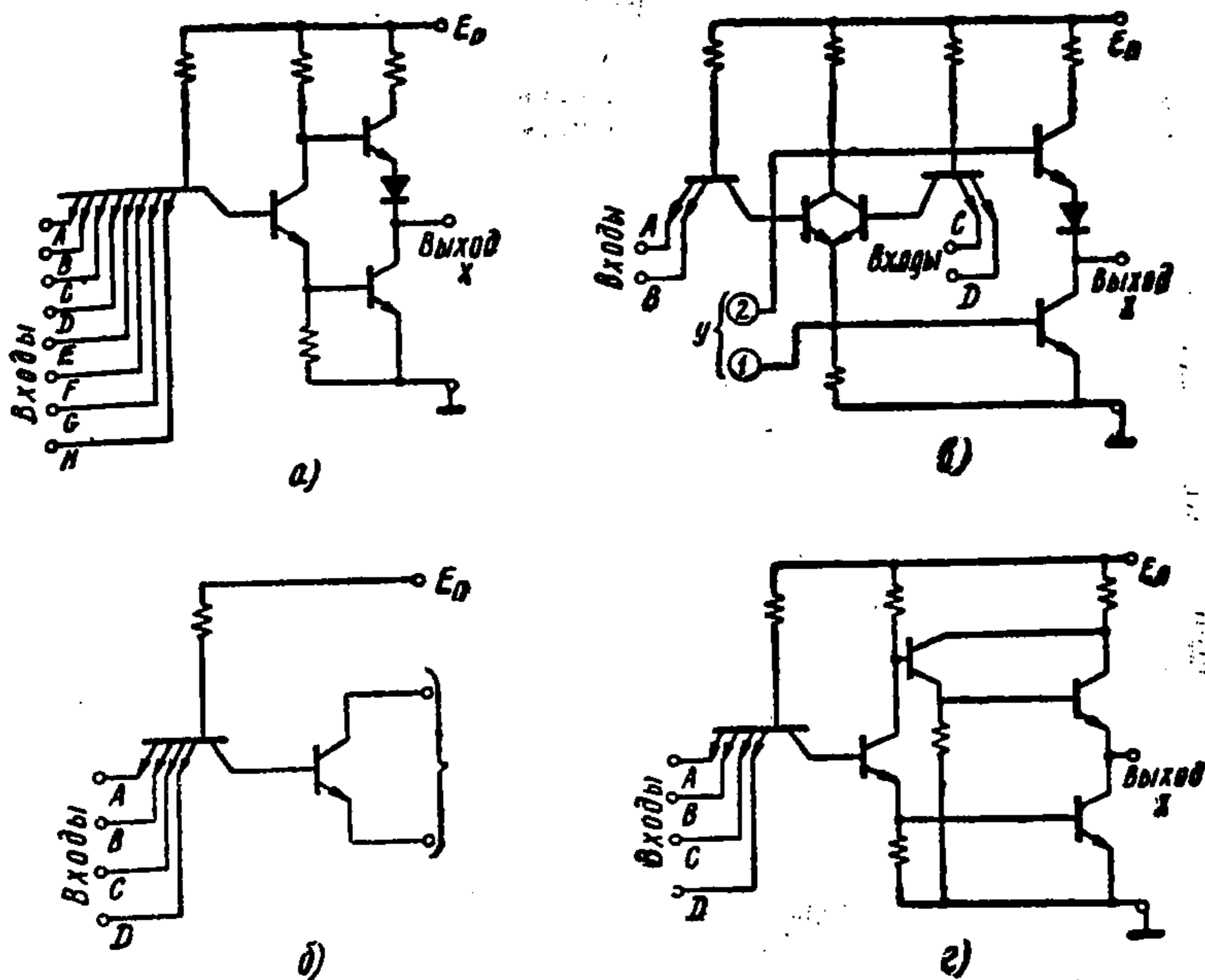


Рис. 1. Принципиальные схемы логических элементов.

Электрические характеристики ИС. Логические элементы серии 33 обладают большим коэффициентом разветвления (более 10). Это дает возможность разработчикам систем строить цифровые узлы более компактными и создавать схемы с резервированием для увеличения надежности узла в целом.

ИС имеют малые выходные и сравнительно высокие входные сопротивления, что способствует хорошему согласованию схем между собой. Кроме того, они обладают высокой помехозащищенностью. Как уже упоминалось, при нормальной температуре величина допустимой статической помехи ~ 1 в.

Схемы серии при относительно большом логическом перепаде (минимальная величина логической «1» равна 2,4 в, а максимальная величина логического «0» 0,4 в) имеют высокое быстродействие. Типовое значение задержки включения 8 нсек, а задержки выключения 20 нсек. Данное быстродействие обеспечивается при умеренной потребляемой мощности 15 мвт. Максимальное число объединений по логическому входу ИЛИ (для схем серии, имеющих возможность расширения по ИЛИ) равно 8. При присоединении одного расширителя увеличивается задержка распространения схемы на 5 нсек, а потребляемая мощность на 5 мвт.

Зависимость временных параметров от емкостной нагрузки показана на рис. 2. Для схем типа ТТЛ характерна относительно слабая зависимость задержки от емкости нагрузки C_n .

Особенности применения. Схема типа ТТЛ отличается от других типов схем малыми длительностями фронтов и способностью работать на большую емкостную нагрузку при высоких скоростях переключения. Это объясняется тем, что в отличие от других типов схем как заряд,

так и разряд нагрузочной емкости обеспечивается активной низкоомной выходной цепью. Такое построение выходной цепи приводит к тому, что в момент переключения в цепи питания схемы возникают кратковременные импульсы тока, которые могут привести к возникновению импульсов помехи. Чтобы избежать этого, при построении блоков ЭВМ необходимо обеспечить цепи питания с малой индуктивностью проводников и предусмотреть развязки между соседними узлами.

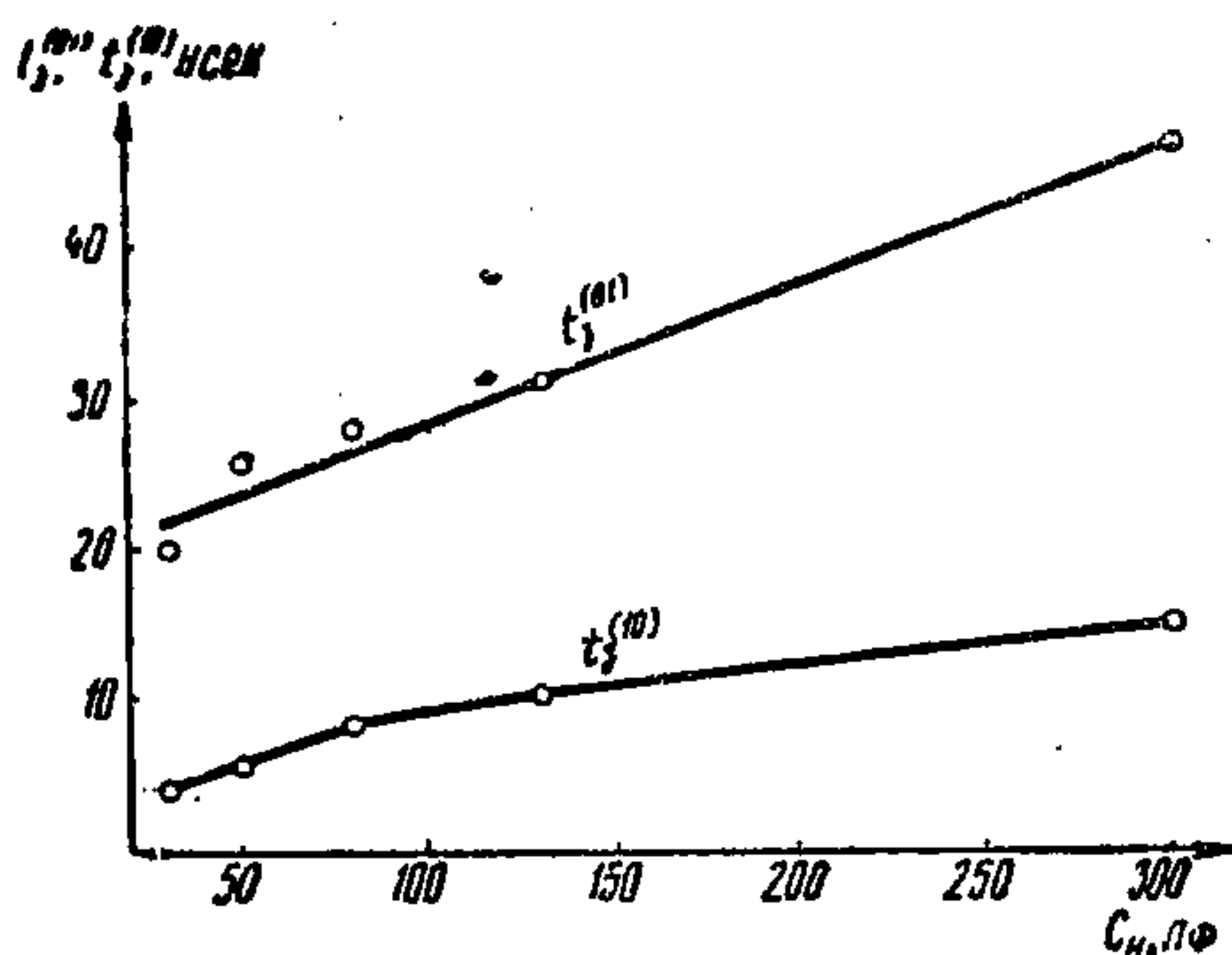


Рис. 2. Зависимость задержек включения ($t_s^{(10)}$) и выключения ($t_s^{(01)}$) от емкости нагрузки.

Наличие импульсов тока в цепи питания приводит также к увеличению потребляемой мощности при увеличении частоты переключения схемы. При правильном проектировании ТТЛ схемы, когда быстродействие достигается за счет высокоскоростных свойств компонентов схемы, повышение потребляемой мощности при увеличении частоты переключения схемы получается незначительным и почти полностью расходуется на перезаряд нагрузочной емкости. Типичная зависимость потребляемой мощности от частоты переключения для схемы И—НЕ серии 33 приведена на рис. 3.

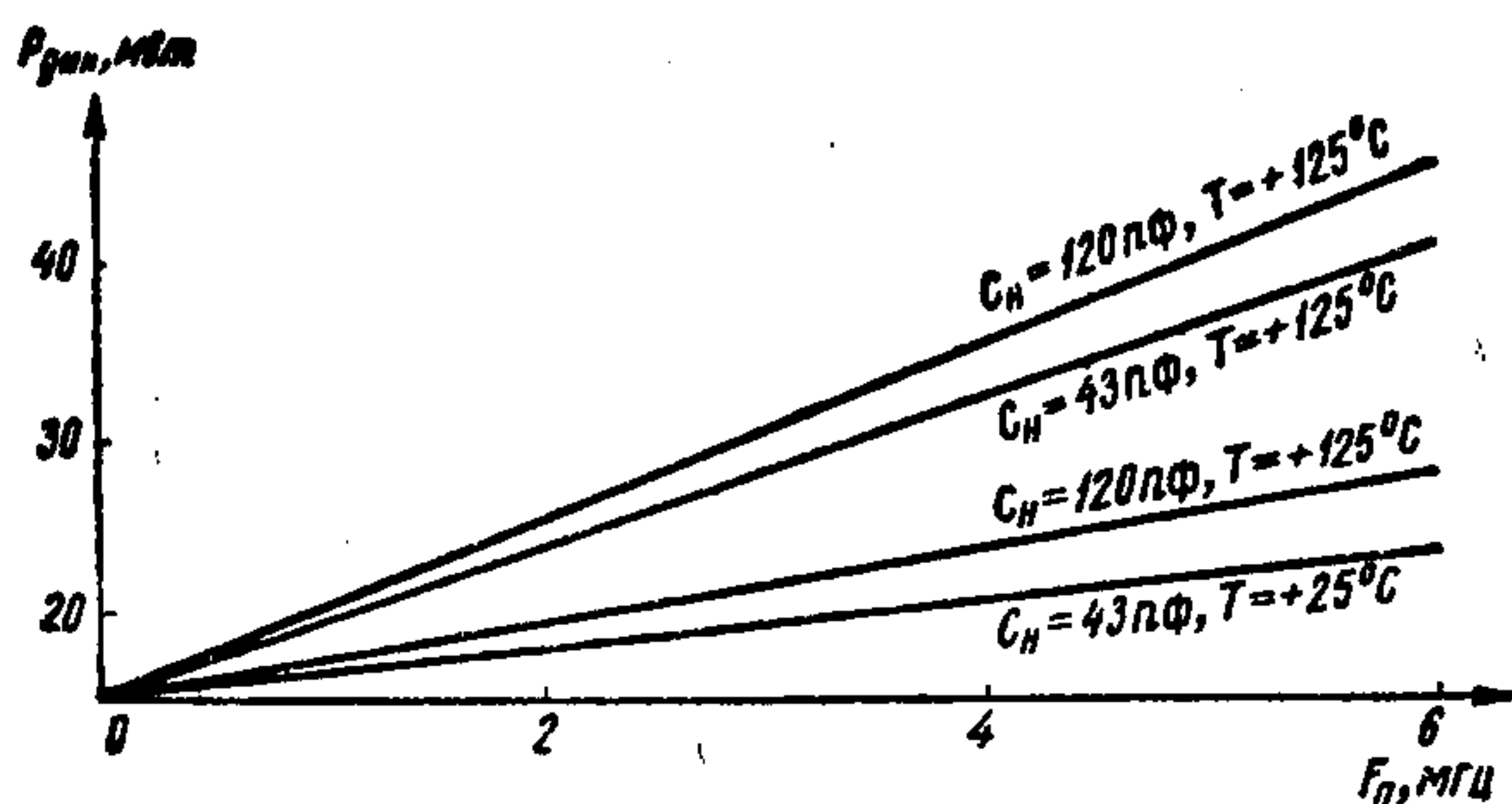


Рис. 3. Зависимость потребляемой мощности от частоты переключения схемы.

Особенности изготовления ТТЛ интегральных схем. Технология изготовления таких ИС во многом определяется специфичными требованиями, предъявляемыми к параметрам компонентов, составляющих схему, и в первую очередь, параметрам транзисторов. Так, например, используемый в ИС многоэмиттерный транзистор должен обладать малым

инверсным коэффициентом усиления по току; проходной транзистор, работающий в режиме с малым рабочим током, — малыми емкостями $p-n$ переходов, а выходной транзистор должен быть рассчитан на большой рабочий ток и иметь малое время выхода из режима насыщения при переключении схемы. Кроме того, необходимо предельно уменьшить паразитные емкости, связанные с изолирующими $p-n$ переходами и диффузионными сопротивлениями.

При изготовлении ИС серии 33 для получения оптимальных параметров использована эпитаксиально-планарная технология с применением «скрытых» высоколегированных диффузионных слоев, что позволило уменьшить коллекторное сопротивление транзисторов ИС при достаточно высокоомной и тонкой эпитаксиальной пленке. Все компоненты ИС получены методом диффузии в кремний примесей бора и фосфора. Электрическая изоляция между компонентами осуществляется обратно-смещенными $p-n$ переходами.

ЗАКЛЮЧЕНИЕ

Серии ТТЛ схем типа 33, 32 и 30 могут быть рекомендованы для применения в ЭВМ различного назначения.

Эти схемы изготавливаются по единой базовой технологии, допускающей возможность расширения номенклатуры схем путем функционального усложнения схем, и, в первую очередь, создания ряда триггерных схем типа JK, а также путем создания отдельных модификаций ИС, целесообразность которых будет определяться по мере накопления опыта по применению данных серий ИС в конкретных типах ЭВМ.

Статья поступила 27 января 1969 г.

ЛИТЕРАТУРА

1. Electronic News, 1967, v. 12, № 612, p. 1, 46.
2. «Электроника», 1968, № 1, стр. 22.
3. EDN, 1967, v. 12, № 7, p. 20.
4. Electronic Design, 1967, № 17, p. 222.