

СОГЛАСОВАНО
Начальник 166 ПЗ

_____ С.И.Перов
« _____ » _____ 200__ г.

УТВЕРЖДАЮ
Генеральный директор
СКТБ ЭС НПО «Электроника»

_____ И.Е.Лобов
« _____ » _____ 200__ г.

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

1273ПВ1Р, 1273ПВР, 1273ПВ9Р

Техническое описание

ГКДЯ.431320.002ТО

_____	_____	_____	_____
_____	_____	_____	_____
_____	_____	_____	_____
_____	_____	_____	_____
_____	_____	_____	_____

СОГЛАСОВАНО

Представитель заказчика 166

_____ Ю.П.Петров
« _____ » _____ 200__ г.

Главный конструктор ОКР

_____ С.М.Кононов
« _____ » _____ 200__ г.

Нормоконтроль

_____ Н.И.Васина
« _____ » _____ 200__ г.

Содержание

1	Введение.....	3
2	Назначение	4
3	Основные технические характеристики.....	5
4	Условное графическое обозначение и назначение выводов ИС.....	15
5	Устройство и работа ИС.....	19
5.1	Блок-схема.....	19
5.2	Регистр управления.....	22
5.3	Принцип действия «сигма – дельта» АЦП.....	29
5.3.1	Блок – схема «сигма – дельта» АЦП.....	29
5.3.2	Частота выборки входного сигнала.....	31
5.4	Цифровой фильтр.....	32
5.4.1	Характеристики цифрового фильтра.....	33
5.4.2	Дополнительная фильтрация.....	34
5.4.3	Меры по предотвращению наложения спектров	34
5.5	Подробное описание аналоговых входов и выходов.....	36
5.5.1	Диапазоны сигналов на входных аналоговых каналах.....	36
5.5.2	Ток проверки внешней цепи датчика	37
5.5.3	Ток компенсации.....	37
5.5.4	Аналоговые входные сигналы в однополярном и двуполярном режимах.....	38
5.5.5	Входы и выход опорного напряжения	38
5.5.6	Вход напряжения смещения V_{BIAS}	40
5.6	Режимы калибровки.....	41
5.6.1	Самокалибровка.....	42
5.6.2	Системная калибровка.....	42
5.6.3	Системная калибровка смещения.....	43
5.6.4	Фоновая калибровка.....	44
5.6.5	Ограничения диапазона входного сигнала и напряжения смещения при системной калибровке.....	45
6	Цифровой интерфейс.....	47
6.1	Режим самотактирования.....	48
6.2	Режим внешнего тактирования	51
6.3	Упрощённый интерфейс внешнего тактирования.....	54
7	Применение АЦП.....	55
7.1	Синхронизация	55
7.2	Системная синхронизация	56
7.3	Точность преобразования	56
7.4	Включение питания и калибровка.....	57
7.5	Дрейф напряжения смещения и коэффициента усиления.....	57
7.6	Подключение питания и заземление.....	57
7.7	Рекомендации по выходу из нештатных ситуаций, возникновение которых не исключено в процессе работы АЦП в системе.....	57
	Приложение А (обязательное) Определения временных параметров.....	60

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

1 Введение

Настоящее техническое описание предназначено для изучения интегральных микросхем 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р, содержит описание принципа их работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

2 Назначение

Интегральные микросхемы 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р АЕЯР.431320.422ТУ – это 24-х разрядные аналого-цифровые преобразователи на основе «сигма – дельта» модулятора. АЦП могут непосредственно воспринимать сигналы малой величины от измерительных датчиков, преобразователей и выдавать последовательный цифровой код.

АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р очень удобны для использования в интеллектуальных электронных системах на базе микропроцессоров. Выбор входного канала, установка коэффициента усиления, выбор режима: однополярный или двуполярный могут осуществляться программно с использованием двунаправленного последовательного порта. АЦП 1273ПВ1Р и 1273ПВ9Р могут выполнять преобразование сигналов однополярного и двуполярного входного диапазона. АЦП 1273ПВ8Р может выполнять преобразование сигналов однополярного входного диапазона. АЦП 1273ПВ1Р и 1273ПВ8Р могут выполнять самокалибровку, системную калибровку и фоновую калибровку; АЦП 1273ПВ9Р должен калиброваться только с помощью системной калибровки. АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р предоставляют пользователю возможность чтения/записи встроенных регистров калибровки.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

3 Основные технические характеристики

3.1 Значения электрических параметров микросхемы 1273ПВ1Р приведены в таблице 1.

Таблица 1 – Электрические параметры микросхемы 1273ПВ1Р

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
1	2	3	4	5
Выходное напряжение низкого уровня ¹⁾ , В при $I_{OL}=1,6$ мА, $U_{CCA+}=5$ В±10 %, $U_{CCD}=5$ В±10 %, $U_{CCA-}=0$ В, $U_{BIAS}=2,5$ В, $U_{REFIN(+)}=2,5$ В, $U_{REFIN(-)}=0$ В, $f_{CLK}=10$ МГц	U_{OL}	-	0,4	25±10 -60±3 85±3
Выходное напряжение высокого уровня ¹⁾ , В при $I_{OH}=0,1$ мА, $U_{CCA+}=5$ В±10%, $U_{CCD}=5$ В±10 %, $U_{CCA-}=0$ В, $U_{BIAS}=2,5$ В, $U_{REFIN(+)}=2,5$ В, $U_{REFIN(-)}=0$ В, $f_{CLK}=10$ МГц	U_{OH}	$U_{CCD}-1$	-	25±10 -60±3 85±3
Выходное опорное напряжение, В при $U_{CCA+}=5$ В±10 %, $U_{CCD}=5$ В±10%, $U_{CCA-}=-5$ В±10 %, $U_{BIAS}=0$ В, $U_{REFIN(+)}=2,5$ В, $U_{REFIN(-)}=0$ В, $f_{CLK}=10$ МГц	U_{REFO}	2,475	2,525	25±10 -60±3 85±3
Стабильность выходного опорного напряжения, мВ/В при $U_{CCA+}=5$ В±10 %, $U_{CCD}=5$ В±10 %, $U_{CCA-}=-5$ В±10 %, $U_{BIAS}=0$ В, $U_{REFIN(+)}=2,5$ В, $U_{REFIN(-)}=0$ В, $f_{CLK}=10$ МГц	ΔU_{REFO1}	-	1	25±10 -60±3 85±3
Стабильность выходного опорного напряжения при изменении тока нагрузки, мВ/мА при $U_{CCA+}=5$ В±10 %, $U_{CCD}=5$ В±10 %, $U_{CCA-}=-5$ В±10 %, $U_{BIAS}=0$ В, $U_{REFIN(+)}=2,5$ В, $U_{REFIN(-)}=0$ В, $f_{CLK}=10$ МГц	ΔU_{REFO2}	-	1,5	25±10 -60±3 85±3

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1

	1	2	3	4	5
	Входной ток ²⁾ , мкА при $0\text{ В} < U_{\text{IN}} < 5,5\text{ В}$, $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{IL}	-10	10	25 ± 10 -60 ± 3 85 ± 3
	Выходной ток в состоянии "Выключено" ³⁾ , мкА при $0 < U_{\text{OUT}} < U_{\text{CCD}}$, $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{OZ}	-10	10	25 ± 10 -60 ± 3 85 ± 3
	Ток проверки цепи датчика, мкА при $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{BO}	3	6	25 ± 10 -60 ± 3 85 ± 3
	Выходной ток компенсации, мкА при $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{CO}	16	24	25 ± 10 -60 ± 3 85 ± 3
	Стабильность тока компенсации, нА/В при $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$K_{\text{I_LINE}}$	-	20	25 ± 10 -60 ± 3 85 ± 3
	Стабильность тока компенсации при изменении тока нагрузки, нА/В при $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$K_{\text{I_LOAD}}$	-	20	25 ± 10 -60 ± 3 85 ± 3
	Ток потребления от источника $U_{\text{CCA}+}$, мА при $U_{\text{CCA}+} = 5\text{ В} \pm 10\%$, $U_{\text{CCD}} = 5\text{ В} \pm 10\%$, $U_{\text{CCA}-} = -5\text{ В} \pm 10\%$, $U_{\text{BIAS}} = 0\text{ В}$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$I_{\text{CCA}+}$	-	5,2	25 ± 10 -60 ± 3 85 ± 3

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Ток потребления от источника U_{CCD} , мА при $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=-5\text{ В}\pm 10\%$, $U_{BIAS}=0\text{ В}$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	I_{CCD}	-	5,0	25 ± 10 -60 ± 3 85 ± 3
Ток потребления от источника U_{CCA-} , мА при $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=-5\text{ В}\pm 10\%$, $U_{BIAS}=0\text{ В}$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	I_{CCA-}	-	2,1	25 ± 10 -60 ± 3 85 ± 3
Интегральная нелинейность, % от полной шкалы при частоте режекции фильтра $\leq 60\text{ Гц}$ $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	E_{L01}	-0,05	+0,05	25 ± 10 -60 ± 3 85 ± 3
Ошибка на отрицательном конце шкалы входного аналогового диапазона в двуполярном режиме, % от полной шкалы при $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=-5\text{ В}\pm 10\%$, $U_{BIAS}=0\text{ В}$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	BPFSE	-0,1	0,1	25 ± 10 -60 ± 3 85 ± 3
Подавление синфазного сигнала, дБ при $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	CMR	90	-	25 ± 10 -60 ± 3 85 ± 3
Максимальное значение положительного напряжения на входе при системной калибровке, В при $A_U=1\dots 128$, $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=-5\text{ В}\pm 10\%$, $U_{BIAS}=0\text{ В}$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	FSC1	$(1,05 \times U_{REF})/A_U$	-	25 ± 10 -60 ± 3 85 ± 3

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Максимальное значение отрицательного напряжения на входе при системной калибровке, В при $A_U=1 \dots 128$, $U_{CCA+}=5 \text{ В} \pm 10 \%$, $U_{CCD}=5 \text{ В} \pm 10 \%$, $U_{CCA-}=-5 \text{ В} \pm 10 \%$, $U_{BIAS}=0 \text{ В}$, $U_{REFIN(+)}=2,5 \text{ В}$, $U_{REFIN(-)}=0 \text{ В}$, $f_{CLK}=10 \text{ МГц}$	FSC2	-	$-(1,05 \times U_{REF})/A_U$	25 ± 10 -60 ± 3 85 ± 3
Диапазон напряжений смещения (системная калибровка), В при $A_U=1 \dots 128$, $U_{CCA+}=5 \text{ В} \pm 10 \%$, $U_{CCD}=5 \text{ В} \pm 10 \%$, $U_{CCA-}=-5 \text{ В} \pm 10 \%$, $U_{BIAS}=0 \text{ В}$, $U_{REFIN(+)}=2,5 \text{ В}$, $U_{REFIN(-)}=0 \text{ В}$, $f_{CLK}=10 \text{ МГц}$	OC	$-(1,05 \times U_{REF})/A_U$	$+(0,65 \times U_{REF})/A_U$	25 ± 10 -60 ± 3 85 ± 3
Диапазон входных напряжений (системная калибровка), В при $A_U=1 \dots 128$, $U_{CCA+}=5 \text{ В} \pm 10 \%$, $U_{CCD}=5 \text{ В} \pm 10 \%$, $U_{CCA-}=-5 \text{ В} \pm 10 \%$, $U_{BIAS}=0 \text{ В}$, $U_{REFIN(+)}=2,5 \text{ В}$, $U_{REFIN(-)}=0 \text{ В}$, $f_{CLK}=10 \text{ МГц}$	IS	$(0,8 \times U_{REF})/A_U$	$(2,1 \times U_{REF})/A_U$	25 ± 10 -60 ± 3 85 ± 3
Разрядность кода без потерь при частоте режекции фильтра $\leq 60 \text{ Гц}$, бит $U_{CCA+}=5 \text{ В} \pm 10 \%$, $U_{CCD}=5 \text{ В} \pm 10 \%$, $U_{CCA-}=0 \text{ В}/-5 \text{ В}^4$, $U_{BIAS}=2,5 \text{ В}/0 \text{ В}^4$, $U_{REFIN(+)}=2,5 \text{ В}$, $U_{REFIN(-)}=0 \text{ В}$, $f_{CLK}=10 \text{ МГц}$	n1	24	-	25 ± 10 -60 ± 3 85 ± 3
Разрядность кода без потерь при частоте режекции фильтра 100 Гц , бит $U_{CCA+}=5 \text{ В} \pm 10 \%$, $U_{CCD}=5 \text{ В} \pm 10 \%$, $U_{CCA-}=0 \text{ В}/-5 \text{ В}^4$, $U_{BIAS}=2,5 \text{ В}/0 \text{ В}^4$, $U_{REFIN(+)}=2,5 \text{ В}$, $U_{REFIN(-)}=0 \text{ В}$, $f_{CLK}=10 \text{ МГц}$	n2	22	-	25 ± 10 -60 ± 3 85 ± 3

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Разрядность кода без потерь при частоте режекции фильтра 250 Гц, бит $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	n3	18	-	25 ± 10 -60 ± 3 85 ± 3
Разрядность кода без потерь при частоте режекции фильтра 500 Гц, бит $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	n4	15	-	25 ± 10 -60 ± 3 85 ± 3
Разрядность кода без потерь при частоте режекции фильтра 1 кГц, бит $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	n5	12	-	25 ± 10 -60 ± 3 85 ± 3
Ослабление входного сигнала на частоте 50 Гц, дБ Частота первого провала фильтра: 10 или 25 или 50 Гц, $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	NMR1	95	-	25 ± 10 -60 ± 3 85 ± 3
Ослабление входного сигнала на частоте 60 Гц, дБ Частота первого провала фильтра: 10 или 30 или 60 Гц, $U_{CCA+}=5\text{ В}\pm 10\%$, $U_{CCD}=5\text{ В}\pm 10\%$, $U_{CCA-}=0\text{ В}/-5\text{ В}^4$, $U_{BIAS}=2,5\text{ В}/0\text{ В}^4$, $U_{REFIN(+)}=2,5\text{ В}$, $U_{REFIN(-)}=0\text{ В}$, $f_{CLK}=10\text{ МГц}$	NMR2	95	-	25 ± 10 -60 ± 3 85 ± 3

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Входной постоянный ток утечки по входам AN1(+), AN1(-), AN2(+), AN2(-), нА при $U_{CCA+} = 5 \text{ В} \pm 10 \%$, $U_{CCD} = 5 \text{ В} \pm 10 \%$, $U_{CCA-} = -5 \text{ В} \pm 10 \%$, $U_{BIAS} = 0 \text{ В}$, $U_{REFIN (+)} = 2,5 \text{ В}$, $U_{REFIN (-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	I_{LI}	-	1	25 ± 10 -60 ± 3 85 ± 3
Максимальное допустимое внешнее значение напряжения на выводе тока компенсации, В при $U_{CCA+} = 5 \text{ В} \pm 10 \%$, $U_{CCD} = 5 \text{ В} \pm 10 \%$, $U_{CCA-} = -5 \text{ В} \pm 10 \%$, $U_{BIAS} = 0 \text{ В}$, $U_{REFIN (+)} = 2,5 \text{ В}$, $U_{REFIN (-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	U_{OC}	$U_{CCA+} - 2$	-	25 ± 10 -60 ± 3 85 ± 3
Длительность тактового сигнала низкого уровня, нс ^{5, 6, 9)}	t_{CLK_L}	$0,4 \times t_{CLK}$	-	25 ± 10 -60 ± 3 85 ± 3
Длительность тактового сигнала высокого уровня, нс ^{5, 6, 9)}	t_{CLK_H}	$0,4 \times t_{CLK}$	-	25 ± 10 -60 ± 3 85 ± 3
Время нарастания сигналов на цифровых выходах, нс ⁵⁾	t_R	-	50	25 ± 10 -60 ± 3 85 ± 3
Время спада сигналов на цифровых выходах, нс ⁵⁾	t_F	-	50	25 ± 10 -60 ± 3 85 ± 3
Длительность отрицательно направленного импульса SYNC#, нс ⁵⁾	t_{w1}	1000	-	25 ± 10 -60 ± 3 85 ± 3
Время установления сигнала DRDY# по отношению к сигналу RFS# (режим самотактирования), нс ⁵⁾	t_{SU1}	0	-	25 ± 10 -60 ± 3 85 ± 3
Время удержания сигнала RFS# относительно снятия сигнала DRDY# (режим самотактирования), нс ⁵⁾	t_{H1}	0	-	25 ± 10 -60 ± 3 85 ± 3
Время установления входного сигнала на выводе A0 относительно сигнала RFS # (режим самотактирования), нс ⁵⁾	t_{SU2}	$2 \times t_{CLK}$	-	25 ± 10 -60 ± 3 85 ± 3

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инва. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1

	1	2	3	4	5
	Время удержания входного сигнала на выводе A0 относительно сигнала RFS# (режим самотактирования), нс ⁵⁾	t_{H2}	0	-	25±10 -60±3 85±3
	Время задержки первого отрицательного фронта SCLK после активации сигнала RFS# (режим самотактирования), нс ⁵⁾	t_{d1}	-	$4 \times t_{CLK} + 20$	25±10 -60±3 85±3
	Время доступа к данным (от отрицательного фронта сигнала RFS# до достоверного значения CP3) в режиме самотактирования, нс ⁵⁾	t_{A1}	-	$4 \times t_{CLK} + 20$	25±10 -60±3 85±3
	Время задержки установки достоверных данных на SDATA относительно отрицательного фронта сигнала SCLK (режим самотактирования), нс ⁵⁾	t_{d2}	$t_{CLK}/2$	$t_{CLK}/2 + 30$	25±10 -60±3 85±3
	Длительность части высокого уровня синхросигнала SCLK, (режим самотактирования), нс ⁵⁾	t_{WH1}	$t_{CLK}/2$ ⁷⁾	$t_{CLK}/2$ ⁷⁾	25±10 -60±3 85±3
	Длительность части низкого уровня синхросигнала SCLK, (режим самотактирования), нс ⁵⁾	t_{WL1}	$3 \times t_{CLK}/2$ ⁷⁾	$3 \times t_{CLK}/2$ ⁷⁾	25±10 -60±3 85±3
	Время установления сигнала A0 относительно сигнала TFS# (режим самотактирования), нс ⁵⁾	t_{SU3}	50	-	25±10 -60±3 85±3
	Время удержания сигнала A0 относительно сигнала TFS# (режим самотактирования), нс ⁵⁾	t_{H3}	0	-	25±10 -60±3 85±3
	Время задержки первого отрицательного фронта сигнала SCLK относительно фронта активации сигнала TFS# (режим самотактирования), нс ⁵⁾	t_{d3}	-	$(4 \times t_{CLK}) + 20$	25±10 -60±3 85±3
	Время удержания активного сигнала TFS# относительно последнего отрицательного фронта SCLK (режим самотактирования), нс ⁵⁾	t_{H4}	$4 \times t_{CLK}$	-	25±10 -60±3 85±3
	Время установления достоверного разряда внешних данных относительно положительного фронта SCLK# (режим самотактирования), нс ⁵⁾	t_{SU4}	0	-	25±10 -60±3 85±3

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Время удержания достоверного бита данных на линии SDATA относительно соответствующего отрицательного фронта сигнала SCLK (режим самотактирования), нс ⁵⁾	t_{H5}	10	-	25±10 -60±3 85±3
Время установления активного (низкого) уровня сигнала DRDY# относительно отрицательного фронта сигнала RFS# (режим внешнего тактирования), нс ^{5, 8)}	t_{SU5}	0	-	25±10 -60±3 85±3
Время удержания активным сигнала RFS# относительно (после) положительного фронта сигнала DRDY# (режим внешнего тактирования), нс ^{5, 8)}	t_{H6}	0	-	25±10 -60±3 85±3
Время установления сигнала A0 относительно отрицательного фронта сигнала RFS# (режим внешнего тактирования), нс ^{5, 8)}	t_{SU6}	$2 \times t_{CLK}$	-	25±10 -60±3 85±3
Время удержания входного сигнала A0 относительно положительного фронта сигнала RFS# (режим внешнего тактирования), нс ^{5, 8)}	t_{H7}	0	-	25±10 -60±3 85±3
Время доступа к данным (от отрицательного фронта сигнала RFS# до достоверных данных CPЗ на линии SDATA) в режиме внешнего тактирования, нс ^{5, 8)}	t_{A2}	-	$4 \times t_{CLK}$	25±10 -60±3 85±3
Время задержки установки достоверных данных на линии SDATA после отрицательного фронта соответствующего синхроимпульса на линии SCLK в режиме внешнего тактирования, нс ^{5, 8)}	t_{d4}	10	$(2 \times t_{CLK}) + 20$	25±10 -60±3 85±3
Длительность части высокого уровня синхросигнала SCLK при внешнем тактировании, нс ^{5, 8)}	t_{WH2}	$2 \times t_{CLK}$	-	25±10 -60±3 85±3

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1

1	2	3	4	5
Длительность части низкого уровня синхросигнала SCLK при внешнем тактировании, нс ^{5, 8)}	t_{WL2}	$2 \times t_{CLK}$	-	25 ± 10 -60 ± 3 85 ± 3
Время задержки перевода сигнала DRDY# на высокий уровень после последнего отрицательного фронта SCLK при операции чтения с внешним тактированием, нс ^{5, 8)}	t_{d5}	-	$t_{CLK} + 10$	25 ± 10 -60 ± 3 85 ± 3
Время удержания достоверных данных MP3 после последнего отрицательного фронта SCLK при операции чтения с внешним тактированием, нс ^{5, 8)}	t_{H8}	10	-	25 ± 10 -60 ± 3 85 ± 3
Время удержания сигналов RFS# или TFS# после последнего отрицательного фронта SCLK перед временным снятием активных сигналов RFS# или TFS# при чтении или записи слова за более, чем одну операцию в режиме внешнего тактирования, нс ^{5, 8)}	t_{H9}	10	-	25 ± 10 -60 ± 3 85 ± 3
Время удержания бита данных на линии SDATA достоверным после временного снятия активного сигнала RFS# при чтении слова за несколько операций в режиме внешнего тактирования, нс ^{5, 8)}	t_{H10}	-	$5 \times t_{CLK} / 2 + 50$	25 ± 10 -60 ± 3 85 ± 3
Время установления сигнала A0 относительно активного сигнала TFS# при внешнем тактировании, нс ^{5, 8)}	t_{SU7}	0	-	25 ± 10 -60 ± 3 85 ± 3
Время удержания сигнала A0 относительно активного сигнала TFS# при внешнем тактировании, нс ^{5, 8)}	t_{H11}	0	-	25 ± 10 -60 ± 3 85 ± 3
Время удержания активного сигнала TFS# после последнего отрицательного фронта SCLK при внешнем тактировании, нс ^{5, 8)}	t_{H12}	$4 \times t_{CLK}$	-	25 ± 10 -60 ± 3 85 ± 3
Время установления достоверных разрядов последовательных данных относительно (до) положительных фронтов соответствующих синхроимпульсов SCLK при выполнении записи с внешним тактированием, нс ^{5, 8)}	t_{SU8}	$2 \times t_{CLK} - t_{WH2}$	-	25 ± 10 -60 ± 3 85 ± 3

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 1

1	2	3	4	5
Время удержания достоверных разрядов последовательных данных относительно (после) отрицательных фронтов соответствующих синхроимпульсов SCLK при выполнении записи с внешним тактированием, нс ^{5, 8)}	t_{H13}	30	-	25±10 -60±3 85±3
Частота входного сигнала SCLK (режим внешнего тактирования), МГц ⁵⁾	f_{SCLK}	-	$f_{CLK}/5$	25±10 -60±3 85±3

- 1) Для выходных цифровых сигналов DRDY и SDATA.
- 2) Для входных цифровых сигналов.
- 3) Для выходных цифровых сигналов SCLK и SDATA.
- 4) Проверки проводятся при каждом значении режимов, разделённых знаком "/".
- 5) Параметры гарантируются конструкцией и не измеряются.
- 6) Период тактового сигнала $t_{CLK} = 1/f_{CLK}$.
- 7) Для этих сигналов приведены номинальные значения.
- 8) Частота входного сигнала SCLK при внешнем тактировании равна $f_{CLK}/5$.
- 9) Относится к сигналу MCLK IN.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

3.1.1 Значения электрических параметров микросхем 1273ПВ8Р и 1273ПВ9Р приведены в таблице 1а.

Таблица 1а – Электрические параметры микросхем 1273ПВ8Р и 1273ПВ9Р

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра				Температура среды, °С
		1273ПВ8Р		1273ПВ9Р		
		не менее	не более	не менее	не более	
1	2	3	4	5	6	7
Выходное напряжение низкого уровня, В ¹⁾ при $I_{OL} = 1,6$ мА, $U_{CCA+} = 5$ В \pm 5 %, $U_{CCD} = 5$ В \pm 5 %, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5$ В, $U_{REFIN(-)} = 0$ В, $f_{CLK} = 10$ МГц	U_{OL}	–	0,4	–	0,4	25 \pm 10 –60 \pm 3 85 \pm 3
Выходное напряжение высокого уровня, В ¹⁾ при $I_{OH} = 0,1$ мА, $U_{CCA+} = 5$ В \pm 5 %, $U_{CCD} = 5$ В \pm 5 %, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5$ В, $U_{REFIN(-)} = 0$ В, $f_{CLK} = 10$ МГц	U_{OH}	$U_{CCD}-1$	–	$U_{CCD}-1$	–	25 \pm 10 –60 \pm 3 85 \pm 3
Выходное опорное напряжение, В при $U_{CCA+} = 5$ В \pm 5 %, $U_{CCD} = 5$ В \pm 5 %, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5$ В, $U_{REFIN(-)} = 0$ В, $f_{CLK} = 10$ МГц	U_{REFO}	2,475	2,525	2,475	2,525	25 \pm 10 –60 \pm 3 85 \pm 3
Стабильность выходного опорного напряжения, мВ/В при $U_{CCA+} = 5$ В \pm 5 %, $U_{CCD} = 5$ В, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5$ В, $U_{REFIN(-)} = 0$ В, $f_{CLK} = 10$ МГц	ΔU_{REFO1}	–	2,0	–	1,0	25 \pm 10
		–	3,5	–	3,0	–60 \pm 3
		–	2,0	–	1,0	85 \pm 3
Стабильность выходного опорного напряжения при изменении тока нагрузки, мВ/мА при $U_{CCA+} = 5$ В \pm 5 %, $U_{CCD} = 5$ В \pm 5 %, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5$ В, $U_{REFIN(-)} = 0$ В, $f_{CLK} = 10$ МГц	ΔU_{REFO2}	–	1,5	–	1,5	25 \pm 10 –60 \pm 3 85 \pm 3

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 1а

1	2	3	4	5	6	7
Входной ток, мкА ²⁾ при $0\text{ В} < U_{\text{IN}} < 5,5\text{ В}$, $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{IL}	-10	10	-10	10	25 ± 10 -60 ± 3 85 ± 3
Выходной ток в состоянии «Выключено», мкА ³⁾ при $0 < U_{\text{OUT}} < U_{\text{CCD}}$, $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{OZ}	-10	10	-10	10	25 ± 10 -60 ± 3 85 ± 3
Ток проверки цепи датчика, мкА при $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{BO}	3	6	–	–	25 ± 10 -60 ± 3 85 ± 3
Выходной ток компенсации, мкА при $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	I_{CO}	16	24	16	24	25 ± 10 -60 ± 3 85 ± 3
Стабильность тока компенсации, нА/В при $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$K_{\text{I_LINE}}$	–	300	–	320	25 ± 10 -60 ± 3 85 ± 3
Стабильность тока компенсации при изменении тока нагрузки, нА/В при $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$K_{\text{I_LOAD}}$	–	390	–	410	25 ± 10 -60 ± 3 85 ± 3
Ток потребления от источника $U_{\text{CCA}+}$, мА при $U_{\text{CCA}+} = 5\text{ В} \pm 5\%$, $U_{\text{CCD}} = 5\text{ В} \pm 5\%$, $U_{\text{BIAS}} = U_{\text{CCA}+}/2$, $U_{\text{REFIN}(+)} = 2,5\text{ В}$, $U_{\text{REFIN}(-)} = 0\text{ В}$, $f_{\text{CLK}} = 10\text{ МГц}$	$I_{\text{CCA}+}$	–	5,2	–	5,2	25 ± 10 -60 ± 3 85 ± 3

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Продолжение таблицы 1а

1	2	3	4	5	6	7
Ток потребления от источника U_{CCD} , мА при $U_{CCA+} = 5 \text{ В} \pm 5 \%$, $U_{CCD} = 5 \text{ В} \pm 5 \%$, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5 \text{ В}$, $U_{REFIN(-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	I_{CCD}	–	14	–	14	25 ± 10 -60 ± 3 85 ± 3
Нелинейность, % от полной шкалы при частоте режекции фильтра $\leq 60 \text{ Гц}$, $U_{CCA+} = 5 \text{ В} \pm 5 \%$, $U_{CCD} = 5 \text{ В} \pm 5 \%$, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5 \text{ В}$, $U_{REFIN(-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	E_{L01}	-0,005	+0,005	-0,08	+0,08	25 ± 10 -60 ± 3 85 ± 3
Подавление синфазного сигнала, дБ при $U_{CCA+} = 5 \text{ В} \pm 5 \%$, $U_{CCD} = 5 \text{ В} \pm 5 \%$, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5 \text{ В}$, $U_{REFIN(-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	CMR	90	–	50	–	25 ± 10 -60 ± 3 85 ± 3
Максимальное значение положительного напряжения на входе при системной калибровке, В при $A_U = 1 \dots 128$, $U_{CCA+} = 5 \text{ В} \pm 5 \%$, $U_{CCD} = 5 \text{ В} \pm 5 \%$, $U_{BIAS} = U_{CCA+}/2$, $U_{REFIN(+)} = 2,5 \text{ В}$, $U_{REFIN(-)} = 0 \text{ В}$, $f_{CLK} = 10 \text{ МГц}$	FSC1	$(1,05 \times U_{REF})/A_U$	–	$(1,05 \times U_{REF})/A_U$	–	25 ± 10 -60 ± 3 85 ± 3
<p>1) Для выходных цифровых сигналов DRDY и SDATA. 2) Для входных цифровых сигналов. 3) Для выходных цифровых сигналов SCLK и SDATA.</p>						

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

3.2 Предельно допустимые режимы эксплуатации микросхем 1273ПВ1Р приведены в таблице 2.

Таблица 2а – Предельно допустимые и предельные режимы эксплуатации микросхем 1273ПВ1Р

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим	
		не менее	не более
1	2	3	4
Напряжение источника питания цифровой части СБИС АЦП относительно потенциала на выводе DGND, В	U_{CCD}	4,5	5,5
Положительное напряжение источника питания аналоговой части СБИС АЦП относительно потенциала на выводе AGND, В	U_{CCA+}	4,5	5,5
Отрицательное напряжение источника питания аналоговой части СБИС АЦП относительно потенциала на выводе AGND, В	U_{CCA-}	-5,5	-4,5
Напряжение на аналоговом входе V_{BIAS} , В	U_{BIAS}	-0,5	0,5
Входное опорное напряжение относительно потенциала на выводе AGND, В	U_{REF}	2,5	5
Напряжение на аналоговых входах относительно потенциала на выводе AGND, В	U_{IC}	$U_{CCA-} - 0,3^{*)}$	$U_{CCA+} + 0,3^{*)}$
Входной диапазон в однополярном режиме, В	U_{INDU}	0	$+U_{REF}$
Двуполярный входной диапазон, В	U_{INDB}	-	$\pm U_{REF}$
Напряжение низкого уровня на цифровых входах, В	U_{IL}	-0,25	0,8

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы 2

1	2	3	4
Напряжение высокого уровня на цифровых входах (кроме MCLK IN), В	U_{IH}	2	$U_{CCD}+0,3$
Напряжение высокого уровня на входе MCLK IN, В	U_{IH}	3,5	$U_{CCD}+0,3$
Выходной ток высокого уровня, мА	I_{OH}	-	0,1
Выходной ток низкого уровня, мА	I_{OL}	-	1,6
Тактовая частота (вход MCLK), МГц	f_{CLK}^{***}	0,4**	10

* Параметр – предельный.

** Гарантируется конструкцией.

*** Длительность фронтов нарастания и спада $5 \text{ нс} \pm 5 \%$ при изменении уровня сигнала от 0,5 В до 4,5 В.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инва. № дубл.	Подп. и дата

3.2.1 Предельно допустимые режимы эксплуатации микросхем 1273ПВ8Р и 1273ПВ9Р приведены в таблице 2а.

Таблица 2а – Предельно допустимые и предельные режимы эксплуатации микросхем 1273ПВ8Р и 1273ПВ9Р

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1	2	3	4	5	6
Напряжение источника питания цифровой части СБИС АЦП относительно потенциала на выводе DGND, В	U_{CCD}	4,75	5,25	-0,3	6,0
Положительное напряжение источника питания аналоговой части СБИС АЦП относительно потенциала на выводе AGND, В	U_{CCA+}	4,75	5,25	-0,3	6,0
Напряжение на аналоговом входе V_{BIAS} , В	U_{BIAS}	2,375	2,625	-	-
Входное опорное напряжение относительно потенциала на выводе AGND, В	U_{REF}	1,0	2,5	-0,3	6,0
Напряжение на аналоговых входах относительно потенциала на выводе AGND, В	U_{IC}	0*	$+U_{REF}$ *	-0,3*	6,0*
		$-U_{REF}$ **	$+U_{REF}$ **	-5,0**	6,0**
Входной диапазон в однополярном режиме, В	U_{INDU}	0	$+U_{REF}$	-	-
Двуполярный входной диапазон, В (для 1273ПВ9Р)	U_{INDB}	-	$\pm U_{REF}$	-	-
Напряжение низкого уровня на цифровых входах, В	U_{IL}	-0,25	0,8***	-0,3	-
Напряжение высокого уровня на цифровых входах (кроме MCLKIN), В	U_{IH}	2***	$U_{CCD}+0,3$	-	6,0
Напряжение высокого уровня на входе MCLKIN, В	U_{IH}	3,5***	$U_{CCD}+0,3$	-	6,0
Выходной ток высокого уровня, мА	I_{OH}	-	0,1	-	-
Выходной ток низкого уровня, мА	I_{OL}	-	1,6	-	-
Тактовая частота (вход MCLK), МГц	f_{CLK} ****	0,4***	10	-	-

* Для микросхемы 1273ПВ8Р.
 ** Для микросхемы 1273ПВ9Р.
 *** Гарантируется конструкцией.
 **** Длительность фронтов нарастания и спада $5 \text{ нс} \pm 5 \%$ при изменении уровня сигнала от 0,5 В до 4,5 В.

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

4 Условное графическое обозначение и назначение выводов ИС

4.1 Условное графическое обозначение микросхемы 1273ПВ1Р приведено на рисунке 1.

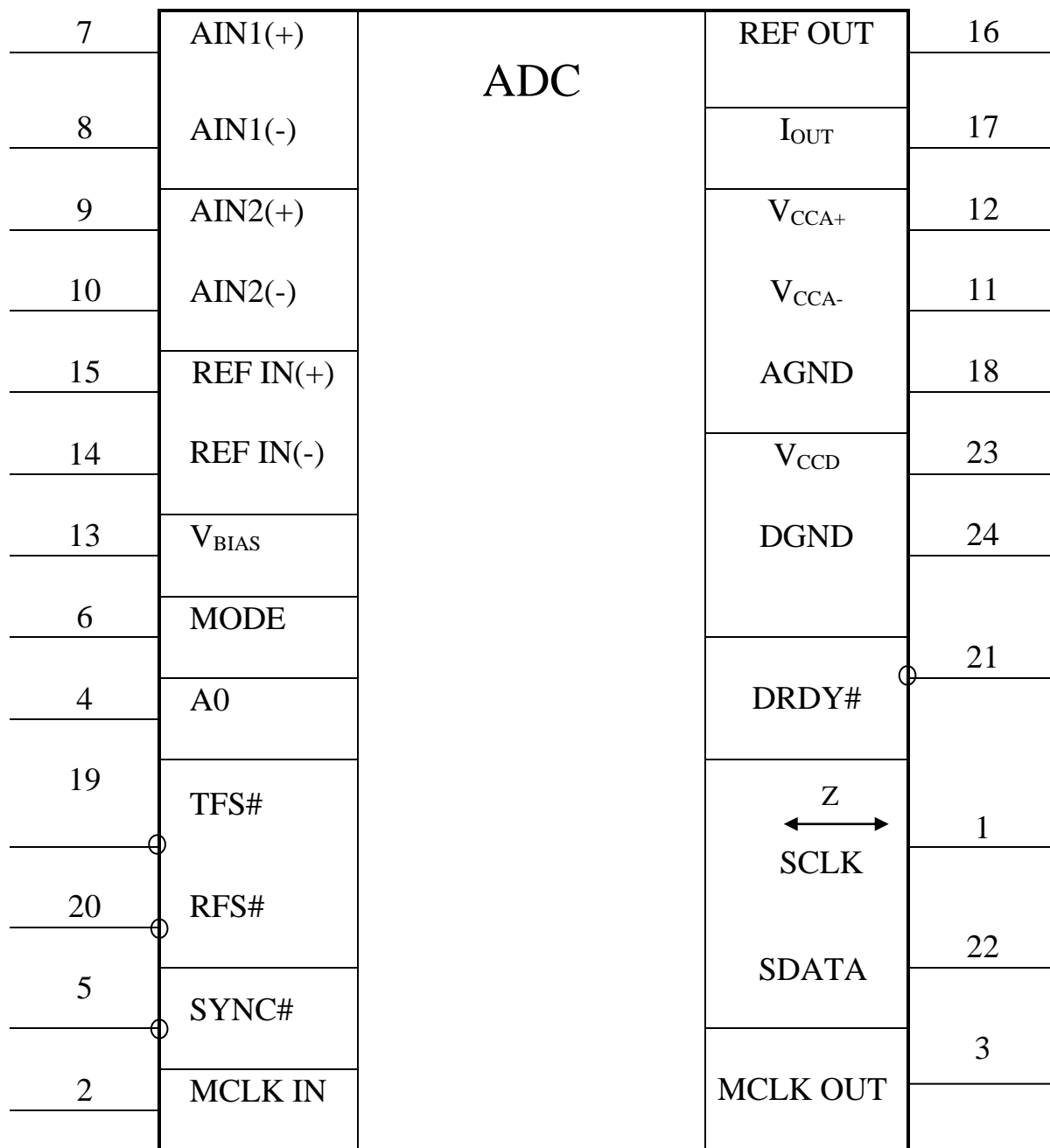


Рисунок 1- Условное графическое обозначение ИС 1273ПВ1Р

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

4.1.2 Условное графическое обозначение микросхем 1273ПВ8Р и 1273ПВ89Р приведено на рисунке 1а.

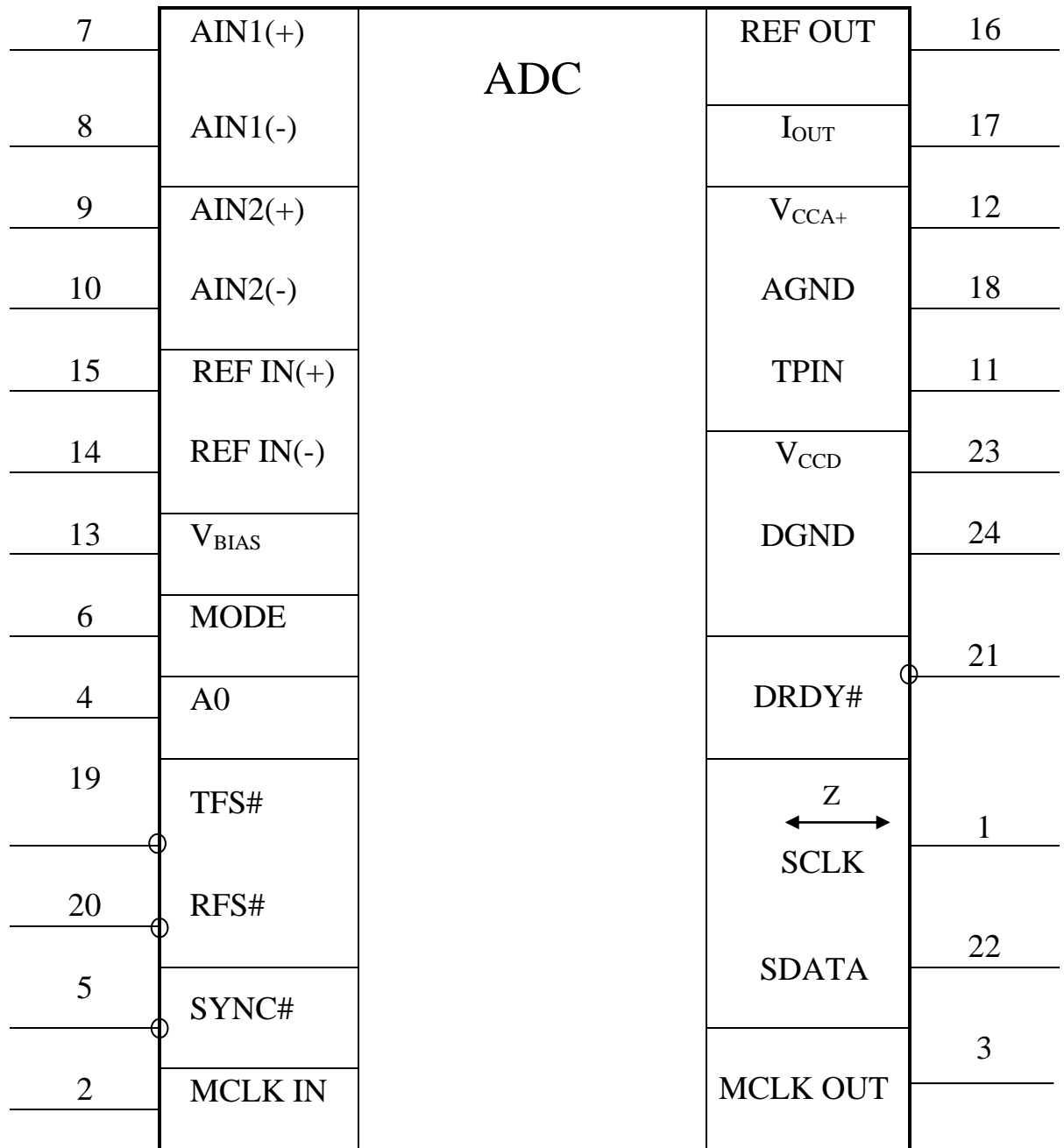


Рисунок 1а – Условное графическое обозначение ИС 1273ПВ8Р и 1273ПВ89Р

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

4.3 Назначение выводов микросхемы 1273ПВ1Р приведено в таблице 3.

Таблица 3 – Назначение выводов ИС 1273ПВ1Р

Номер вывода	Обозначение вывода	Назначение вывода
1	2	3
1	SCLK	Логический вход/выход на три состояния. Синхросигнал тактирования данных последовательного порта. Направление определяется уровнем сигнала на входе MODE. Если на входе MODE высокий уровень, то ИС – в режиме самотактирования и вывод SCLK – выходной. Синхросигнал на выводе SCLK активируется, когда ко входу TFS# или RFS# прикладывается активный сигнал низкого уровня и переходит в высокоимпедансное состояние, когда TFS# или RFS# возвращается на высокий уровень или, когда АЦП завершил передачу выходного слова. Если на входе MODE – низкий уровень, ИС – в режиме внешнего тактирования и вывод SCLK функционирует как входной. Этот последовательный входной синхросигнал может быть непрерывным в течение времени передачи всей информации, а может состоять из пакетов импульсов при передаче информации частями.
2	MCLK IN	Логический вход синхросигнала ИС. Синхросигнал может быть обеспечен подключением кварцевого резонатора между выводами MCLK IN и MCLK OUT. Альтернативный вариант – подача на вход MCLK IN внешнего КМОП-совместимого синхросигнала, при этом вывод MCLK OUT остается неподключенным. Номинальная частота синхросигнала 10 МГц.
3	MCLK OUT	Когда синхросигнал для ИС вырабатывается кварцевым резонатором, то он включается между выводами MCLK IN и MCLK OUT.
4	A0	Логический вход адреса. При низком уровне сигнала на этом входе операции чтения и записи относятся к регистру управления. В противном случае операция относится к регистру данных или калибровки.
5	SYNC#	Логический вход, позволяющий синхронизировать цифровые фильтры при одновременном использовании нескольких ИС 1273ПВ1Р, производя начальную установку провалов цифрового фильтра. Активный уровень сигнала – низкий.
6	MODE	Логический вход – определяет режим тактирования цифрового интерфейса. Если уровень сигнала высокий, то режим самотактирования; если – низкий, то режим внешнего тактирования.
7	AIN1(+)	Неинвертирующий аналоговый вход дифференциального входного канала 1. Вход AIN1(+) внутренне соединен с источником выходного тока, который может быть использован для проверки исправности внешнего преобразователя – источника аналогового сигнала и проверки его подключения.
8	AIN1(-)	Инвертирующий аналоговый вход дифференциального входного канала 1.
9	AIN2(+)	Неинвертирующий аналоговый вход дифференциального входного канала 2.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 3

1	2	3
10	AIN2(-)	Инвертирующий аналоговый вход дифференциального входного канала 2.
11	V _{CCA-}	Аналоговое отрицательное напряжение питания U _{CCA-} (от 0 до минус 5 В). Если ИС используется с единственным источником питания (положительным), то вывод V _{CCA-} должен быть подключен к выводу AGND. Входное напряжение на входах AIN1 и AIN2 может быть более отрицательным, чем напряжение питания U _{CCA-} на 30 мВ, но не более, в противном случае, ИС не будет функционировать корректно.
12	V _{CCA+}	Аналоговое положительное напряжение питания: U _{CCA+} = 5 В.
13	V _{BIAS}	Аналоговый вход напряжения смещения. Величина этого напряжения должна удовлетворять следующим неравенствам: $U_{BIAS} + 0,85 \times U_{REF} < U_{CCA+}$ и $U_{BIAS} - 0,85 \times U_{REF} > U_{CCA-}$, где $U_{REF} = U_{REFIN(+)} - U_{REFIN(-)}$. Предпочтительнее, чтобы значение U _{BIAS} равнялось напряжению, равноудаленному от U _{CCA+} и U _{CCA-} (то есть напряжению точки на оси напряжений, лежащей точно посередине между U _{CCA+} и U _{CCA-}). Например, если U _{CCA+} =5 В, U _{CCA-} =0 В, то V _{BIAS} может быть подключен к выходу опорного напряжения REF OUT; при U _{CCA+} =5 В и U _{CCA-} =-5 В, V _{BIAS} может быть подключен к выводу AGND.
14	REF IN(-)	Аналоговый инвертирующий вход опорного напряжения. Напряжение на этом входе может быть равно любому значению из диапазона: от U _{CCA-} до U _{CCA+} , но при этом должно быть соблюдено условие: $U_{REFIN(-)} < U_{REFIN(+)}$.
15	REF IN(+)	Неинвертирующий вход опорного напряжения. Напряжение на этом входе может быть равно любому значению из диапазона: от U _{CCA-} до U _{CCA+} , но при этом должно быть соблюдено условие: $U_{REFIN(+)} > U_{REFIN(-)}$.
16	REF OUT	Выход источника опорного напряжения (номинальное значение: 2,5 В относительно AGND). Выход обеспечивает ток во внешнюю нагрузку до 1 мА.
17	I _{OUT}	Аналоговый выход компенсационного тока. Данный вывод является источником постоянного тока (номинальная величина: 20 мкА). Ток может быть использован во внешней цепи. Включается и выключается через запись в регистр управления.
18	AGND	«Общий» аналоговых цепей ИС.
19	TFS#	Логический вход синхросигнала передачи. Активен низким уровнем. Предназначен для записи последовательных данных в ИС. Данные должны поступать после отрицательного фронта TFS#. В режиме самотактирования последовательный синхросигнал SCLK начинает вырабатываться микросхемой после перевода TFS# на низкий уровень. В режиме внешнего тактирования сигнал TFS# должен быть переведен на низкий уровень до записи первого бита слова данных в ИС.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 3

1	2	3
20	RFS#	Логический вход синхросигнала приема. Активен низким уровнем. Предназначен для чтения последовательных данных из ИС. В режиме самотактирования последовательный синхросигнал SCLK и последовательные данные становятся активными после перевода RFS# на низкий уровень. В режиме внешнего тактирования сигнал последовательных данных SDATA становится активным после перевода сигнала RFS# на низкий уровень.
21	DRDY#	Логический выход. Отрицательный фронт DRDY# указывает, что новое выходное слово готово для передачи. DRDY# возвращается на высокий уровень после завершения передачи полного слова данных. DRDY# низкого уровня используется также для сообщения о том, что АЦП завершил процедуру калибровки.
22	SDATA	Логический вход/выход на три состояния последовательных данных, через который последовательные данные записываются в регистр управления или регистр калибровки, а также читаются из регистра управления, регистра калибровки или регистра данных. При операции чтения выходных данных линия последовательных данных (SDATA) становится активной после перевода сигнала RFS# на низкий уровень (предполагается, что сигнал DRDY# – низкий). При операции записи истинные последовательные данные ожидаются в моменты положительных фронтов синхросигнала SCLK при низком уровне сигнала TFS#. Кодировка выходных данных в однополярном режиме - обычная двоичная; в биполярном режиме – смещенная двоичная.
23	V _{CCD}	Напряжение питания цифровых цепей U _{CCD} =5 В. Для нормальной работы напряжение питания U _{CCD} не должно превышать напряжение питания U _{CCA+} более, чем на 0,3 В.
24	DGND	«Общий» цифровых цепей ИС.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инва. № дубл.	Подп. и дата

4.3.1 Назначение выводов микросхем 1273ПВ8Р,1237ПВ9Р приведено в таблице 3а.

Таблица 3а – Назначение выводов ИС 1273ПВ8Р, 1273ПВ9Р

Номер вывода	Обозначение	Назначение вывода
1	2	3
1	SCLK	Логический вход/выход на три состояния. Синхросигнал тактирования данных последовательного порта. Направление определяется уровнем сигнала на входе MODE. Если на входе MODE высокий уровень, то ИС – в режиме самотактирования и вывод SCLK – выходной. Синхросигнал на выводе SCLK активируется, когда ко входу TFS# или RFS# прикладывается активный сигнал низкого уровня и переходит в высокоимпедансное состояние, когда TFS# или RFS# возвращается на высокий уровень или, когда АЦП завершил передачу выходного слова. Если на входе MODE – низкий уровень, ИС – в режиме внешнего тактирования и вывод SCLK функционирует как входной. Этот последовательный входной синхросигнал может быть непрерывным в течение времени передачи всей информации, а может состоять из пакетов импульсов при передаче информации частями.
2	MCLK IN	Логический вход синхросигнала ИС. Синхросигнал может быть обеспечен подключением кварцевого резонатора между выводами MCLK IN и MCLK OUT. Альтернативный вариант – подача на вход MCLK IN внешнего КМОП-совместимого синхросигнала, при этом вывод MCLK OUT остается неподключенным. Номинальная частота синхросигнала 10 МГц.
3	MCLK OUT	Когда синхросигнал для ИС вырабатывается кварцевым резонатором, то он включается между выводами MCLK IN и MCLK OUT.
4	A0	Логический вход адреса. При низком уровне сигнала на этом входе операции чтения и записи относятся к регистру управления. В противном случае операция относится к регистру данных или калибровки.
5	SYNC#	Логический вход, позволяющий синхронизировать цифровые фильтры при одновременном использовании нескольких микросхем, производя начальную установку провалов цифрового фильтра. Активный уровень сигнала – низкий.
6	MODE	Логический вход – определяет режим тактирования цифрового интерфейса. Если уровень сигнала высокий, то режим самотактирования; если – низкий, то режим внешнего тактирования.
7	AIN1(+)	Неинвертирующий аналоговый вход дифференциального входного канала 1. Вход AIN1(+) внутренне соединен с источником выходного тока, который может быть использован для проверки исправности внешнего преобразователя – источника аналогового сигнала и проверки его подключения.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 3а

1	2	3
8	AIN1(-)	Инвертирующий аналоговый вход дифференциального входного канала 1.
9	AIN2(+)	Неинвертирующий аналоговый вход дифференциального входного канала 2.
10	AIN2(-)	Инвертирующий аналоговый вход дифференциального входного канала 2.
11	TPIN	Технологический вывод. Должен быть подключен к выводу AGND.
12	V _{CCA+}	Аналоговое положительное напряжение питания: U _{CCA+} = 5 В.
13	V _{BIAS}	Аналоговый вход напряжения смещения. Величина этого напряжения должна быть равна U _{CCA+} / 2.
14	REF IN(-)	Аналоговый инвертирующий вход опорного напряжения. На этом входе должно быть соблюдено условие: U _{REFIN(+)} - U _{REFIN(-)} = 2,5 В.
15	REF IN(+)	Неинвертирующий вход опорного напряжения. На этом входе должно быть соблюдено условие: U _{REFIN(+)} - U _{REFIN(-)} = 2,5 В.
16	REF OUT	Выход внутреннего источника опорного напряжения (номинальное значение: 2,5 В относительно AGND). Выход обеспечивает ток во внешнюю нагрузку до 1 мА.
17	I _{OUT}	Аналоговый выход компенсационного тока. Данный вывод является источником постоянного тока (номинальная величина: 20 мкА). Ток может быть использован во внешней цепи. Включается и выключается через запись в регистр управления.
18	AGND	«Общий» аналоговых цепей ИС.
19	TFS#	Логический вход синхросигнала передачи. Активен низким уровнем. Предназначен для записи последовательных данных в ИС. Данные должны поступать после отрицательного фронта TFS#. В режиме самотактирования последовательный синхросигнал SCLK начинает вырабатываться микросхемой после перевода TFS# на низкий уровень. В режиме внешнего тактирования сигнал TFS# должен быть переведен на низкий уровень до записи первого бита слова данных в ИС.
20	RFS#	Логический вход синхросигнала приема. Активен низким уровнем. Предназначен для чтения последовательных данных из ИС. В режиме самотактирования последовательный синхросигнал SCLK и последовательные данные становятся активными после перевода RFS# на низкий уровень. В режиме внешнего тактирования сигнал последовательных данных SDATA становится активным после перевода сигнала RFS# на низкий уровень.
21	DRDY#	Логический выход. Отрицательный фронт DRDY# указывает, что новое выходное слово готово для передачи. DRDY# возвращается на высокий уровень после завершения передачи полного слова данных. DRDY# низкого уровня используется также для сообщения о том, что АЦП завершил процедуру калибровки.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 3а

1	2	3
22	SDATA	Логический вход/выход последовательных данных на три состояния, через который последовательные данные записываются в регистр управления или регистр калибровки, а также читаются из регистра управления, регистра калибровки или регистра данных. При операции чтения выходных данных линия последовательных данных (SDATA) становится активной после перевода сигнала RFS# на низкий уровень (предполагается, что сигнал DRDY# – низкий). При операции записи истинные последовательные данные ожидаются в моменты положительных фронтов синхросигнала SCLK при низком уровне сигнала TFS#. Кодировка выходных данных в однополярном режиме – обычная двоичная; в двуполярном режиме – смещенная двоичная.
23	V _{CCD}	Напряжение питания цифровых цепей U _{CCD} = 5 В. Для нормальной работы напряжение питания U _{CCD} не должно превышать напряжение питания U _{CCA+} более, чем на 0,3 В.
24	DGND	«Общий» цифровых цепей ИС.

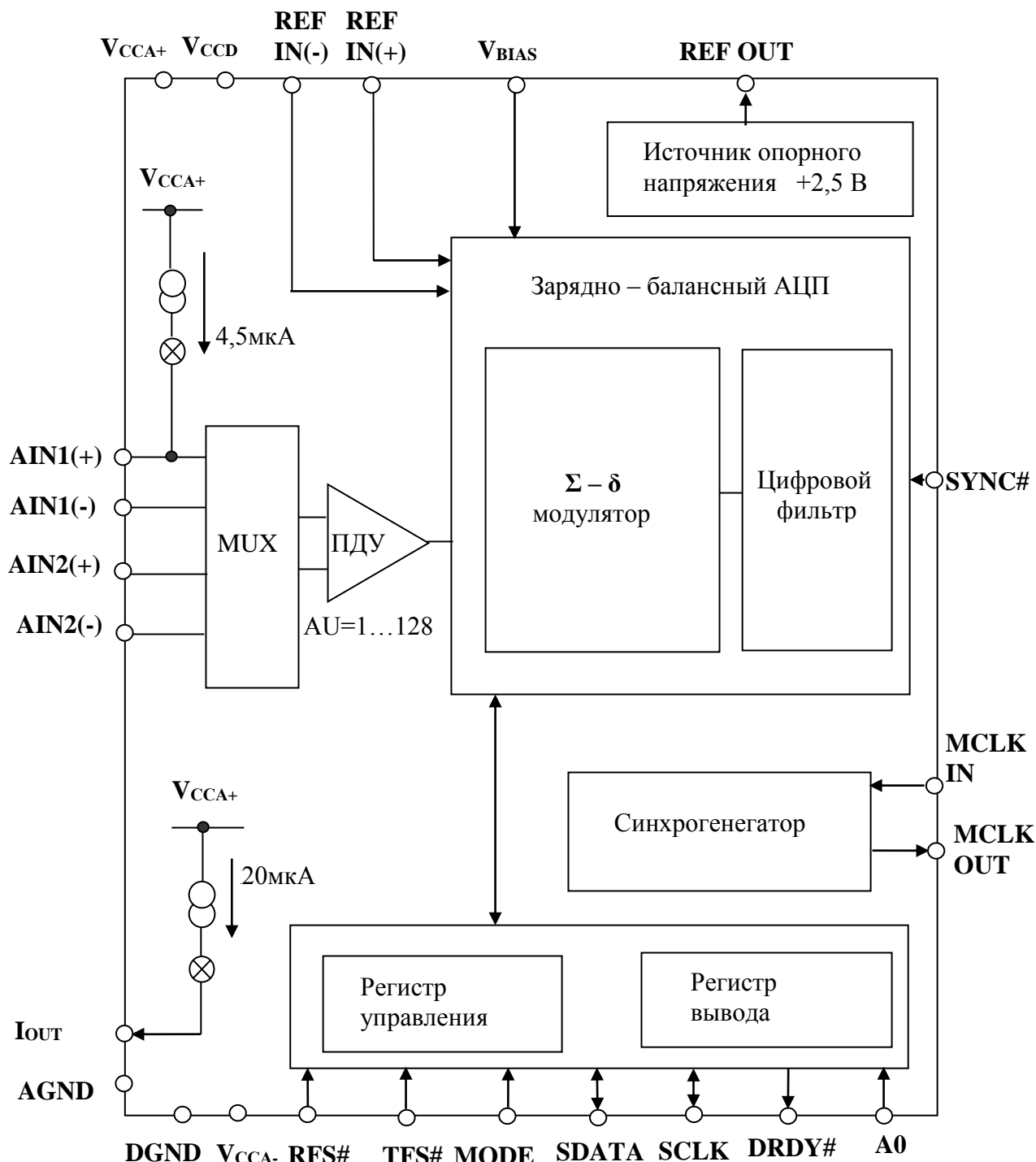
Примечание – В графе «Обозначение вывода» знак «#» в конце обозначения означает, что активный уровень сигнала – низкий.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инва. № дубл.	Подп. и дата

5 Устройство и работа ИС

5.1 Блок – схема

Блок – схема АЦП 1273ПВ1Р приведена на рисунке 2.

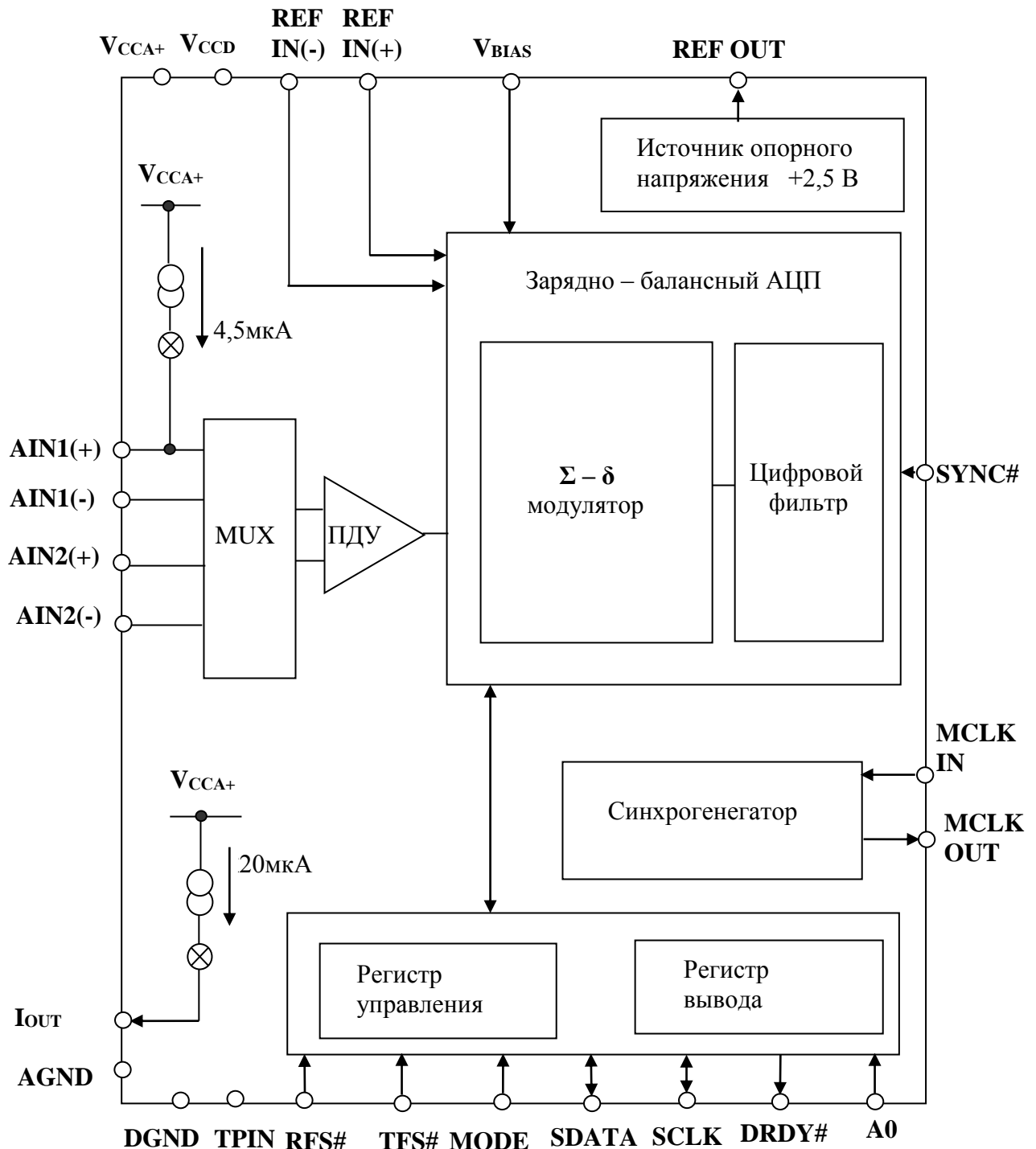


ПДУ – дифференциальный усилитель с программируемым коэффициентом усиления A_U .

Рисунок 2 – Упрощённая блок – схема ИС 1273ПВ1Р

Ив. № подл.	Подп. и дата	Взам. Ив. №	Ив. № дубл.	Подп. и дата

Блок – схема АЦП 1273ПВ8Р и 1273ПВ9Р приведена на рисунке 2а.



ПДУ – дифференциальный усилитель с программируемым коэффициентом усиления A_U . Возможные значения A_U для ИС 1273ПВ8Р: 1, 2, 4, 8, 16, 32, 64, 128; для ИС 1273ПВ9Р: 1 или 2.

Рисунок 2а – Упрощённая блок – схема ИС 1273ПВ8Р, 1273ПВ9Р

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Основная схема включения описываемых микросхем показана на рисунке 3. Здесь ИС включена в режиме самотактирования, оба вывода питания V_{CCA+} и V_{CCD} подключены к источнику аналогового питания 5 В. В некоторых применениях используются различные источники питания для V_{CCA+} и V_{CCD} .

В микросхемах 1273ПВ1Р и 1273ПВ8Р предусмотрена возможность проведения нескольких вариантов калибровки. Процедура калибровки запускается через соответствующую запись в регистр управления. Калибровочный цикл может быть инициирован в любое время. Указанные ИС могут выполнять процедуру самокалибровки с помощью встроенных микроконтроллеров и статических ОЗУ, в которых хранятся параметры калибровки. Кроме того, у всех описываемых ИС: 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р, предусмотрена возможность выполнения системной калибровки. При этом, влияние других компонентов электронной схемы, используемых совместно с ИС АЦП, также может быть учтено для исключения напряжения смещения и ошибки усиления во входном канале с помощью проведения процедуры системной калибровки. В микросхемах 1273ПВ1Р и 1273ПВ8Р имеется, кроме того, режим фоновой калибровки, когда ИС систематически проводит самокалибровку и корректирует калибровочные коэффициенты. Если ИС находится в этом режиме пользователю нет нужды беспокоиться о периодическом вызове процедуры калибровки в процессе работы, например, при изменении температуры окружающей среды или изменении значения питающего напряжения.

Микросхемы предоставляет пользователю возможность доступа к регистрам калибровки микропроцессора, содержимое которых можно сосчитать, а также записать свои собственные значения калибровочных коэффициентов, ранее сохраненные в ЭППЗУ.

Микросхема 1273ПВ1Р может работать с одним источником питания. При этом аналоговое входное напряжение не должно опускаться ниже минус 30 мВ. Для преобразования отрицательных напряжений больших (по абсолютной величине) необходимо использовать двуполярный режим и отрицательное питание $U_{CCA-} = -5$ В.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

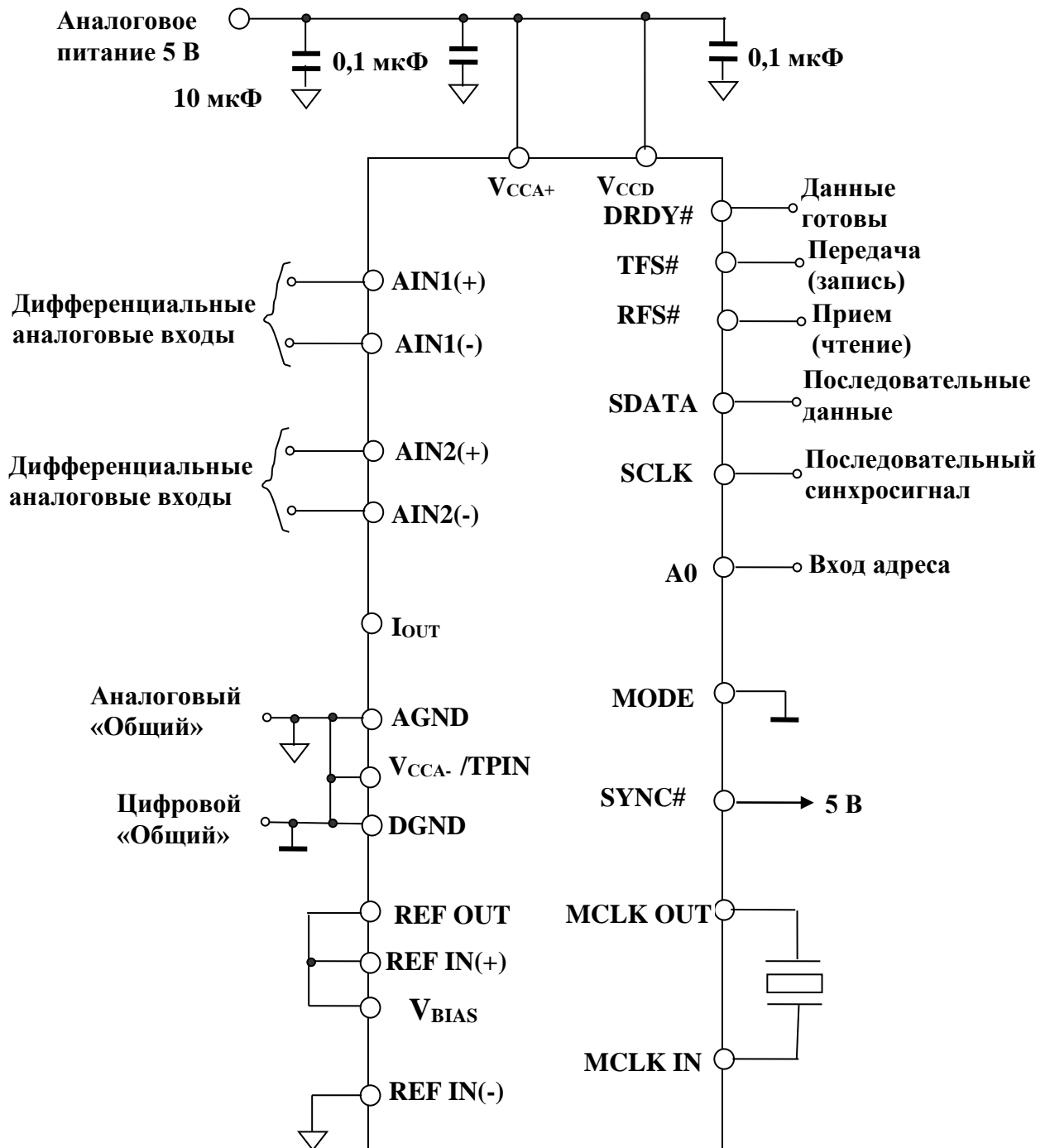


Рисунок 3 – Основная схема включения микросхем 1273PB1P, 1273PB8P, 1273PB9P (в режиме внешнего тактирования цифрового интерфейса)

Чтобы включить микросхемы в режиме самотактирования интерфейса, надо вывод MODE подключить к источнику напряжения «высокого» уровня.

Инов. № подл.	Подп. и дата
Взам. Инов. №	Инов. № дубл.
Подп. и дата	Подп. и дата

5.2 Регистр управления

Управление режимами работы ИС осуществляется через регистры управления. Если при нулевом потенциале на входе A0, выполняется операция записи в ИС, то запись производится в регистр управления. Размер регистра управления – 24 бита. Когда выполняется запись в регистр управления, должны записываться именно 24 бита, иначе данные не будут загружены в регистр управления. Иными словами, невозможно записать только первые 12 битов данных. Если, будут выработаны более 24 синхроимпульсов до возврата сигнала TFS# на высокий уровень, то все синхроимпульсы после 24-го будут проигнорированы. Аналогично, при операции чтения из регистра управления должны считываться 24 бита данных.

Регистр управления показан на рисунке 4.

MD2	MD1	MD0	G2	G1	G0	CH	PD	WL	IO	BO	B/U
FS11	FS10	FS9	FS8	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0

Рисунок 4 – Регистр управления

5.2.1 Биты MD2, MD1, MD0 задают рабочий режим. Кодировка режимов и их краткое описание приведены в таблице 4.

Таблица 4 – Кодировка рабочих режимов

Рабочий режим			Описание рабочего режима
MD2	MD1	MD0	
1	2	3	4
0	0	0	Нормальный режим. В этом режиме работы при выполнении операции чтения из ИС производится чтение из регистра данных. Настоящий код – это код по умолчанию, который устанавливается после внутреннего сброса по включению питания.
0	0	1	Запуск самокалибровки. Самокалибровка активируется по каналу, выбранному битом CH . Это одноступенчатая калибровка. После её завершения ИС возвращается в нормальный режим работы (биты MD2 , MD1 , MD0 переходят в состояние 000). Сигнал на выходе DRDY# указывает, что самокалибровка завершена. При калибровке этого типа калибровка нуля шкалы выполняется внутренне путем соединением входов накоротко; калибровка полной шкалы также выполняется внутренне с использованием UREF . Этот режим калибровки разрешен только для микросхем 1273ПВ1Р и 1273ПВ8Р. Для ИС 1273ПВ9Р самокалибровка не допускается.
0	1	0	Запуск системной калибровки. Калибровка активируется по каналу, выбранному битом CH . Это двухступенчатая калибровка, при которой на первом этапе выполняется калибровка нуля шкалы по выбранному каналу. Сигнал на выходе DRDY# сообщает, что калибровка нуля шкалы завершена. ИС возвращается в нормальный режим работы после выполнения первого этапа двухступенчатой последовательности.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 4

1	2	3	4
0	1	1	Запуск второго этапа системной калибровки. На втором этапе двухступенчатой последовательности системной калибровки – выполняется калибровка полной шкалы по выбранному каналу. Сигнал на выходе DRDY# сообщает, что калибровка полной шкалы завершена. ИС возвращается в нормальный режим работы
1	0	0	Запуск системной калибровки смещения нуля. Калибровка смещения нуля активируется по каналу, выбранному битом СН . Это одноступенчатая калибровка и, когда она завершается, ИС возвращается в нормальный режим работы. DRDY# сообщает, что калибровка нуля шкалы завершена. При калибровке по этому типу калибровка нуля шкалы выполняется по выбранному каналу системно, а калибровка полной шкалы выполняется внутренне с использованием U_{REF} . Этот режим калибровки разрешен только для ИС 1273ПВ1Р, 1273ПВ8Р. Для ИС 1273ПВ9Р этот вид калибровки не допускается.
1	0	1	Запуск фоновой калибровки. Фоновая калибровка активируется по каналу, выбранному битом СН . В режиме фоновой калибровки АЦП систематически выполняет самокалибровку, используя соединение входов накоротко и U_{REF} . Эта калибровка выполняется как часть процесса преобразования, увеличивая время преобразования и снижая скорость выдачи результатов в 6 раз. Главное достоинство этого вида калибровки в том, что пользователю не надо беспокоиться о дополнительной калибровке ИС при изменении температуры окружающей среды. В этом режиме производится постоянный мониторинг за смещением нуля, ошибкой полной шкалы, входным аналоговым напряжением и регистры калибровки систематически корректируются. Режим фоновой калибровки разрешен только для ИС 1273ПВ1Р, 1273ПВ8Р. Для ИС 1273ПВ9Р этот вид калибровки не допускается.
1	1	0	Чтение/запись коэффициента нуля шкалы. Считывание из ИС при высоком уровне на входе A0 даёт содержимое регистра калибровки нуля шкалы по выбранному каналу. Запись в ИС при высоком уровне на входе A0 заносит коэффициент в регистр калибровки нуля шкалы по выбранному каналу. Длина слова при чтении и записи этих коэффициентов равна 24 битам, вне зависимости от состояния бита WL регистра управления. Поэтому, при записи в регистр калибровки должны заноситься 24 бита; в противном случае данные не будут переданы в регистр калибровки.
1	1	1	Чтение/запись коэффициента полной шкалы. Считывание из ИС при высоком уровне на входе A0 даёт содержимое регистра калибровки полной шкалы по выбранному каналу. Запись в ИС при высоком уровне на входе A0 заносит коэффициент в регистр калибровки полной шкалы по выбранному каналу. Длина слова при чтении и записи этих коэффициентов равна 24 битам, вне зависимости от состояния бита WL регистра управления. Поэтому, при записи в регистр калибровки должны заноситься 24 бита; в противном случае данные не будут переданы в регистр калибровки.

5.2.2 Биты G2, G1, G0 регистра управления устанавливают коэффициент усиления по входному аналоговому каналу, выбранному битом СН. Кодировка этих битов и соответствующие им коэффициенты усиления приведены в таблице 5. Для ИС 1273ПВ1Р, 1273ПВ8Р разрешены все показанные коэффициенты усиления. Для ИС 1273ПВ9Р только коэффициенты 1 и 2.

Ив. № подл.	Подп. и дата	Взам. Ив. №	Ив. № дубл.	Подп. и дата

Таблица 5 – Кодировка коэффициентов усиления

G2	G1	G0	Коэффициент усиления
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

5.2.3 Бит SN регистра управления выбирает входной аналоговый канал следующим образом:

SN	КАНАЛ
0	AN1 (значение после включения питания)
1	AN2

5.2.4 Бит PD регистра управления выбирает режим потребления по питанию следующим образом:

PD	РЕЖИМ ПИТАНИЯ (только для ИС 1273ПВ1Р. Для ИС 1273ПВ8Р и 1273ПВ9Р программирование PD = 1 запрещено)
0	Нормальный (значение после включения питания)
1	Пониженное питание

5.2.5 Бит WL регистра управления выбирает длину выходного слова следующим образом:

WL	ДЛИНА ВЫХОДНОГО СЛОВА
0	16 бит (значение после включения питания)
1	24 бита

5.2.6 Бит IO регистра управления включает/выключает выходной ток компенсации следующим образом:

IO	ВЫХОДНОЙ ТОК КОМПЕНСАЦИИ
0	Выключен (значение после включения питания)
1	Включен

Инд. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

5.2.7 Бит ВО регистра управления включает/выключает выходной ток проверки следующим образом:

ВО	ВЫХОДНОЙ ТОК ПРОВЕРКИ
0	Выключен (значение после включения питания)
1	Включен

5.2.8 Бит В/У регистра управления выбирает режим работы преобразователя: однополярный/двуполярный следующим образом:

В/У	РЕЖИМ РАБОТЫ ПРЕОБРАЗОВАТЕЛЯ
0	Двуполярный
1	Однополярный

5.2.9 Биты FS11...FS0 регистра управления производят установку цифрового фильтра. Встроенный цифровой фильтр имеет амплитудно-частотную характеристику $(\sin X/X)^3$ (упрощенное обозначение Sinc^3). Биты FS11...FS0 регистра управления определяют частоту среза фильтра, частоту первого провала фильтра и частоту выдачи данных преобразователем. Совместно с выбранным коэффициентом усиления входного каскада эти биты определяют уровень выходного шума и, следовательно, эффективную разрешающую способность АЦП. Частота первого провала фильтра определяется выражением:

$$\text{ЧАСТОТА ПЕРВОГО ПРОВАЛА ФИЛЬТРА} = (f_{\text{CLK}} / 512) / \text{КОД},$$

где КОД – это десятичный эквивалент двоичного кода, записанного в разряды FS11...FS0 регистра управления. Для ИС 1273ПВ1Р диапазон допустимых значений битов FS11...FS0 равен: 2000...19. При номинальном значении частоты f_{CLK} , равном 10 МГц, диапазон расположения первого провала фильтра: от 9,76 Гц до 1028 Гц. Для ИС 1273ПВ8Р, 273ПВ9Р диапазоны допустимых значений битов FS11...FS0 и диапазоны частот первого провала фильтра указаны ниже:

Допустимые диапазоны битов FS11-FS0 регистра управления (двоичные значения)	Допустимые диапазоны битов FS11-FS0 регистра управления (десятичные значения)	Частота первого провала фильтра (при $f_{\text{CLK}} = 10$ МГц)	«Частота минус 3 дБ» для заданной частоты первого провала фильтра
0000_0001_0100... 0000_0001_0111	20...23	977...849	256...222
0000_0010_1000... 0000_0010_1111	40...47	488...416	128...109
0000_0101_0000... 0000_0101_1111	80...95	244...206	64...54
0000_1010_0000... 0000_1011_1111	160...191	122...102	32...27
0001_0100_0000... 0001_0111_1111	320...383	61...51	16...13
0010_1000_0000... 0010_1111_1111	640...767	31...25	8...7
0101_0000_0000... 0101_1111_1111	1280...1535	15...13	4...3

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Для нормального функционирования АЦП загружаемое в регистр управления значение битов FS11...FS0 должно находиться в пределах вышеуказанных диапазонов с учетом наименования ИС. Выход за пределы указанных диапазонов вызовет непредсказуемое поведение АЦП. Изменение частоты первого провала фильтра, также как и коэффициента усиления входного каскада оказывает влияние на разрешающую способность. В таблицах 6 и 7 приведена информация о зависимости эффективной разрешающей способности микросхем от частоты первого провала фильтра и коэффициента усиления входного каскада.

Частота вывода данных (или время преобразования) АЦП равно частоте, установленной для первого провала фильтра. Например, если частота первого провала фильтра установлена 50 Гц, то новые данные будут выдаваться с частотой 50 Гц или каждые 20 мс. Если частота первого провала фильтра установлена 1 кГц, то новое слово будет появляться каждую миллисекунду.

Время установления фильтра при скачкообразном изменении входного сигнала на величину всего диапазона равно, в худшем случае, $4 \times 1 / (\text{Частота вывода данных})$. Имеется в виду время установления до 100-процентного окончательного значения. Например, если частота первого провала фильтра установлена 50 Гц, то максимальное время установления фильтра при скачкообразном изменении входного сигнала на величину всего диапазона равно 80 мс. Если частота первого провала фильтра установлена 1 кГц, то максимальное время установления фильтра при максимальном скачке входного напряжения равно 4 мс. Время установления может быть уменьшено до значения: $3 \times 1 / (\text{Частота вывода данных})$ путем синхронизации изменения входного напряжения со сбросом цифрового фильтра. Другими словами, если скачкообразное изменение входного сигнала происходит во время, когда входной управляющий сигнал SYNC# находится на низком уровне, то время установления будет равно $3 \times 1 / (\text{Частота вывода данных})$. Если перед преобразованием проведена операция выбора другого входного канала, то время установления будет равно $3 \times 1 / (\text{Частота вывода данных})$, независимо от состояния сигнала SYNC#.

"Частота минус 3 дБ" фильтра определяется программированием частоты первого провала фильтра соотношением:

$$\text{"ЧАСТОТА МИНУС 3 ДБ" ФИЛЬТРА} = 0,262 \times \text{ЧАСТОТА ПЕРВОГО ПРОВАЛА}$$

В таблицах 6 и 7 даны сведения о среднеквадратичных значениях шума для ряда частот первого провала фильтра и, соответствующих им "частот минус 3 дБ" фильтра.

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Таблица 6 – Выходной шум АЦП в зависимости от коэффициента усиления и частоты первого провала фильтра

Частота первого полюса ¹⁾ фильтра (частота вывода данных)	"Частота минус 3 дБ" фильтра	Номинальное выходное среднеквадратичное напряжение шума, мкВ							
		A _U =1	A _U =2	A _U =4	A _U =8	A _U =16	A _U =32	A _U =64	A _U =128
10 Гц ²⁾	2,62 Гц	1,0	0,78	0,48	0,33	0,25	0,25	0,25	0,25
25 Гц ²⁾	6,55 Гц	1,8	1,1	0,63	0,5	0,44	0,41	0,38	0,38
30 Гц ²⁾	7,86 Гц	2,5	1,31	0,84	0,57	0,46	0,43	0,4	0,4
50 Гц ²⁾	13,1 Гц	4,33	2,06	1,2	0,64	0,54	0,46	0,46	0,46
60 Гц ²⁾	15,72 Гц	5,28	2,36	1,33	0,87	0,63	0,62	0,6	0,56
100 Гц ³⁾	26,2 Гц	13	6,4	3,7	1,8	1,1	0,9	0,65	0,65
250 Гц ³⁾	65,5 Гц	130	75	25	12	7,5	4	2,7	1,7
500 Гц ³⁾	131 Гц	0,6×10 ³	0,26×10 ³	140	70	35	25	15	8
1 кГц ³⁾	262 Гц	3,1×10 ³	1,6×10 ³	0,7×10 ³	0,29×10 ³	180	120	70	40

¹⁾ По включению питания частота первого провала фильтра устанавливается 60 Гц.

²⁾ Для указанных частот первого провала фильтра в выходном среднеквадратичном напряжении шума доминирует собственный шум ИС, поэтому он не зависит от величины опорного напряжения. Увеличение опорного напряжения, увеличивает разрешающую способность АЦП (отношение полного диапазона входного сигнала к среднеквадратичному напряжению шума увеличивается, т.к. выходной шум остается постоянным при увеличении диапазона входного сигнала).

³⁾ Для указанных частот первого провала фильтра в выходном среднеквадратичном напряжении шума доминирует шум квантования и, поэтому, выходной шум пропорционален величине опорного напряжения.

Таблица 7 – Эффективная разрешающая способность АЦП в зависимости от коэффициента усиления (A_U) и частоты первого провала фильтра

Частота первого полюса фильтра (частота вывода данных)	"Частота минус 3 дБ" фильтра	Эффективная разрешающая способность, ¹⁾ бит							
		A _U =1	A _U =2	A _U =4	A _U =8	A _U =16	A _U =32	A _U =64	A _U =128
10 Гц	2,62 Гц	22,5	21,5	21,5	21	20,5	19,5	18,5	17,5
25 Гц	6,55 Гц	21,5	21	21	20	19,5	18,5	17,5	16,5
30 Гц	7,86 Гц	21	21	20,5	20	19,5	18,5	17,5	16,5
50 Гц	13,1 Гц	20	20	20	19,5	19	18,5	17,5	16,5
60 Гц	15,72 Гц	20	20	20	19,5	19	18	17	16
100 Гц	26,2 Гц	18,5	18,5	18,5	18,5	18	17,5	17	16
250 Гц	65,5 Гц	15	15	15,5	15,5	15,5	15,5	15	14,5
500 Гц	131 Гц	13	13	13	13	13	12,5	12,5	12,5
1 кГц	262 Гц	10,5	10,5	11	11	11	10,5	10	10

¹⁾ Эффективная разрешающая способность определяется через отношение полного входного диапазона ($2 \times U_{REF}/A_U$) к среднеквадратичному напряжению шума:

$$\text{Э.Р.С.} = \log_2 ((2 \times U_{REF}/A_U)/U_{rms_ш}),$$

где Э.Р.С. – эффективная разрешающая способность, $U_{rms_ш}$ – средне-квадратичное напряжение шума. Выше приведенная таблица составлена для двуполярного режима при $U_{REF} = 2,5$ В; значения разрешающей способности округлены до 0,5 МР.

Числовые значения в таблицах 6 и 7 приведены для биполярного режима со значением опорного напряжения $U_{REF} = 2,5$ В. Эти значения (шума) являются типовыми и генерируются при входном аналоговом напряжении равном 0 В. Шум на выходе ИС имеет два источника. Первый – это электронный шум полупроводниковых приборов, из которых сконструирован модулятор (шум прибора). Второй – это шум квантования, который появляется в результате преобразования аналогового сигнала в цифровой. Шум прибора сравнительно мал и слабо зависит от частоты. Шум квантования на низкой частоте ещё меньше, однако, он резко возрастает с увеличением частоты и становится доминирующим источником шума. Следовательно, при фильтрах, запрограммированных на низкую частоту первого провала (ниже, приблизительно, 60 Гц) доминирующим источником шума является шум прибора, а при фильтрах, запрограммированных на более высокую частоту первого провала, доминирует шум квантования. Изменения частоты первого провала фильтра и частоты среза в области доминирования шума квантования приводят к более существенным изменениям шумовых характеристик, чем в области доминирования приборного шума, что отражено в таблице 6. Более того, шум квантования добавляется в схеме после программируемого дифференциального усилителя (ПДУ), поэтому, эффективная разрешающая способность не зависит от коэффициента усиления при программировании фильтров на высшие частоты (в разрешенном диапазоне). Напротив, шум прибора поступает в программируемый усилитель (ПДУ), поэтому, эффективная разрешающая способность несколько ухудшается при больших коэффициентах усиления, когда фильтр запрограммирован на низшие частоты.

При программировании первого провала фильтра на частоты ниже 60 Гц ИС обеспечивают разрешающую способность без потери кодов на уровне 24 битов. При программировании первого провала фильтра на более высокие частоты происходят потери кодов; при установке частоты первого провала фильтра равной 1 кГц разрешающая способность без потери кодов гарантируется только на уровне 12 бит. Однако, т.к. эффективное разрешение при такой установке фильтра составляет 10,5 бита, то такой уровень разрядности без потери кодов – это более чем хорошо для большинства применений.

Эффективная разрешающая способность АЦП определяется через отношение полного входного диапазона аналогового сигнала к среднеквадратичному напряжению шума на выходе (см. примечание к таблице 7). Она не остается постоянной с ростом коэффициента усиления и частоты. По сути, в таблице 7 приведены те же данные, что и в таблице 6, но в последней выходная информация представлена в виде эффективной разрешающей способности.

В АЦП можно выполнять постфильтрацию для увеличения скорости выдачи данных при заданной "частоте минус 3 дБ" и уменьшения выходного шума. Об этом – ниже, в разделе «Цифровой фильтр».

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

5.3 Принцип действия «сигма – дельта» АЦП

5.3.1 Блок – схема «сигма – дельта» АЦП

Сначала рассмотрим принцип работы АЦП типа «сигма – дельта» в общем случае. Блок – схема «сигма – дельта» АЦП приведена на рисунке 5. АЦП состоит из:

- усилителя с функцией выборки и хранения;
- дифференциального усилителя (вычитателя);
- аналогового фильтра НЧ;
- одноразрядного АЦП (компаратора);
- одноразрядного ЦАП;
- цифрового фильтра НЧ.

В процессе работы выборка аналогового сигнала подается к дифференциальному усилителю. Одновременно, на инвертирующий вход усилителя поступает сигнал с выхода одноразрядного ЦАП. Разностный сигнал фильтруется и подается на вход компаратора, выходной сигнал которого опрашивается с частотой многократно превышающей частоту Найквиста (удвоенное значение полосы частот входного сигнала) – принцип избыточной дискретизации.

Принцип избыточной дискретизации является основополагающим в работе «сигма – дельта» АЦП. По формуле определения шума квантования АЦП имеем:

$$SNR = (6,02 \times n + 1,76) \text{ дБ},$$

где SNR – отношение сигнал/шум;

n – число разрядов АЦП.

Таким образом, одноразрядный АЦП, иначе говоря, компаратор, дает значение $SNR = 7,78 \text{ дБ}$.

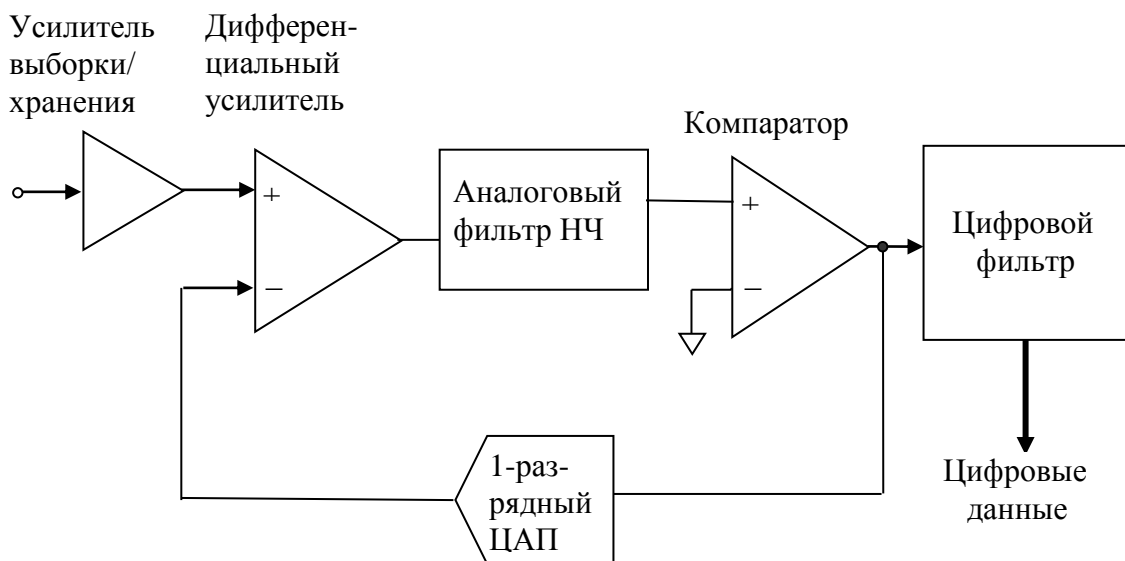


Рисунок 5 – Блок - схема «сигма – дельта» АЦП

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Теперь перейдем конкретно к «сигма – дельта» АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р. В этих АЦП частота выборки входного аналогового сигнала равна 39 кГц или большей величине (см. таблицу 8). В результате шум квантования «раздвигается» на значительно более широкую область, чем частотная полоса входного сигнала, соответственно снижается величина шума квантования. Кроме того, дальнейшее уменьшение шума в полосе частот входного сигнала производится благодаря аналоговой фильтрации в модуляторе – преобладающая часть энергии шума квантования удаляется (выдвигается) из полосы частот преобразуемых сигналов (иными словами, производится шейпинг шума, то есть придание ему специальной формы). В результате шумовая характеристика улучшается от уровня шума одноразрядного АЦП (см. формулу выше) до значений, указанных в таблице 6.

Выходной цифровой сигнал компаратора поступает на вход одноразрядного ЦАП. Таким образом, схема функционирует как система с отрицательной обратной связью, которая стремится минимизировать дифференциальный (разностный) сигнал. Цифровые данные, которые определяют значение входного аналогового сигнала, представлены скважностью последовательности импульсов на выходе компаратора. Цифровые данные могут быть восстановлены в виде параллельного слова на выходе цифрового фильтра.

«Сигма – дельта» АЦП обычно описываются номером порядка аналогового фильтра НЧ. Простой пример «сигма – дельта» АЦП первого порядка приведен на рисунке 6.

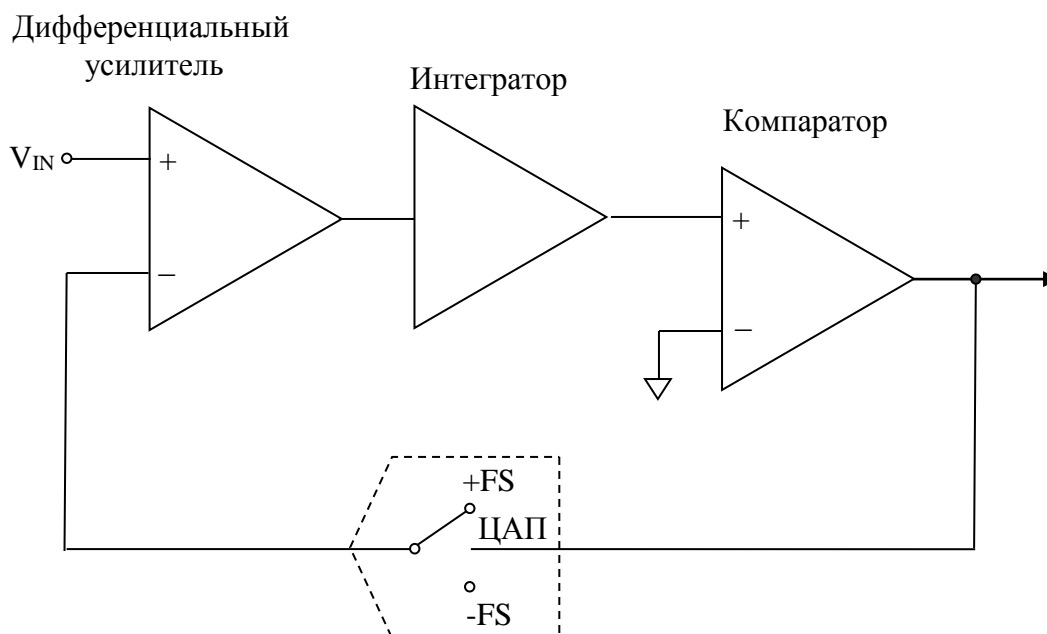


Рисунок 6 – Блок - схема «сигма – дельта» АЦП первого порядка

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Изображенный АЦП содержит фильтр НЧ только первого порядка (интегратор). АЦП состоит из: дифференциального усилителя (на его выходе – разность входного аналогового сигнала и одноразрядного ЦАП), интегратора и компаратора. «Сигма – дельта» АЦП ещё называют зарядно – балансным АЦП. Этот термин «зарядно – балансный» происходит из того факта, что такой АЦП представляет собой систему с отрицательной обратной связью, которая старается приблизить заряд на емкости интегратора к нулю с помощью компенсации (балансирования) заряда, поступающего от входного напряжения, зарядом вносимым одноразрядным ЦАП. Когда аналоговое входное напряжение равно нулю, единственным источником воздействия на интегратор остаётся одноразрядный ЦАП. Пытаясь приблизить заряд на конденсаторе интегратора к нулю, ЦАП должен половину времени выдавать к интегратору $+FS$ и половину времени $-FS$. Если, предположить, что компоненты схемы идеальны, то скважность цифрового сигнала на выходе компаратора будет равна 2.

Если аналоговое входное напряжение положительно, то для выполнения своей функции компенсации входного напряжения ЦАП должен пропорционально большую часть времени выдавать к интегратору $+FS$. При этом скважность цифрового сигнала на выходе компаратора будет уменьшаться (коэффициент заполнения увеличиваться). Если приложено отрицательное аналоговое входное напряжение, то скважность цифрового сигнала на выходе компаратора будет увеличиваться (коэффициент заполнения уменьшаться).

АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р использует сигма – дельта модулятор второго порядка и цифровой фильтр, который обеспечивает округление типа «скользящее среднее» выходного цифрового значения. После включения питания или ступенчатого изменения входного сигнала цифровому фильтру требуется время для установки, только после которого будут получены правильные данные.

5.3.2 Частота выборки входного сигнала

Частота, с которой работает модулятор в АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р остается постоянной и не зависит от значения коэффициента усиления. Она равна $f_{CLK}/512$, то есть 19,5 кГц при $f_{CLK}=10$ МГц. Эта частота является частотой выдачи цифровой информации к цифровому фильтру. Чтобы установить значение коэффициента усиления большим единицы, используется комбинация двух средств: увеличение числа выборок входного сигнала за один цикл модулятора и масштабирование отношения величины опорной емкости и входной емкости. Таким образом, частота выборки входного сигнала изменяется в зависимости от значения коэффициента усиления (см. таблицу 8).

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Таблица 8 – Частота выборки входного сигнала в зависимости от значения коэффициента усиления

Коэффициент усиления	Частота выборки входного сигнала
1	$f_{CLK}/256$ (39 кГц при $f_{CLK} = 10$ МГц)
2	$2 \times f_{CLK}/256$ (78 кГц при $f_{CLK} = 10$ МГц)
4	$4 \times f_{CLK}/256$ (156 кГц при $f_{CLK} = 10$ МГц)
8	$8 \times f_{CLK}/256$ (312 кГц при $f_{CLK} = 10$ МГц)
16	$8 \times f_{CLK}/256$ (312 кГц при $f_{CLK} = 10$ МГц)
32	$8 \times f_{CLK}/256$ (312 кГц при $f_{CLK} = 10$ МГц)
64	$8 \times f_{CLK}/256$ (312 кГц при $f_{CLK} = 10$ МГц)
128	$8 \times f_{CLK}/256$ (312 кГц при $f_{CLK} = 10$ МГц)

Эффективный входной импеданс АЦП равен $1/C \times f_s$, где C – входной конденсатор хранения, а f_s – частота выборки входного сигнала.

5.4 Цифровой фильтр

Цифровой фильтр микросхем ведет себя подобно аналоговому фильтру с некоторыми небольшими отличиями.

Первое, т.к. цифровая фильтрация выполняется после процесса аналого-цифрового преобразования, то она может удалить шум, привнесенный в процессе преобразования. Аналоговая фильтрация сделать этого не может.

С другой стороны, аналоговый фильтр может удалить шум, наложившийся на аналоговый сигнал до того, как он поступил на вход АЦП.

Цифровой фильтр не может сделать этого и всплески шумов, «оседлавшие» сигналы, близкие по величине к максимальному значению, могут ввести модулятор и цифровой фильтр в насыщение, даже, если среднее значение сигнала находится в допустимых пределах. Для частичного решения этой проблемы в АЦП (1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р) в модуляторе и цифровом фильтре предусмотрен запас, который допускает превышение границ входного аналогового диапазона на 5 %. Если сигналы шума больше вышеуказанных, то следует ввести дополнительную входную аналоговую фильтрацию или уменьшить входное напряжение канала так, чтобы его полный размах составлял половину специфицированного полного диапазона входного аналогового сигнала. Последняя мера дает возможность превышения границ этого уменьшенного входного напряжения более, чем на 100 % за счет уменьшения динамического диапазона на 1 бит (50 %).

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

5.4.1 Характеристики цифрового фильтра

Частота среза цифрового фильтра задаётся через регистр управления битами FS11...FS0. При максимальной частоте синхросигнала (10 МГц) минимальная частота среза фильтра равна 2,58 Гц (программируемая частота первого провала фильтра: 9,76 Гц), а максимальная программируемая частота среза фильтра – 269 Гц (частота первого провала фильтра: 1,028 КГц)

На рисунке 7 показана АЧХ цифрового фильтра, запрограммированного на частоту среза 2,62 Гц, что соответствует частоте первого полюса фильтра 10 Гц.

АЧХ фильтра имеет форму $(\text{Sin}X/X)^3$, которую ещё называют Sinc^3 (такой АЧХ соответствует прямоугольный импульсный отклик во временном домене, то есть выполняется функция «скользящего среднего»), и обеспечивает подавление сигнала на частотах 50 Гц и 60 Гц более 100 дБ.

Программирование фильтра на другие частоты среза через биты FS11...FS0 регистра управления не изменяет форму АЧХ, изменяются только частоты провалов фильтра (см. подраздел «Регистр управления»).

Так как, АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р имеют встроенный описываемый фильтр НЧ, то имеется и время установления фильтра при скачкообразном изменении входного сигнала: выходные данные станут правильными после скачкообразного изменения входного сигнала только по истечении времени установления. Время установления зависит от выбора частоты первого провала фильтра. Частота подготовки данных для вывода равна частоте первого провала фильтра, а время установления фильтра при скачке входного сигнала на величину полного диапазона входного сигнала равно учетверённому времени подготовки данных для вывода.

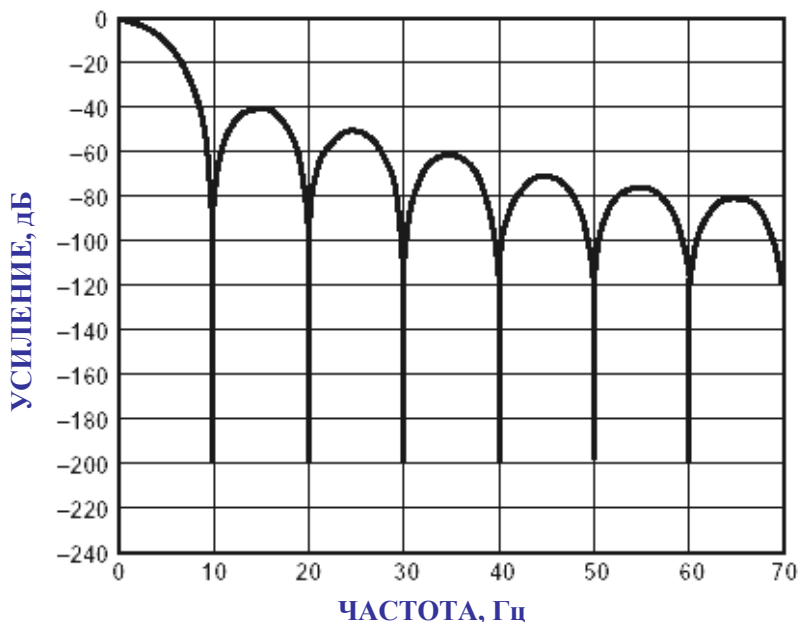


Рисунок 7 – АЧХ фильтра АЦП

При использовании обоих входных каналов, когда происходит переход от одного канала к другому фильтру должно быть предоставлено время установления. После чего возможно считывание выходных данных по вновь включённому каналу.

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

5.4.2 Дополнительная фильтрация

Модулятор описываемых микросхем осуществляет выборки на частоте 19,5 кГц и, соответственно, цифровой сигнал на выходе модулятора имеет эту частоту. Встроенный цифровой фильтр выполняет прореживание сигнала указанной частоты для понижения частоты выдачи выходных данных до уровня частоты первого провала фильтра. Поскольку частота выходного сигнала превышает критерий Найквиста (частота выборок исследуемого сигнала должна быть, как минимум, вдвое больше полосы частот исследуемого сигнала), то скорость вывода данных при заданной полосе частот входного сигнала является удовлетворительной для большинства пользователей. Однако, возможны случаи, которые требуют более высокой скорости вывода данных при заданной полосе частот входного сигнала и заданном уровне шума. Такие случаи требуют использования дополнительных внешних фильтров после цифрового фильтра АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р.

Например, задана полоса пропускания 7,86 Гц, а требуемая скорость вывода данных 100 Гц. Данные могут выводиться из АЦП с частотой 100 Гц при программировании "частоты минус 3 дБ" на значение 26,2 Гц. Здесь можно использовать дополнительный фильтр для сужения полосы пропускания до 7,86 Гц, а, значит, и уменьшения выходного шума до уровня, соответствующего полосе 7,86 Гц при сохранении частоты вывода данных 100 Гц.

Дополнительный внешний фильтр можно использовать также для уменьшения выходного шума для сигналов с полосой меньше 2,62 Гц. При коэффициенте усиления равном 128 выходное среднеквадратичное напряжение шума равно 250 нВ. Это, в сущности, шум прибора или белый шум – частотная характеристика имеет плоскую форму. Путем уменьшения полосы частот ниже 2,62 Гц можно снизить шум в полученной полосе пропускания. Уменьшение полосы пропускания в два раза приводит к уменьшению среднеквадратичного напряжения выходного шума в $\sqrt{2}$ раз. Следует учитывать, что дополнительная фильтрация может привести к увеличению времени установления.

5.4.3 Меры по предотвращению наложения спектров

Цифровой фильтр не обеспечивает никакого подавления на частотах, кратных частоте работы модулятора: $n \times 19,5$ кГц, где $n = 1, 2, 3 \dots$ (при дискретизации частотный спектр входного сигнала копируется и мультиплексируется на частотах, кратных частоте дискретизации). Это означает, что в частотном спектре выходного сигнала имеются полосы шириной $\pm f_{-3 \text{ дБ}}$ ($f_{-3 \text{ дБ}}$ – частота среза фильтра, задаваемая значением битов FS11...FS0), шум которых проходит на выход без ослабления. Однако, благодаря большому коэффициенту избыточной дискретизации (коэффициент избыточной дискретизации равен отношению частоты работы модулятора к удвоенной максимальной частоте входного сигнала) эти полосы занимают малую часть спектра и большая часть широкополосного шума отфильтровывается.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

В любом случае, благодаря большому коэффициенту избыточной дискретизации, простой однополюсный RC – фильтр на аналоговом входе достаточно эффективен для ослабления сигналов в вышеуказанных полосах частот и обеспечивает фильтрацию, противодействующую наложению спектров.

При установке пассивных компонентов на входе АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р следует соблюдать осторожность и следить за тем, чтобы импеданс источника входного сигнала ИС оставался достаточно низким, чтобы не привести к ошибке усиления в систему преобразования. Входной импеданс микросхем 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р имеет величину порядка 1 ГОм. Вход ИС представляет собой динамическую нагрузку, изменяющуюся в зависимости от частоты синхросигнала и выбранного коэффициента усиления (см. рисунок 8). Частота выборки входного сигнала, в соответствии с таблицей 8, определяет время заряда входной емкости выборки, C_{IN} . Подключение внешних RC – компонентов увеличивает время заряда C_{IN} , что может привести к ошибкам усиления. В таблице 9 (для микросхем 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р) приведены допустимые номиналы внешних резисторов и конденсаторов, установка которых не приведет к появлению ошибки усиления при 16-ти разрядном преобразовании, а в таблице 10 (для микросхем 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р) приведены допустимые номиналы внешних резисторов и конденсаторов, установка которых не приведет к появлению ошибки усиления при 20-ти разрядном преобразовании. Входные цепи обоих дифференциальных входных каналов одинаковы.



Рисунок 8 – Входной импеданс по аналоговому входу

Таблица 9 – Номиналы внешних резисторов и конденсаторов, установка которых не приведет к появлению ошибки усиления при 16-ти разрядном преобразовании

Коэффициент усиления	Внешняя емкость, пФ					
	0	50	100	500	1000	5000
1	184 кОм	45,3 кОм	27,1 кОм	7,3 кОм	4,1 кОм	1,1 кОм
2	88,6 кОм	22,1 кОм	13,2 кОм	3,6 кОм	2,0 кОм	560 Ом
4	41,4 кОм	10,6 кОм	6,3 кОм	1,7 кОм	970 Ом	270 Ом
8 - 128	17,6 кОм	4,8 кОм	2,9 кОм	790 Ом	440 Ом	120 Ом

Таблица 10 – Номиналы внешних резисторов и конденсаторов, установка которых не приведет к появлению ошибки усиления при 20-ти разрядном преобразовании

Коэффициент усиления	Внешняя емкость, пФ					
	0	50	100	500	1000	5000
1	145 кОм	34,5 кОм	20,4 кОм	5,2 кОм	2,8 кОм	700 Ом
2	70,5 кОм	16,9 кОм	10 кОм	2,5 кОм	1,4 кОм	350 Ом
4	31,8 кОм	8,0 кОм	4,8 кОм	1,2 кОм	670 Ом	170 Ом
8 - 128	13,4 кОм	3,6 кОм	2,2 кОм	550 Ом	300 Ом	80 Ом

Числа, приведенные выше в таблицах 9, 10, предполагают изменение входного аналогового сигнала на величину всего диапазона. В любом случае, ошибка, возникшая из-за увеличения времени заряда – это ошибка усиления, которая может быть устранена с помощью системной калибровки АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р.

5.5 Подробное описание аналоговых входов и выходов

5.5.1 Диапазоны сигналов на входных аналоговых каналах

Оба входных канала – дифференциальные, с программируемым коэффициентом усиления. Оба поддерживают как однополярный (для ИС 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р), так и двухполярный диапазон входных сигналов (для ИС 1273ПВ1Р, 1273ПВ9Р). Диапазон синфазных напряжений по обоим каналам: от $U_{ССА-}$ до $U_{ССА+}$ – для ИС 1273ПВ1Р и от AGND до $U_{ССА+}$ для ИС 1273ПВ8Р, 1273ПВ9Р. При этом дифференциальное напряжение на аналоговом входе может принимать значения от $(U_{ССА-} - 30)$ мВ до $(U_{ССА+} + 30)$ мВ – для ИС 1273ПВ1Р и от AGND до $U_{ССА+}$ – для ИС 1273ПВ8Р, 1273ПВ9Р.

Ивл. № подл.	Подп. и дата
Взам. Ивл. №	Ивл. № дубл.
Подп. и дата	Подп. и дата

Входной постоянный ток утечки не превышает ± 1 нА – для ИС 1273ПВ1Р и 2,5 нА – для ИС 1273ПВ8Р в диапазоне температур. Входной постоянный ток утечки для ИС 1273ПВ9Р существенно выше: 12 мкА (в диапазоне температур). Результатом этого тока является напряжение смещения постоянного тока, формирующееся на входном сопротивлении. Это смещение может быть компенсировано благодаря тому, что каналы имеют дифференциальные входы и АЦП способен выполнять системную калибровку.

5.5.2 Ток проверки внешней цепи датчика

Ко входу АIN1(+) микросхем (кроме 1273ПВ9Р) внутренне подключен источник постоянного тока 4,5 мкА, который может включаться и выключаться через регистр управления. Этот ток может использоваться для проверки внешней цепи датчика, то есть позволяет убедиться, что датчик не перегорел и, что нет обрыва в цепи его подключения, до попыток проводить измерения по этому каналу. Если ток включен и датчик подключен ко входу АIN1(+), то проведенное измерение может дать ответ на вопрос, подключен ли датчик и в порядке ли он. Если измерение с включенным источником тока проверки и подключенным датчиком даст как результат напряжение полной шкалы, значит датчик неисправен по типу «обрыв»; если результатом будет 0 В – неисправность датчика по типу «короткое замыкание». В режиме нормальной работы этот ток проверки должен быть выключен записью 0 в разряд ВО регистра управления.

5.5.3 Ток компенсации

Описываемые микросхемы, в случае применения АЦП совместно с термопарой, предоставляют пользователю возможность компенсации холодного спая термопары. Для этого можно использовать ток компенсации от вывода I_{OUT}. Этот ток может включаться и выключаться через регистр управления. Запись единицы в бит Ю регистра управления включает ток компенсации.

Ток компенсации является постоянным вытекающим током величиной 20 мкА, который, совместно с терморезистором или диодом, может быть использован для компенсации холодного спая термопары. Обычно, для компенсации холодного спая термопары используется температурно-зависимый ток, протекающий через постоянный резистор, для выработки напряжения равного напряжению на ветви холодного спая (в схеме измерения температуры на основе термопары) при любой температуре в ожидаемом диапазоне температур.

В нашем случае, напротив, применяется постоянный ток (ток компенсации), температурный коэффициент которого настолько мал по сравнению с температурным коэффициентом терморезистора (то есть коэффициентом изменения сопротивления в зависимости от температуры), что может считаться независимым от температуры. Изменения температуры отображаются изменением сопротивления терморезистора.

Обычно, компенсация холодного спая термопары осуществляется путем подачи напряжения компенсации ко второму входному каналу АЦП. Периодические преобразования по этому каналу дают пользователю значения, соответствующие напряжениям компенсации холодного спая, которые позволяют

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

пользователю проводить программную корректировку результатов измерений, получаемых по первому каналу (каналу термопары). Альтернативным вариантом является аппаратное решение – напряжение компенсации холодного спая вычитается на аналоговом входе. В последнем случае используется только один канал АЦП.

5.5.4 Аналоговые входные сигналы в однополярном и двуполярном режимах

5.5.4.1 Микросхема 1273ПВ1Р

На оба входных канала АЦП 1273ПВ1Р могут подаваться как однополярные, так и двуполярные сигналы для преобразования. Соответствующий режим работы АЦП устанавливается с помощью бита В/U регистра управления. В результате оба канала ориентируются на однополярный или двуполярный режим. Программирование режима никак не влияет на входные аналоговые цепи; оно изменяет кодировку выходных данных. В однополярном режиме кодировка выходных данных обычная двоичная; в двуполярном режиме – смещенная двоичная. Так как, входные каналы дифференциальные, то и однополярное и двуполярное напряжение на входе измеряется относительно входа АIN(–). Например, если напряжение на входе АIN(–) равно плюс 1,25 В, АЦП находится в однополярном режиме с коэффициентом усиления равным единице и $U_{REF} = 2,5\text{В}$, то диапазон входного напряжения на входе АIN(+): от плюс 1,25 В до плюс 3,75 В. Если напряжение на входе АIN(–) равно минус 1,25 В – АЦП находится в двуполярном режиме с коэффициентом усиления равным единице и $U_{REF} = 2,5\text{ В}$, то диапазон входного напряжения на входе АIN(+): от минус 1,25 В до плюс 3,75 В.

5.5.4.2 Микросхема 1273ПВ9Р

Микросхема 1273ПВ9Р имеет допустимый диапазон для выбора опорного напряжения меньший (чем ИС 1273ПВ1Р): от 1 В до 2,5 В. Поскольку, диапазон входного аналогового сигнала в обоих режимах работы (однополярный или двуполярный) ограничивается значением опорного напряжения, то максимальный входной диапазон ИС 1273ПВ9Р составляет:

- в однополярном режиме: от 0 В до +2,5 В;
- в двуполярном режиме: от –2,5 В до +2,5 В.

5.5.4.3 Микросхема 1273ПВ8Р

ИС 1273ПВ8Р предназначена для работы только с однополярным диапазоном входного аналогового сигнала. Максимальная величина входного диапазона определяется максимальным значением опорного напряжения. Таким образом, максимальный входной диапазон: от 0 В до +2,5 В.

5.5.5 Входы и выход опорного напряжения

Каждая из микросхем АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р содержит температурно-компенсированный источник опорного напряжения +2,5 В $\pm 1\%$ при нормальной температуре. Это опорное напряжение подключено к выводу

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.

REF OUT и может быть использовано преобразователем путем подключения к входу REF IN(+). Напряжение на выходе REF OUT однополярное (измеряется относительно «аналогового общего» AGND) и способно обеспечить ток во внешнюю нагрузку до 1 мА. Когда напряжение внутреннего источника REF OUT используется как опорное для АЦП (подключено к входу REF IN(+), вход REF IN(-) должен подключаться к выводу AGND для обеспечения номинального опорного напряжения плюс 2,5 В.

Входы опорного напряжения АЦП REF IN(+) и REF IN(-) являются дифференциальными. Допустимое синфазное напряжение на этих входах: от $U_{ССА-}$ до $U_{ССА+}$ (для ИС 1273ПВ1Р) и от AGND до $U_{ССА+}$ (для ИС 1273ПВ8Р, 1273ПВ9Р). Номинальное значение дифференциального опорного напряжения $U_{REF} = (U_{REF IN(+)} - U_{REF IN(-)})$ равно +2,5 В, но значение опорного напряжения может быть увеличено до +5 В без ухудшения характеристик, при условии, что напряжения на выводах REF IN(+) и REF IN(-) относительно AGND не выйдут за пределы $U_{ССА-}$ и $U_{ССА+}$ (для ИС 1273ПВ1Р), а напряжение на входе V_{BIAS} будет в установленных пределах (см. пункт 5.5.6). Для корректной работы АЦП напряжение на входе REF IN(+) должно быть всегда больше напряжения на входе REF IN(-).

Оба входа опорного напряжения представляют собой динамическую нагрузку с высоким импедансом, подобно аналоговым входам. Выходное сопротивление источника опорного напряжения должно быть достаточно малым, чтобы не вызвать ошибки усиления. Входные цепи входов опорного напряжения аналогичны входам AIN (см. рисунок 8).

Цифровой фильтр подавляет шум с входов опорного напряжения также, как и с входов измеряемого аналогового напряжения, и с теми же ограничениями, касающимися отсутствием подавления шума на частотах, кратных частоте выборок. Характеристики шума, приведенные в таблице 6 предполагают «чистое» (бесшумное) опорное напряжение. Если, в полосе частот измеряемого сигнала опорное напряжение «шумит», то это приведет к ухудшению характеристик АЦП. Использование внутреннего источника опорного напряжения (то есть, соединение выводов REF OUT и REF IN(+)) приводит к частичному ухудшению характеристики выходного шума АЦП там, где доминирует шум прибора (а не шум квантования), то есть, если частота первого провала фильтра ниже 60 Гц. Схема подключения внутреннего источника опорного напряжения приведена на рисунке 9. Из внешних источников опорного напряжения для АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р рекомендуются источники плюс 2,5 В: AD580 и AD680.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

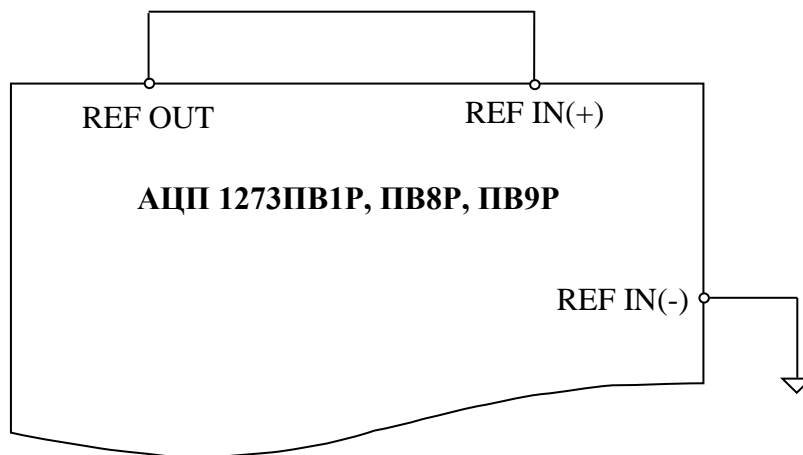


Рисунок 9 – Подключение внутреннего источника опорного напряжения

5.5.6 Вход напряжения смещения V_{BIAS}

5.5.6.1 ИС 1273PV1P

Напряжение на входе V_{BIAS} задает напряжение смещения внутренних аналоговых цепей. В сущности, оно определяет путь обратного аналогового тока, протекающего через модулятор. Следовательно, источник этого напряжения должен иметь малый выходной импеданс для минимизации ошибок.

Для максимального запаса устойчивости (запаса по выходу сигнала за допустимые пределы диапазона) внутренних цепей, напряжение U_{BIAS} должно быть установлено посередине между U_{CCA-} и U_{CCA+} . Разность между U_{CCA+} и $(U_{BIAS} + 0,85 \times U_{REF})$ определяет запас у верхнего предела диапазона, а разность между U_{CCA-} и $(U_{BIAS} - 0,85 \times U_{REF})$ определяет запас у нижнего предела диапазона. При выборе значения напряжения U_{BIAS} следует быть внимательным и убедиться, что выбранное значение находится внутри заданной области, то есть:

$U_{CCA+} > (U_{BIAS} + 0,85 \times U_{REF})$ и $U_{CCA-} < (U_{BIAS} - 0,85 \times U_{REF})$. При работе с единственным источником питания +5 В, значение U_{BIAS} должно удовлетворять неравенству:

$$U_{CCA+} - 0,85 \times U_{REF} > U_{BIAS} > U_{CCA-} + 0,85 \times U_{REF}$$

или, конкретно:

$U_{CCA+} - 2,1 \text{ В} > U_{BIAS} > U_{CCA-} + 2,1 \text{ В}$ (предполагается, что $U_{REF} = 2,5 \text{ В}$). При работе с двумя источниками питания: 5 В и -5 В, значение U_{BIAS} также должно удовлетворять неравенству:

$$U_{CCA+} - 0,85 \times U_{REF} > U_{BIAS} > U_{CCA-} + 0,85 \times U_{REF}$$

или, конкретно:

$$U_{CCA+} - 3 \text{ В} > U_{BIAS} > U_{CCA-} + 3 \text{ В}.$$

Следующий пример: $U_{CCA+} = 4,75 \text{ В}$, $U_{CCA-} = 0 \text{ В}$ и $U_{REF} = 2,5 \text{ В}$. Диапазон допустимых значений для U_{BIAS} : от плюс 2,125 В до плюс 2,625 В.

При $U_{CCA+} = 4,75 \text{ В}$, $U_{CCA-} = -4,75 \text{ В}$ и $U_{REF} = 2,5 \text{ В}$, диапазон допустимых значений для U_{BIAS} : от минус 2,625 В до плюс 2,625 В.

Интв. № подл.	Подп. и дата
Взам. Интв. №	Интв. № дубл.
Подп. и дата	Подп. и дата

Напряжение на входе V_{BIAS} влияет на коэффициент подавления помехи по питанию V_{CCA+} . Если напряжение U_{BIAS} отслеживает изменения напряжения питания U_{CCA+} (то есть U_{BIAS} изменяется соответственно изменениям U_{CCA+}), то коэффициент подавления помехи по питанию U_{CCA+} увеличивается с 80дБ до 95 дБ. Установка внешнего стабилитрона между шиной питания V_{CCA+} и входом V_{BIAS} как средства формирования напряжения смещения U_{BIAS} приводит к увеличению коэффициента подавления помехи по питанию U_{CCA+} .

5.5.6.2 ИС 1273ПВ8Р, 1273ПВ9Р

Для этих микросхем напряжение на входе напряжения смещения V_{BIAS} должно устанавливаться равным $U_{CCA+} / 2$.

5.6 Режимы калибровки

В АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р предусмотрена возможность проведения калибровки для устранения ошибок смещения и усиления. Программа калибровки должна запускаться, если происходит изменение температуры окружающей среды или напряжения питания. Процедура калибровки должна инициироваться также, если изменяется коэффициент усиления, частота первого провала фильтра или режим входного диапазона: однополярный или двухполярный (для ИС 1273ПВ1Р, 1273ПВ9Р). Кроме того, в АЦП 1273ПВ1Р, 1273ПВ8Р имеется режим фоновой калибровки, при котором калибровка выполняется периодически и отслеживать все вышеупомянутые изменения нет нужды.

АЦП 1273ПВ1Р, 1273ПВ8Р предлагает следующие виды калибровки:

- самокалибровка,
- системная калибровка,
- системная калибровка смещения,
- фоновая калибровка.

В АЦП 1273ПВ9Р возможна только системная калибровка.

Для выполнения калибровки по выбранному каналу встроенный микропроцессор должен зарегистрировать выходные данные модулятора при двух значениях входного сигнала. Это значения: «ноль шкалы» и «полная шкала». Имея эти значения, микропроцессор может вычислить наклон передаточной характеристики преобразователя. Внутренние вычисления АЦП проводит с разрешением в 33 разряда. Результат преобразуется в 16-ти или 24-х разрядный.

АЦП также предоставляет возможность пользователю производить запись во встроенные регистры калибровки. Используя эту возможность, пользователь может корректировать значения полного диапазона и смещения нуля. Регистр калибровки смещения содержит величину (коэффициент), которая вычитается из каждого результата преобразования. Регистр калибровки полной шкалы содержит величину (коэффициент), на которую умножается каждый результат преобразования. Сначала из результата вычитается коэффициент калибровки смещения, а затем полученный результат умножается на калибровочный коэффициент полной шкалы.

Во всех режимах калибровки, кроме фоновой, перевод сигнала $DRDY\#$ на низкий уровень сигнализирует о завершении процедуры калибровки. Если сигнал

Инт. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

DRDY# во время задания команды на калибровку находится на низком уровне или переходит на него, то ему может потребоваться до одного цикла модулятора, чтобы перейти на высокий уровень, указывающий на то, что АЦП занят калибровкой. Поэтому, во время задания команды на калибровку на состояние сигнала DRDY# не следует обращать внимание до истечения времени одного цикла модулятора после записи в регистр управления последнего бита команды на калибровку.

5.6.1 Самокалибровка

5.6.1.1 Самокалибровка может выполняться в ИС 1273ПВ1Р и 1273ПВ8Р. У микросхемы 1273ПВ9Р режим самокалибровки не предусмотрен и попытка его запуска ни к чему не приводит. При работе с ИС 1273ПВ9Р следует использовать исключительно режим системной калибровки. Самокалибровка при однополярном входном диапазоне выполняется следующим образом. Точка нуля шкалы, используемая для определения калибровочных коэффициентов – это значение на выходе преобразователя при накоротко замкнутых входах ($U_{AIN(+)} = U_{AIN(-)} = U_{BIAS}$). Точка полной шкалы – это значение на выходе преобразователя при напряжении на входе U_{REF} . Калибровочный коэффициент наклона передаточной характеристики определяется, исходя из диапазона, полученного в результате преобразований при коротко-замкнутых входах и при напряжении на входе равном напряжению внутреннего источника опорного напряжения U_{REF} . Режим самокалибровки вводится записью кода 001 в биты MD2, MD1, MD0 регистра управления. В этом режиме калибровки первым выполняется преобразование при накоротко замкнутых входах; вторым – преобразование при U_{REF} на входе. После завершения процедуры калибровки модернизируются калибровочные коэффициенты, фильтр переустанавливается на внешнее входное напряжение и сигнал DRDY# переводится на низкий уровень, сигнализируя о завершении калибровки. Самокалибровка выполняется с учетом выбранного коэффициента усиления.

5.6.1.2 Самокалибровка при двухполярном входном диапазоне выполняется аналогично, но в качестве двух точек калибровки используются: точка середины шкалы (двуполярный ноль) и точка максимального положительного значения шкалы.

5.6.2 Системная калибровка

Системную калибровку могут выполнять все описываемые микросхемы. Системная калибровка позволяет компенсировать системные ошибки усиления и смещения наряду с собственными внутренними ошибками. Процедура системной калибровки выполняет вычисления для определения коэффициента наклона характеристики преобразования аналогичным образом, что и при самокалибровке, но использует на входах AIN напряжения, предоставленные системой в качестве точек «нуля шкалы» и «полной шкалы». Системная калибровка – двухступенчатая процедура. Точка «нуля шкалы» должна быть представлена первой для преобразования. Системная калибровка инициируется записью в регистр управления кода 010 в поле битов MD2, MD1, MD0. Когда первый шаг калибровки

Ив. № подл.	Подп. и дата	Взам. Ив. №	Ив. № дубл.	Подп. и дата

будет завершен, сигнал DRDY# низкого уровня сигнализирует об этом. После того как точка нуля откалибрована, система должна подать на вход AIN напряжение точки «полной шкалы» и должен быть инициирован второй шаг системной калибровки путем записи в регистр управления кода 011 в биты MD2, MD1, MD0. Напряжение точки «полной шкалы» должно удерживаться и оставаться стабильным на входе AIN в течение всего шага калибровки. Сигнал DRDY# низкого уровня в конце второго шага сигнализирует о завершении системной калибровки. В однополярном режиме системная калибровка выполняется с использованием конечных точек передаточной характеристики преобразования; в двухполярном режиме системная калибровка выполняется с использованием точки середины шкалы и точки максимального положительного значения шкалы.

Двухступенчатая системная калибровка предоставляет ещё одну возможность. После того как она завершена, можно провести дополнительную калибровку смещения или коэффициента усиления отдельно. Например, дополнительная калибровка нуля шкалы может быть проведена запуском первого шага процедуры системной калибровки (записью кода 010 в биты MD2, MD1, MD0 регистра управления). Такое действие подрегулирует ноль шкалы (смещение), но не изменит коэффициент наклона передаточной характеристики, установленный во время полной процедуры системной калибровки. Возможно, также дополнительно калибровать коэффициент наклона передаточной характеристики без дополнительной калибровки смещения, если после двухступенчатой системной калибровки снова запустить второй шаг системной калибровки.

Системная калибровка может использоваться, кроме того, для устранения любых ошибок, которые может внести установка внешней RC – цепи на аналоговом входе (с целью предотвращения наложения спектров).

5.6.3 Системная калибровка смещения

Системная калибровка смещения (может выполняться только для ИС 1273ПВ1Р и 1273ПВ8Р) – это комбинированный вариант системной калибровки и самокалибровки. Точка нуля шкалы предоставляется системой для входа AIN преобразователя. Системная калибровка смещения инициируется записью кода 100 в поле битов MD2, MD1, MD0 регистра управления. Системный коэффициент нуля шкалы определяется в результате преобразования напряжения поданного системой на вход AIN, а коэффициент наклона передаточной характеристики преобразования вычисляется исходя из значения, полученного в результате вышеупомянутого преобразования, и внутреннего значения U_{REF} . Напряжение, соответствующее нулю шкалы, должно удерживаться системой на входе AIN в течение всей процедуры калибровки. Этот вид калибровки – одноступенчатый. Сигнал DRDY#, переходя на низкий уровень, указывает на завершение процедуры калибровки. В однополярном режиме системная калибровка смещения выполняется с использованием двух конечных точек передаточной характеристики; в двухполярном режиме – с использованием точки середины шкалы и точки максимального положительного значения шкалы.

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

5.6.4 Фоновая калибровка

Фоновая калибровка может выполняться только для ИС 1273ПВ1Р и 1273ПВ8Р. Для ИС 1273ПВ9Р эта калибровка не предусмотрена. В режиме фоновой калибровки АЦП вводит процедуру калибровки в нормальный процесс преобразования. В этом режиме калибровки АЦП использует для калибровки те же напряжения, что и при самокалибровке (то есть, внутренние: коротко-замкнутые дифференциальные входы и U_{REF}). Фоновая калибровка включается записью кода 101 в биты MD2, MD1, MD0 регистра управления. При включенной фоновой калибровке частота выдачи данных – результатов преобразований уменьшается в 6 раз, в то время как, "частота минус 3 дБ" полосы пропускания остается неизменной. Преимущество режима фоновой калибровки – систематическое выполнение процедуры калибровки и постоянная корректировка калибровочных коэффициентов. Как результат, исключение влияния таких факторов как: дрейф температуры, изменение напряжения питания, временной дрейф напряжений точек нуля шкалы и полной шкалы. Когда включается режим фоновой калибровки, то первый результат, выданный прибором, выдается неверным, так как калибровка полной шкалы ещё не будет выполнена. При ступенчатом изменении входного напряжения окончательное значение преобразованного напряжения будет получено после второго преобразования.

В таблице 11 сведены все режимы калибровки и соответствующие им входные напряжения калибровки.

Таблица 11 – Режимы калибровки и соответствующие им напряжения калибровки

Вид калибровки	MD2, MD1, MD0	Напряжение на входе при определении		Количество ступеней калибровки	Время выполнения
		Нуля шкалы	Полной шкалы		
Самокалибровка	0 0 1	Входы закорочены	U_{REF}	Одна	$9 \times 1 / \text{частота выдачи данных}$
Системная калибровка (1-я ступень)	0 1 0	Напряжение на AIN	-	Две	$4 \times 1 / \text{частота выдачи данных}$
Системная калибровка (2-я ступень)	0 1 1	-	Напряжение на AIN	Две	$4 \times 1 / \text{частота выдачи данных}$
Системная калибровка смещения	1 0 0	Напряжение на AIN	U_{REF}	Одна	$9 \times 1 / \text{частота выдачи данных}$
Фоновая калибровка	1 0 1	Входы закорочены	U_{REF}	Одна	$6 \times 1 / \text{частота выдачи данных}$

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

5.6.5 Ограничения диапазона входного сигнала и напряжения смещения при системной калибровке

При проведении системной калибровки, как в однополярном так и двуполярном режимах, имеются ограничения на величину диапазона входного сигнала и напряжения смещения, которые система должна представлять на входы АIN на обеих ступенях калибровки. При этом ограничения, накладываемые на предельные значения величин смещения, зависят от режима работы (однополярный или двуполярный) и выбранного диапазона (размаха) входного сигнала при калибровке, то есть величина смещения должна быть согласована с диапазоном входного сигнала при калибровке. В противном случае калибровка будет проведена некорректно. Диапазон (размах) входного сигнала при калибровке ограничен, как в однополярном, так и в двуполярном режимах одинаково: минимальной величиной, равной $(0,8 \times U_{REF}/A_U)$ и максимальной величиной $(2,1 \times U_{REF}/A_U)$ (где A_U – коэффициент усиления).

Итак, величина смещения при системной калибровке, которая – подчеркнем еще раз – зависит от режима работы (однополярный или двуполярный) должна быть согласована с размахом входного сигнала при калибровке.

Рассмотрим сначала однополярный режим. Дело в том, что максимальное значение положительного напряжения полной шкалы при калибровке (параметр FSC1) не должно превышать значение $(1,05 \times U_{REF}/A_U)$, иначе говоря, положительное напряжение полной шкалы при калибровке должно быть $\leq (1,05 \times U_{REF}/A_U)$. В однополярном режиме максимальное значение положительного напряжения полной шкалы при калибровке представляет собой сумму величины смещения и входного диапазона калибровки и эта сумма не должна превышать значения $(1,05 \times U_{REF}/A_U)$.

Так, если диапазон (размах) входного сигнала минимален, то есть он равен $(0,8 \times U_{REF}/A_U)$, то смещение может быть положительным, но не должно превышать значение $(0,25 \times U_{REF}/A_U)$, ибо должны выполняться неравенства:

$$\begin{aligned} \text{«Смещение»} + \text{«Размах»} &\leq (1,05 \times U_{REF}/A_U) \quad \text{или} \\ \text{«Смещение»} &\leq (1,05 \times U_{REF}/A_U) - \text{«Размах»}, \quad \text{или} \end{aligned} \quad (1)$$

$$\text{«Смещение»} \leq (1,05 \times U_{REF}/A_U) - (0,8 \times U_{REF}/A_U),$$

значит: $\text{«Смещение»} \leq (0,25 \times U_{REF}/A_U)$

Ограничительное неравенство (1) – это ограничение для положительного смещения в однополярном режиме. Для значений размаха (диапазона) входного сигнала от $(0,8 \times U_{REF}/A_U)$ до $(1,05 \times U_{REF}/A_U)$ допустимые значения «Смещений» определяются аналогично. Для значений размаха (диапазона) входного сигнала от $(1,05 \times U_{REF}/A_U)$ до $(2,1 \times U_{REF}/A_U)$ картина несколько меняется, поскольку размах превышает максимально допустимое значение положительного конца шкалы (параметр FSC1). Теперь «Смещение» должно быть отрицательным, чтобы компенсировать увеличение размаха входного сигнала и снизить значение положительного конца шкалы (параметр FSC1) до допустимого уровня: $\leq (1,05 \times U_{REF}/A_U)$.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Очевидно, что минимальным (максимально отрицательным) значением «Смещения» является величина $(-1,05 \times U_{REF}/A_U)$, так как максимально допустимое значение положительного конца шкалы (параметр FSC1) равно сумме «Смещения» и максимально возможного размаха при системной калибровке $(2,1 \times U_{REF}/A_U)$. То есть:

$$FSC1_{max} = \text{«Смещение»} + (2,1 \times U_{REF}/A_U);$$

$$\text{«Смещение»} = FSC1_{max} - (2,1 \times U_{REF}/A_U);$$

$$\text{«Смещение»} = (1,05 \times U_{REF}/A_U) - (2,1 \times U_{REF}/A_U) = (-1,05 \times U_{REF}/A_U)$$

Теперь, о максимальном (минимально отрицательном) значении смещения для конкретно заданного размаха входного сигнала при калибровке. Оно должно удовлетворять требованию нижеследующего неравенства:

$$\text{«Смещение»} \leq (1,05 \times U_{REF}/A_U) - \text{Вх. диапазон}, \quad (2)$$

где Вх. диапазон – это входной диапазон, задаваемый при калибровке и он больше $(1,05 \times U_{REF}/A_U)$ и значит, что смещение отрицательное.

Ограничительное неравенство (2) – это ограничение для отрицательного смещения в однополярном режиме.

Подводя итог вышесказанному, делаем вывод, что «Смещение» при системной калибровке в однополярном режиме должно быть «увязано» с размахом входного сигнала и не может выходить за пределы, обозначенные неравенством $(-1,05 \times U_{REF}/A_U) \leq \text{«Смещение»} \leq (0,25 \times U_{REF}/A_U)$.

Это неравенство задает предельные значения смещения, выход за которые запрещен. При этом более узкие диапазоны значений смещения, которые могут помочь ориентироваться разработчику, применяющему описываемые ИС, указаны неравенствами (1) и (2). Выражение (1) следует применять для Вх. диапазон $\leq (1,05 \times U_{REF}/A_U)$, а выражение (2) для Вх. диапазон $> (1,05 \times U_{REF}/A_U)$.

В двуполярном режиме допустимое напряжение смещения при калибровке также зависит от диапазона входного сигнала и ограничено им. Диапазон входного сигнала преобразователя в двуполярном режиме – это область равноудаленных напряжений от точки нуля шкалы вверх и вниз. Поэтому, здесь максимально допустимое значение положительного конца шкалы (параметр FSC1) равно сумме величины смещения и половины полного диапазона (размаха) входного напряжения при калибровке. Эта сумма не должна превышать значения: $(1,05 \times U_{REF}/A_U)$. Иначе говоря, смещение и входной диапазон должны удовлетворять неравенству:

$$|\text{«Смещение»}| + \text{Вх. диапазон}/2 \leq (1,05 \times U_{REF}/A_U);$$

$$|\text{«Смещение»}| \leq (1,05 \times U_{REF}/A_U) - \text{Вх. диапазон}/2;$$

$$(-1,05 \times U_{REF}/A_U) + \text{Вх. диапазон}/2 \leq \text{«Смещение»} \leq (1,05 \times U_{REF}/A_U - \text{Вх. диапазон}/2) \quad (3)$$

Значение выбранного входного диапазона при калибровке (учитывая, разумеется, наложенные на него ограничения) следует подставить в последнее неравенство и посчитать допустимый диапазон смещений.

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Если входной диапазон установлен равным $(2,0 \times U_{REF}/A_U)$, то двойное неравенство (3) приобретает вид:

$$(-1,05 \times U_{REF}/A_U) + (2,0 \times U_{REF}/A_U) / 2 \leq \text{«Смещение»} \leq (1,05 \times U_{REF}/A_U - (2,0 \times U_{REF}/A_U) / 2,$$

или

$$(-0,05 \times U_{REF}/A_U) \leq \text{«Смещение»} \leq (0,05 \times U_{REF}/A_U),$$

то есть, смещение не может быть больше, чем $\pm(0,05 \times U_{REF}/A_U)$, так как в противном случае конечные точки характеристики преобразования превысят предельные значения: $\pm(1,05 \times U_{REF}/A_U)$. Если входной диапазон в двуполярном режиме установлен равным своему минимуму: $0,8 \times U_{REF}/A_U$, то двойное неравенство (3) приобретает вид:

$$(-1,05 \times U_{REF}/A_U) + (0,8 \times U_{REF}/A_U) / 2 \leq \text{«Смещение»} \leq (1,05 \times U_{REF}/A_U - (0,8 \times U_{REF}/A_U) / 2,$$

или

$$(-0,65 \times U_{REF}/A_U) \leq \text{«Смещение»} \leq (0,65 \times U_{REF}/A_U),$$

то есть, максимально возможные значения напряжений смещения равны:

$$\pm(0,65 \times U_{REF}/A_U).$$

Таким образом, в двуполярном режиме при системной калибровке допустимое напряжение смещения при калибровке также зависит от диапазона входного сигнала при калибровке и должно быть «увязано» с ним. Максимально возможный диапазон напряжений смещений составляет $\pm(0,65 \times U_{REF}/A_U)$ и возможен в двуполярном режиме при входном диапазоне равном своему минимуму $\pm(0,4 \times U_{REF}/A_U)$, то есть при размахе $0,8 \times U_{REF}/A_U$.

6 Цифровой интерфейс

Последовательный порт связи АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р позволяет легко организовать связь со всеми широко распространенными микропроцессорами, микроконтроллерами, цифровыми сигнальными процессорами.

Операция чтения (последовательным кодом) дает возможность считать информацию из регистров: выходных данных, регистра управления или регистров калибровки. Операция записи (последовательным кодом) позволяет занести данные в регистры: управления или калибровки.

АЦП имеет два режима работы, предназначенные для различных интерфейсов. В обоих режимах АЦП может выступать в роли ведущего (АЦП формирует синхросигнал последовательных данных) или ведомого устройства (АЦП использует внешний синхросигнал последовательных данных) в системе. Назовем эти режимы: самотактирования и внешнего тактирования, соответственно.

Инт. № подл.	Подп. и дата
Взам. Инт. №	Инв. № дубл.
Подп. и дата	Подп. и дата

6.1 Режим самотактирования

Для установки режима самотактирования логический вход MODE следует подключить к источнику напряжения высокого уровня. В этом режиме АЦП формирует синхросигнал последовательных данных, используемый для передачи информации в обе стороны (как в АЦП, так и из АЦП). Режим самотактирования может использоваться с микропроцессорами, которые позволяют внешнее тактирование своих последовательных портов. В число таких микропроцессоров входят: большинство цифровых сигнальных процессоров и микроконтроллеров, таких как 68НС11 и 68НС05. В этом режиме, кроме того, легко связаться со схемами преобразования последовательного кода в параллельный в системах с параллельной передачей данных. В частности, обеспечивается работа с универсальными сдвиговыми регистрами типа 74XX299 без дополнительной дешифрации. В случае работы со сдвиговыми регистрами к линии последовательного синхросигнала необходимо подключить резистор, соединенный другим выводом с «землей» (pull – down).

6.1.1 Операция чтения

Данные могут быть считаны из выходного регистра, регистра управления или регистров калибровки. Логический уровень на входе A0 определяет, будет ли считана информация из регистра управления или из регистров вывода данных/калибровки. Сигнал на входе A0 должен удерживаться в нужном состоянии в течение всей операции последовательного чтения. При высоком уровне на входе A0 данные читаются из регистра данных/калибровки. При низком уровне на входе A0 данные читаются из регистра управления.

Сигнал готовности данных DRDY# имеет отношение только к готовности данных в регистре данных и зависит от скорости вывода. Сигнал DRDY# переходит на низкий уровень, когда новое слово данных готово к изъятию из регистра данных и сбрасывается на высокий уровень после считывания последнего бита данных (16-го или 24-го) из регистра вывода данных. Если данные не считываются из регистра данных, то сигнал DRDY# остается на низком уровне. Регистр вывода данных продолжает обновляться с частотой вывода данных из модулятора, но сигнал DRDY#, оставаясь на низком уровне, не информирует об этом. Чтение данных из АЦП при таких обстоятельствах дает последнее слово данных, оказавшееся в регистре данных на момент чтения. Таким образом, если новое слово данных оказывается в регистре вывода данных, во время чтения предыдущих данных, то сигнал DRDY# не проинформирует об этом и слово данных будет потеряно. Сигнал DRDY# никак не реагирует на чтение информации из регистров управления или калибровки.

Данные могут быть изъяты из регистра данных, когда сигнал DRDY# активен (низкий). Если сигнал RFS#, будет выработан (низким уровнем) во время высокого сигнала DRDY#, никакой передачи данных не будет.

На рисунках 10, 10 а приведены временные диаграммы чтения выходных данных в режиме самотактирования.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

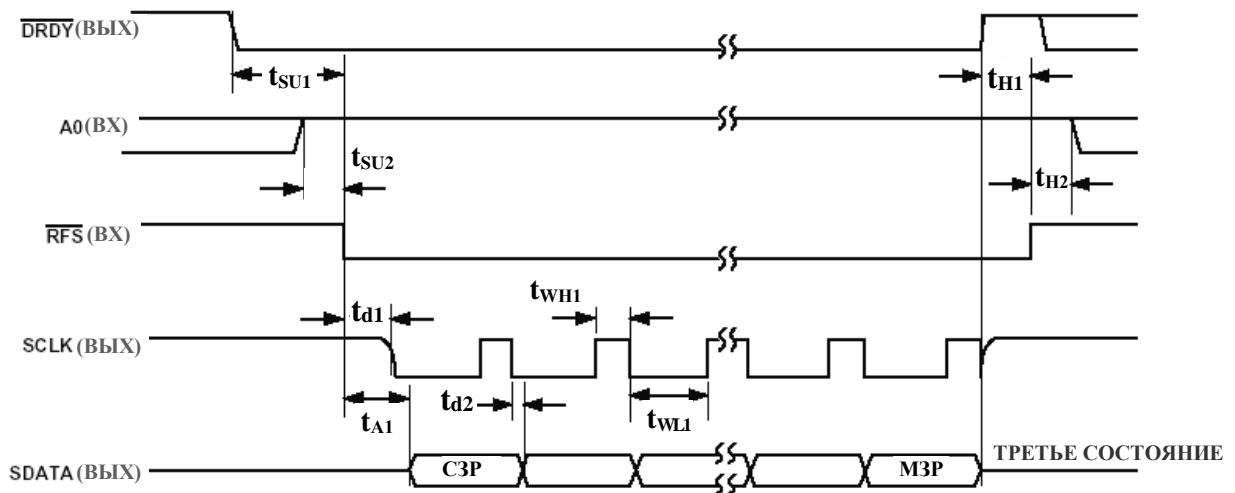


Рисунок 10 – Временная диаграмма чтения выходных данных в режиме самотактирования микросхемы 1273PB1P

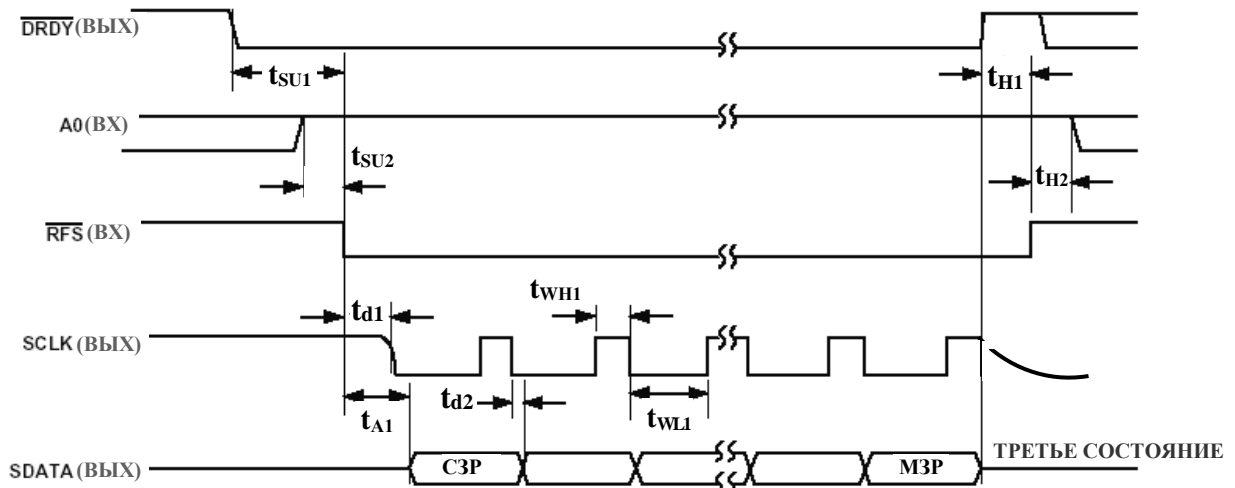


Рисунок 10а – Временная диаграмма чтения выходных данных в режиме самотактирования микросхемы 1273PB8P, 1273PB9P

На диаграммах показана операция чтения из регистра данных. При чтении из регистра управления и регистров калибровки сигналы выглядят также, но сигнал DRDY# не имеет отношения к операции. В зависимости от скорости вывода данных он может быть низким любое время цикла чтения из регистра управления или калибровки, не оказывая влияния на операцию чтения и его состояние должно игнорироваться. При операции чтения из регистра управления или регистров калибровки всегда должны считываться 24 разряда данных из соответствующего регистра.

Временные диаграммы, показанные на рисунках 10, 10а предполагают наличие резистора, подключенного между выводом SCLK и цифровым питанием плюс 5 В (pull-up). При низком сигнале DRDY# сигнал RFS#, становясь тоже низким, разрешает выработку синхроимпульсов SCLK и помещает C3P слова данных на линию последовательных данных. Все последующие биты выводятся по отрицательному фронту синхросигнала и достоверны перед следующим

Ивл. № подл.	Подп. и дата
Взам. Ивл. №	Ивл. № дубл.
Подп. и дата	Подп. и дата

положительным фронтом синхроимпульса. Последний активный отрицательный фронт сигнала SCLK выставляет МЗР, который остается стабильным до последнего активного положительного фронта сигнала SCLK. Одновременно со следующим ниспадающим фронтом сигнала SCLK сбрасывается на высокий уровень сигнал DRDY#, который блокирует выработку сигналов SCLK и SDATA. Последний бит (МЗР) удерживается на линии данных несколько меньшее время, чем остальные биты.

6.1.2 Операция записи

Данные могут быть записаны в регистр управления или регистры калибровки. Операция записи не зависит от сигнала DRDY# и не влияет на состояние сигнала DRDY#. При записи в регистр управления или регистры калибровки всегда должны записываться 24 бита.

На рисунках 11, 11а приведены временные диаграммы записи. Логический уровень на входе A0 определяет, в какой регистр будет проведена запись, управления или в один из регистров калибровки (какой конкретно, определяют биты регистра управления: MD2, MD1, MD0). Уровень на входе A0 должен оставаться стабильным в течение всей операции записи.

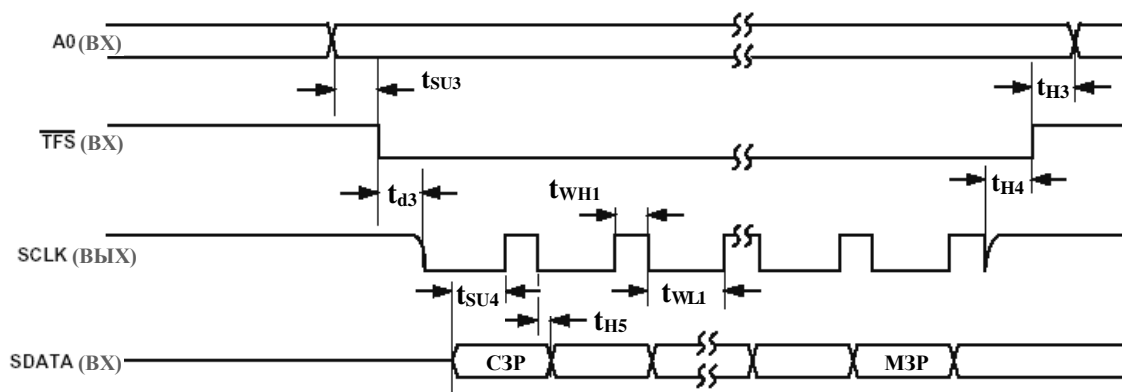


Рисунок 11 – Временная диаграмма записи в регистр управления или регистры калибровки в режиме самотактирования микросхемы 1273ПВ1Р

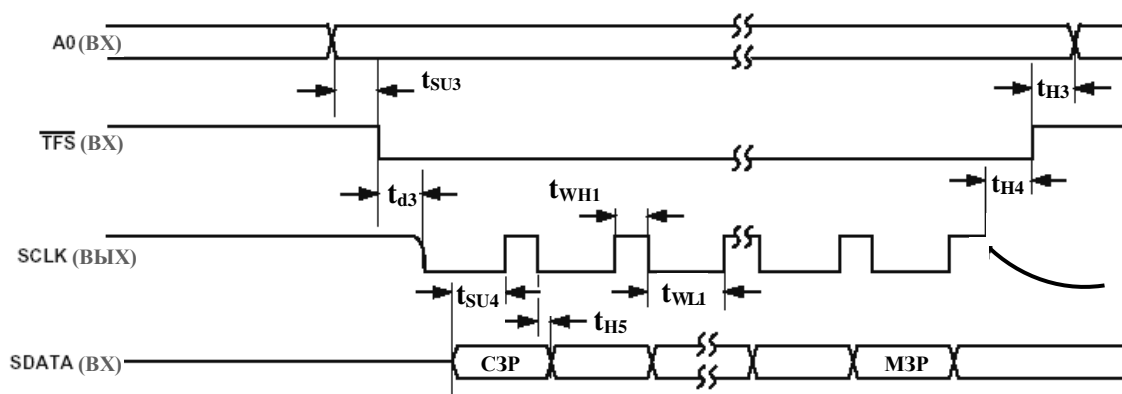


Рисунок 11а – Временная диаграмма записи в регистр управления или регистры калибровки в режиме самотактирования микросхем 1273ПВ8Р, 1273ПВ9Р

Инв. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

По отрицательному фронту сигнала TFS# в АЦП разрешается выработка синхроимпульсов последовательного порта SCLK. Последовательные данные, которые надлежит записать в АЦП должны быть истинными на положительных фронтах сигнала SCLK. Данные фиксируются в АЦП по положительному фронту SCLK, причем первым должен идти СЗР.

Последним активным импульсом SCLK в АЦП забирается МЗР. Сразу после следующего отрицательного фронта SCLK выработка импульсов SCLK прекращается.

Временные диаграммы, показанные на рисунках 11, 11а предполагают наличие резистора, подключенного между выводом SCLK и цифровым питанием плюс 5 В (pull-up).

6.2 Режим внешнего тактирования

Режим внешнего тактирования включается подачей низкого логического уровня на вход MODE. В таком режиме вывод SCLK работает как вход. Режим внешнего тактирования предназначен для прямой связи с системами, вырабатывающими синхросигнал последовательных данных, который синхронизирует последовательные данные. К таким системам относятся микроконтроллеры типа 80C51, 87C51, 68HC11, 68HC05 и большинство цифровых процессоров обработки сигналов

6.2.1 Операция чтения

Как и в режиме самотактирования, данные могут быть считаны из выходного регистра, регистра управления или регистров калибровки. Логический уровень на входе A0 и значения битов MD2...MD0 регистра управления определяют источник данных при чтении. Уровень сигнала на входе A0 должен оставаться стабильным в течение всей операции чтения. Если на входе A0 – высокий уровень, то данные читаются из регистра данных или регистров калибровки; если – низкий, то из регистра управления.

Состояние линии сигнала DRDY# зависит от скорости преобразования и считывания преобразованных данных. Сигнал DRDY# переходит на низкий уровень, когда новое слово преобразованных данных находится в регистре вывода данных и готово для считывания. Сигнал DRDY# сбрасывается на пассивный высокий уровень сразу после считывания последнего бита данных (16-го или 24-го) регистра данных. Если данные не считываются из регистра данных, сигнал DRDY# остается на низком уровне. Содержимое регистра данных продолжает обновляться, но, так как сигнал DRDY# остался на низком уровне, он не может информировать об этом. В результате чтения в такой ситуации будет считано слово, оказавшееся на этот момент времени в регистре вывода данных. Если, новое слово данных поступает в регистр вывода в течение времени считывания из регистра вывода, то сигнал DRDY# не информирует об этом и новое слово данных будет потеряно для пользователя. Сигнал DRDY# никак не связан с операциями чтения из регистров управления и калибровки.

На рисунках 12 и 13 показаны временные диаграммы операции чтения в режиме внешнего тактирования. Рисунок 12 представляет вариант, когда слово данных считывается целиком за одну операцию чтения; рисунок 13 – вариант, когда слово данных считывается за несколько операций чтения.

Инт. № подл.	Подп. и дата	Взам. Инт. №	Инв. № дубл.	Подп. и дата

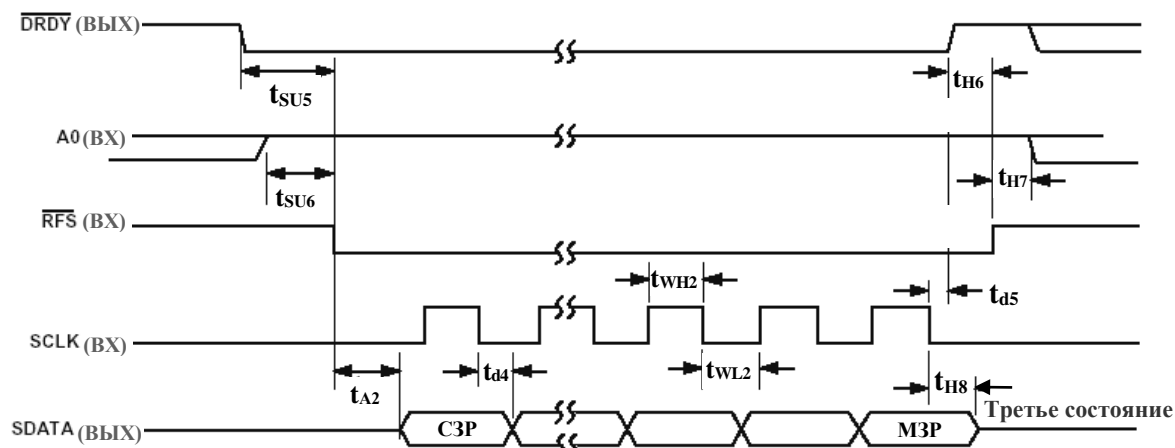


Рисунок 12 – Временная диаграмма чтения слова данных целиком за одну операцию чтения в режиме внешнего тактирования

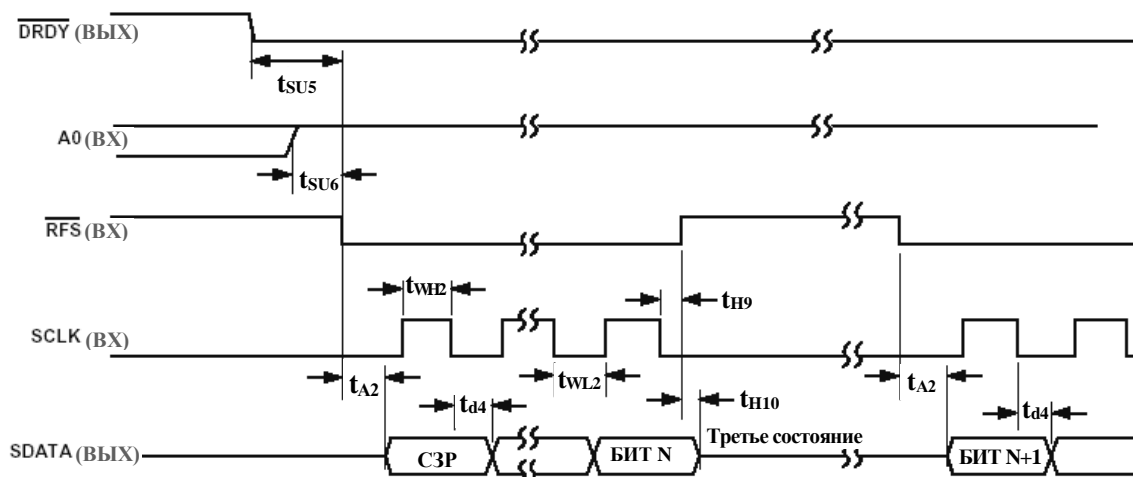


Рисунок 13 – Временная диаграмма чтения слова данных за несколько операций чтения в режиме внешнего тактирования

На обоих рисунках показаны операции чтения из регистра данных. Операции чтения из регистра управления и регистров калибровки выполняются аналогично, с той лишь разницей, что сигнал DRDY# в этом случае не имеет отношения к операции. В зависимости от скорости преобразования (вывода данных) сигнал DRDY# может быть на низком уровне в любое время в течение цикла чтения из регистра управления/калибровки, не оказывая влияния на операцию чтения и, поэтому, его состояние следует игнорировать. При операции чтения из регистра управления или регистров калибровки всегда надо считывать 24 бита.

На рисунке 12 показана временная диаграмма чтения слова данных целиком за одну операцию чтения, когда сигнал RFS# остается низким в течение всей операции чтения. При низком сигнале DRDY# сигнал RFS# переводится в активное низкое состояние. Входной сигнал SCLK должен удерживаться на низком уровне между операциями чтения и записи. В результате перевода сигнала RFS# на низкий уровень СЗР слова данных выставляется на линию последовательных данных.

Ивл. № подл.	Подп. и дата
Взам. Ивл. №	Ивл. № дубл.
Подп. и дата	Подп. и дата

Все последующие биты данных выводятся по отрицательным фронтам синхросигнала и становятся достоверными на линии данных перед следующим положительным фронтом синхросигнала. Последний активный отрицательный фронт сигнала SCLK выводит МЗР слова данных, после чего сигнал DRDY# сбрасывается на высокий уровень. Положительный фронт сигнала DRDY# блокирует линию вывода данных.

На рисунке 13 показана временная диаграмма чтения слова данных, когда в течение операции чтения сигнал RFS# снимается на высокий уровень и вновь возвращается на низкий уровень для считывания оставшейся части слова данных. Временные диаграммы и временные параметры на рисунках 12 и 13 очень похожи, но на рисунке 13 приведен ряд дополнительных времен, касающихся временных соотношений, возникающих из-за сброса и возврата в активное состояние сигнала RFS# в процессе операции чтения.

Сигнал RFS# должен возвращаться на высокий уровень во время «низкой» части SCLK. По положительному фронту RFS# сигнал SDATA переводится в третье состояние (вывод данных приостанавливается). Сигнал DRDY# остается на низком уровне и будет оставаться на нем, пока все биты данных не будут считаны из АЦП, не взирая на то, сколько раз сигнал RFS# изменит свое состояние в течение операции чтения. В зависимости от времени между отрицательным фронтом сигнала SCLK и положительным фронтом сигнала RFS#, следующий бит (БИТ N+1) может появиться на линии данных до перехода сигнала RFS# на высокий уровень. Когда RFS# возвращается на низкий уровень снова, он активирует линию SDATA. Когда все слово данных считано, сигнал DRDY# сбрасывается на высокий уровень и выключает линию данных, как это показано на рисунке 12.

6.2.2 Операция записи

Данные могут быть записаны в регистр управления или регистры калибровки. Операция записи не зависит от сигнала DRDY# и не влияет на состояние сигнала DRDY#. При записи в регистр управления или регистры калибровки всегда должны записываться 24 бита.

На рисунке 14 показана диаграмма операции записи для случая, когда сигнал TFS# остается низким в течение всей операции. Логический уровень на входе A0 определяет приемник операции записи: регистр управления или один из регистров калибровки. Уровень на входе A0 должен оставаться стабильным в течение времени всей операции записи. Сигнал SCLK должен находиться на низком уровне между операциями чтения и записи. Биты последовательных данных, загружаемые в АЦП должны быть истинными во время, когда SCLK – на высоком уровне. Данные фиксируются в АЦП, когда SCLK на высоком уровне, причем первым передается СЗР. Во время последнего активного импульса SCLK (его части высокого уровня) МЗР записывается в АЦП.

Инд. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

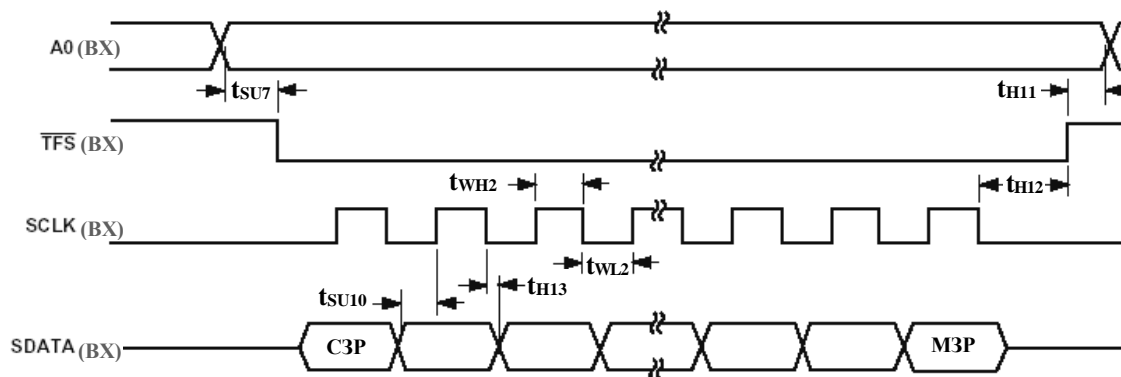


Рисунок 14 – Временная диаграмма операции записи полного слова непрерывно в регистр управления/калибровки в режиме внешнего тактирования

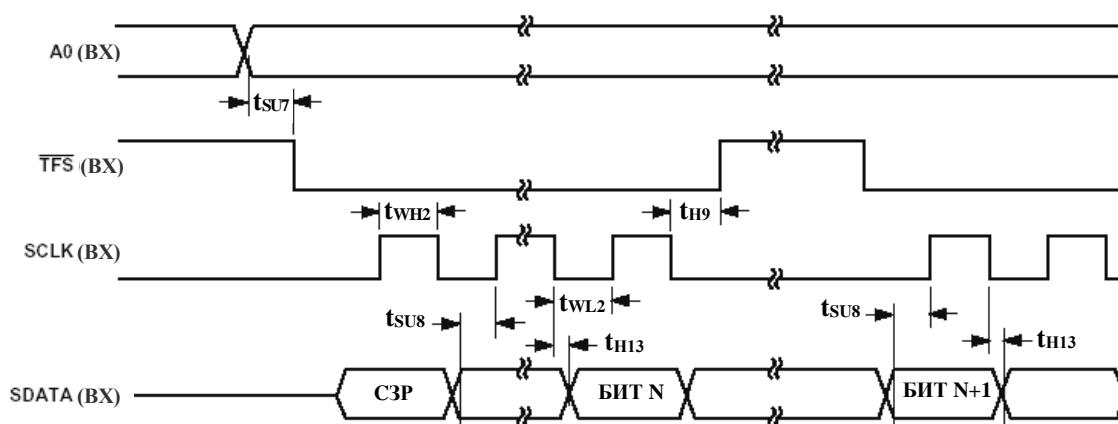


Рисунок 15 – Временная диаграмма операции записи слова данных частями в регистр управления/калибровки в режиме внешнего тактирования

На рисунке 15 показана диаграмма операции записи для случая, когда сигнал TFS# возвращается на высокий уровень в процессе операции записи, а затем возвращается снова на низкий уровень для записи оставшейся части слова данных.

Данные, загружаемые в АЦП, должны быть истинными на положительных фронтах синхроимпульсов SCLK. Сигнал TFS# можно возвращать на высокий уровень только во время низкого состояния сигнала SCLK. После возврата сигнала TFS# на низкий уровень следующий бит данных загружается в АЦП по следующему синхроимпульсу SCLK высокого уровня. Последний активный синхроимпульс SCLK (во время положительной фазы) записывает МЗР.

6.3 Упрощенный интерфейс внешнего тактирования

Пользователям АЦП не всегда требуется запись в регистры калибровки. В таких ситуациях последовательный интерфейс АЦП с внешним тактированием может быть упрощен: линии сигналов TFS# и A0 объединяются, как показано на рисунке 16. В таком включении запись всегда производится в регистр управления (так, как A0 всегда – низкий, когда TFS# – на низком уровне), а любое чтение из АЦП – это чтение из регистра данных или регистров калибровки (так, как A0

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

всегда – высокий, когда RFS# – на низком уровне). Следует обратить внимание на то, что при таком варианте пользователь лишен возможности считывать регистр управления.

Другой метод упрощения интерфейса: генерация сигнала TFS#, как инверсного RFS#. Обратная ситуация не допустима: генерация сигнала RFS#, как инверсного TFS# приводит к ошибкам записи.

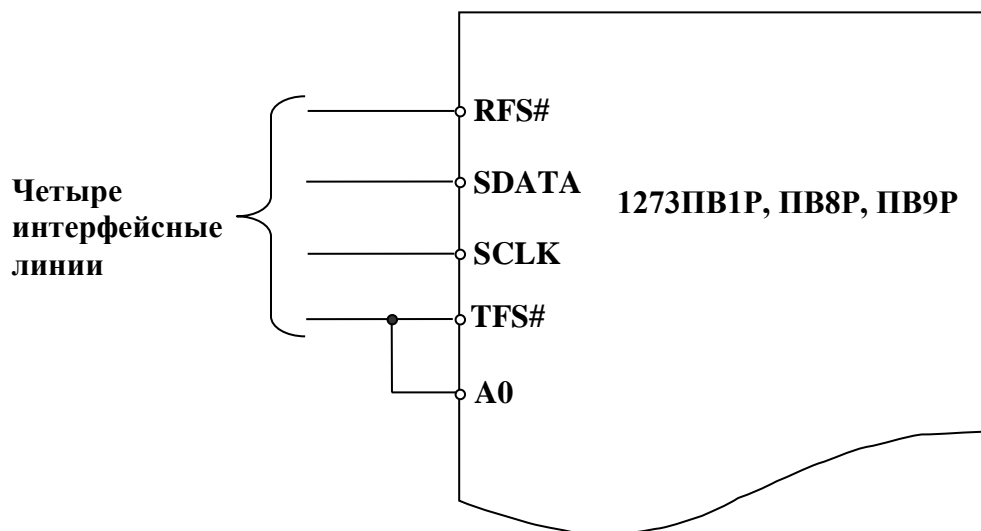


Рисунок 16 – Упрощенный интерфейс внешнего тактирования

7 Применение АЦП

Описываемые АЦП 1273PB1P, 1273PB8P, 1273PB9P функционируют отлично от АЦП последовательного приближения и интегрирующих АЦП. Так как, выборки входного сигнала выполняются постоянно, то нет нужды в команде запуска преобразования. Содержимое выходного регистра обновляется с частотой равной частоте первого провала цифрового фильтра, и выходной регистр может считываться в любое время как синхронно, так и асинхронно.

7.1 Синхронизация

Для функционирования микросхем 1273PB1P, 1273PB8P, 1273PB9P требуется синхросигнал, который может быть внешним ТТЛ/КМОП – совместимым синхросигналом и, который должен подключаться к выводу MCLK IN (вывод MCLK OUT при этом остается свободным). Альтернативный вариант – кварцевый резонатор соответствующей частоты, подключается между выводами MCLK IN и MCLK OUT. В последнем варианте схема синхронизации работает как генератор на базе кварцевого резонатора. Для более низких частот может применяться керамический резонатор вместо кварцевого. Для таких генераторов на базе керамических или кварцевых резонаторов более низкой частоты (относительно 10 МГц) могут потребоваться внешние конденсаторы, которые обеспечат стабильный запуск и функционирование. В таких случаях рекомендуется подключение конденсатора между выводом MCLK IN и DGND.

Ивл. № подл.	Подп. и дата	Взам. Ивл. №	Ивл. № дубл.	Подп. и дата

Частота выборки входного сигнала, частота работы модулятора, "частота минус 3 дБ", частота обновления данных в выходном регистре и время калибровки напрямую зависят от частоты синхросигнала f_{CLK} . Уменьшение вдвое частоты основного синхросигнала приводит к уменьшению вдвое вышеуказанных частот и удвоению времени калибровки. Ток, потребляемый от источника питания цифровых цепей U_{CCD} , также прямо зависит от частоты основного синхросигнала f_{CLK} . Уменьшение вдвое частоты f_{CLK} снижает потребляемый от источника U_{CCD} ток вдвое, при этом ток, потребляемый от источника питания аналоговой части U_{CCA+} не изменяется.

7.2 Системная синхронизация

Если несколько микросхем 1273ПВ1Р или 1273ПВ8Р, или 1273ПВ9Р работают от общего синхросигнала, они могут быть синхронизированы для одновременного обновления выходных регистров данных. Отрицательный фронт входного сигнала SYNC# сбрасывает цифровой фильтр и устанавливает АЦП в определенное известное состояние. Общий входной сигнал SYNC# для нескольких совместно работающих АЦП будет синхронизировать их работу. Обычно, синхронизация проводится после выполнения всеми ИС своих процедур калибровки или после загрузки в них калибровочных коэффициентов.

Входной сигнал SYNC# может быть использован также в системах, в которых время включения цифрового источника питания (U_{CCD}), по тем или иным причинам, велико. В такой ситуации АЦП может начать внутреннюю работу до момента времени, когда напряжение на линии V_{CCD} достигнет минимально допустимого значения 4,75 В. При напряжении на линии V_{CCD} ниже минимально допустимого значения 4,75 В, цифровой фильтр АЦП не будет работать правильно. Таким образом, возможна ситуация, когда АЦП окажется в некорректном состоянии к моменту достижения напряжения на линии V_{CCD} приемлемого значения. Цифровой фильтр будет сброшен при поступлении команды на калибровку (самокалибровку, системную калибровку или фоновую калибровку). Это обеспечивает нормальное функционирование АЦП. В системах, где по включению питания не выполняются калибровка, выработка импульса SYNC# будет сбрасывать логику цифровых фильтров. RC – цепочка на линии SYNC# с постоянной времени больше времени установления питания V_{CCD} обеспечит правильное выполнение функции синхронизации сигналом SYNC#.

7.3 Точность преобразования

«Сигма – дельта» АЦП, подобно преобразователям «напряжение – частота» и интегрирующим АЦП, не содержит каких – либо источников немонотонности и им свойственна работа «без пропуска кодов». У описываемых АЦП отличная линейность, благодаря использованию высококачественных конденсаторов из двуокиси кремния, которые обладают очень низким коэффициентом емкость/напряжение. Для сохранения отличных характеристик во времени и при изменении температуры АЦП использует технологию цифровой калибровки, которая минимизирует ошибки смещения и усиления.

Инд. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

7.4 Включение питания и калибровка

При включении питания АЦП выполняет внутренний сброс, который устанавливает регистр управления в определенное состояние. Однако, чтобы убедиться в том, что калибровочные коэффициенты корректны, после включения питания следует выполнить процедуру калибровки.

Рассеиваемая мощность и температурный дрейф у АЦП 1273ПВ1Р, 1273ПВ8Р, 1273ПВ9Р малы, поэтому, перед запуском процедуры калибровки время на прогрев не требуется. Единственное на что следует обратить внимание – это учесть время установления стабильного опорного напряжения (если для него используется внешний источник) до запуска калибровки.

7.5 Дрейф напряжения смещения и коэффициента усиления

Инжекция заряда в аналоговых ключах и постоянные токи утечки в узлах выборки являются первичными источниками дрейфа напряжения смещения в преобразователе. Постоянный входной ток утечки, в сущности, не зависит от выбранного коэффициента усиления. Дрейф значения коэффициента усиления в преобразователе зависит, в первую очередь, от изменения температуры внутренних конденсаторов и не зависит от токов утечки.

Ошибки преобразования, вызванные дрейфом напряжения смещения и коэффициента усиления, могут быть устранены в любое время с помощью рекалибровки или работы в режиме фоновой калибровки (у ИС 1273ПВ9Р предусмотрена только системная калибровка). Использование системной калибровки также может минимизировать ошибки смещения и усиления с учетом влияния реальных цепей на сигнал. Ошибки интегральной и дифференциальной линейности не подвержены значительному изменению при колебаниях температуры.

7.6 Подключение питания и заземление

Аналоговые входы и вход опорного напряжения АЦП являются дифференциальными. Большая часть напряжений модулятора – это синфазные напряжения. Вывод V_{BIAS} является точкой возврата большей части аналоговых токов, протекающих через модулятор. Поэтому, источник напряжения U_{BIAS} должен иметь малый выходной импеданс для минимизации ошибок, возникающих в процессе заряда/разряда импедансов на линии сигнала V_{BIAS} .

Если, используется внутренний источник опорного напряжения, то вывод аналоговой земли (AGND) служит точкой возврата тока источника опорного напряжения.

Аналоговое и цифровое напряжения питания АЦП независимы и подключены к отдельным выводам для минимизации взаимного влияния аналоговой и цифровой частей прибора. Цифровой фильтр обеспечивает подавление широкополосного шума источников питания, исключая частоты кратные частоте выборок модулятора. Напряжение цифрового питания (U_{CCD}) не должно превышать напряжение положительного аналогового питания (U_{CCA+})

Инт. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

более, чем на 0,3 В при нормальной работе. Если, для аналогового и цифрового питания применяются отдельные источники питания, то рекомендуемая схема развязки по питанию приведена на рисунке 17.

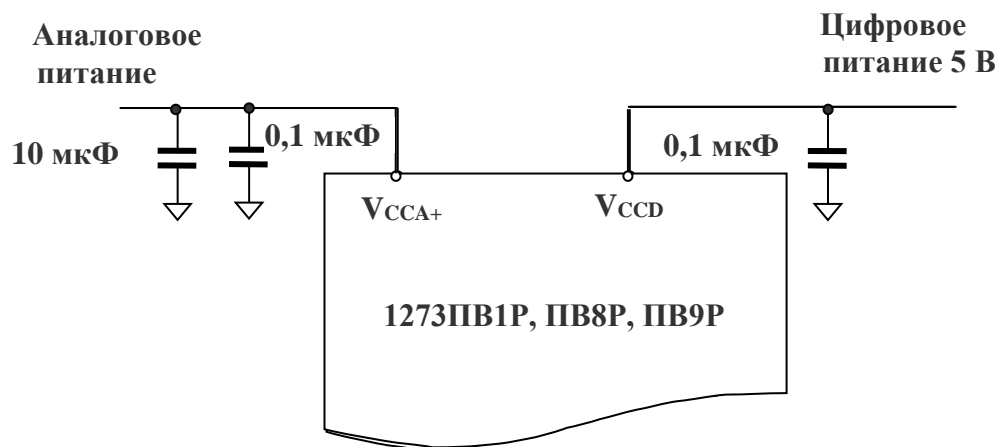


Рисунок 17 – Рекомендуемая схема развязки по питанию

В системах, где $U_{CCA+} = 5\text{ В}$ и $U_{CCD} = +5\text{ В}$, рекомендуется использовать единый источник питания плюс 5 В, но при этом у обоих выводов должны быть установлены развязывающие конденсаторы, как это показано на рисунке 17.

Предпочтительнее, чтобы в качестве единого источника использовался системный источник аналогового питания плюс 5 В.

Также важно, чтобы питание на АЦП подавалось прежде, чем будут поданы входные сигналы AIN, REF IN и логические входные сигналы, во избежание чрезмерных токов. Если для АЦП и системных цифровых цепей применяются отдельные источники питания, то питание на АЦП должно подаваться первым. Если это гарантировать невозможно, то необходимо установить резисторы, ограничивающие ток, по линиям входных логических сигналов.

7.7 Рекомендации по выходу из нештатных ситуаций, возникновение которых не исключено в процессе работы АЦП в системе

7.7.1 Запись неразрешенной информации в разряды FS регистра управления

Как уже указывалось ранее при описании регистра управления АЦП, корректным значением FS (обеспечивающим штатную работу цифрового фильтра и последовательного интерфейса) являются значения из указанного диапазона: 19_{10} - 2000_{10} (для ИС 1273PB8P и 1273PB9P в этом диапазоне есть запрещенные значения). Исходя из этого, в разряд FS11 всегда следует записывать 0 ($2000_{10} = 3720_8$). В случае случайной записи 1 в разряд FS11 активируется один из сервисных режимов работы АЦП. При работе АЦП в сервисном режиме назначение выводов MODE, SDATA, DRDY, RFS# может отличаться от указанного в данном описании. Более того, в одном из сервисных режимов (FS11 = 1 и FS0 = 1) происходит принудительное переключение последовательного интерфейса в режим внутреннего тактирования (т.к. контакт MODE в этом случае выполняет сервисные функции и не управляет режимом тактирования интерфейса).

Инт. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Если АЦП попадает (в результате ошибочной записи или сбоя) в сервисный режим, то необходимо вернуть АЦП в режим нормальной работы. В случае, если сбой привел к записи 1 в разряд FS11 необходимо просто повторить запись в регистр управления АЦП корректного значения FS (с FS11=0).

Если же, при работе в режиме внешнего тактирования интерфейса, был непреднамеренно включен режим (FS11 = 1 и FS0 = 1), при котором чтение-запись возможны только в режиме внутреннего тактирования, рекомендуется следующая процедура выхода в нормальный режим работы:

- внешним устройством (которое подсоединено по последовательному интерфейсу к АЦП) должна быть освобождена линия SCLK (так как в этом режиме АЦП самостоятельно вырабатывает пакеты импульсов для тактирования последовательного интерфейса, и попытка осуществить внешнее тактирование приведет к конфликту);

- на входе MODE может находиться как высокий, так и низкий уровень (тактовые импульсы все в обоих случаях будут вырабатываться АЦП);

- установить и удерживать на линии SDATA низкий уровень;

- инициировать операцию записи в регистр управления АЦП в режиме внутреннего тактирования, т.е. установить на входе A0 низкий уровень и перевести сигнал TFS# с высокого уровня на низкий, а затем, после выдачи АЦП на линию SCLK пакеты из 24-х импульсов, перевести сигнал TFS# обратно на высокий уровень. Таким образом, мы запишем нули во все биты FS (и во все остальные биты регистра управления АЦП) и переведем интерфейс в нормальный режим работы (при котором сигнал MODE управляет режимами тактирования);

- записать в регистр управления желаемую конфигурацию АЦП (с корректным значением FS0, FS11=0). После этого АЦП должен работать в соответствии с описанием.

7.7.2 «Зависание» в процессе записи или чтения по последовательному интерфейсу при внешнем тактировании из-за недостаточного числа синхроимпульсов

В случае, если в процессе записи или чтения операция оказывается прерванной до её нормального завершения (например, в результате сбоя в устройстве, ведущем обмен информацией с АЦП, оказывается прочитано или записано неполное количество бит), текущая операция записи или чтения оказывается «замороженной». Для возобновления нормальной работы последовательного интерфейса в этом случае необходимо сделать следующее:

- перевести сигналы RFS# и TFS# на высокий уровень (неактивное состояние);

- однократно обратиться к АЦП на чтение, т.е. перевести сигнал RFS# на низкий уровень (активное состояние), подать на SCLK 24 импульса, и затем снять сигнал RFS# (перевести его на высокий уровень).

В процессе чтения контакт SDATA переходит в третье состояние (как только окажется прочитанным количество бит, оставшихся «замороженными» от прерванной процедуры записи или чтения, то есть недосчитанных или недозаписанных в предыдущей незавершенной операции). После завершения процедуры чтения и снятия сигнала RFS# логика интерфейса оказывается заново инициализированной и готовой к нормальной работе.

Инд. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инв. № дубл.	Подп. и дата

Продолжение таблицы А.1

1	2	3
Длительность части высокого уровня синхросигнала SCLK, (режим самотактирования)	t_{WH1}	Длительность части высокого уровня сигнала SCLK при чтении и записи в режиме самотактирования
Длительность части низкого уровня синхросигнала SCLK, (режим самотактирования)	t_{WL1}	Длительность части низкого уровня сигнала SCLK при чтении и записи в режиме самотактирования
Время установления сигнала A0 относительно сигнала TFS# (режим самотактирования)	t_{SU3}	Время от установки необходимого входного сигнала A0 до установки активного сигнала TFS# в режиме самотактирования
Время удержания сигнала A0 относительно сигнала TFS# (режим самотактирования)	t_{H3}	Время, отсчитываемое от момента снятия активного сигнала TFS#, по истечении которого можно снимать активный сигнал со входа A0 в режиме самотактирования
Время задержки первого отрицательного фронта сигнала CLK относительно фронта активации сигнала TFS# (режим самотактирования)	t_{d3}	Время от момента установки активного входного сигнала TFS# до выработки первого отрицательно направленного выходного импульса на выводе SCLK в режиме самотактирования
Время удержания активного сигнала TFS# относительно последнего отрицательного фронта SCLK (режим самотактирования)	t_{H4}	Время удержания активного входного сигнала TFS# после последнего отрицательного фронта последнего импульса выходного сигнала SCLK в режиме самотактирования
Время установления достоверного разряда внешних данных относительно положительного фронта SCLK# (режим самотактирования)	t_{SU4}	Время установления очередного достоверного разряда данных на линии последовательных данных SDATA относительно следующего положительного фронта SCLK в режиме самотактирования
Время удержания достоверного бита данных на линии SDATA относительно соответствующего отрицательного фронта сигнала SCLK (режим самотактирования)	t_{H5}	Каждому разряду данных на SDATA соответствует положительно направленный импульс на линии SCLK. Настоящий параметр указывает время удержания достоверного разряда данных на SDATA после отрицательного фронта соответствующего SCLK в режиме самотактирования
Время установления активного (низкого) уровня сигнала DRDY# относительно отрицательного фронта сигнала RFS# (режим внешнего тактирования)	t_{SU5}	Время, отсчитываемое от момента установки активного сигнала на выходе DRDY#, по истечении которого можно подавать активный сигнал на вход RFS# в режиме внешнего тактирования
Время удержания активным сигнала RFS# относительно (после) положительного фронта сигнала DRDY# (режим внешнего тактирования)	t_{H6}	Время, отсчитываемое от момента снятия активного DRDY#, по истечении которого можно снимать RFS# при чтении слова целиком за одну операцию в режиме внешнего тактирования

Инва. № подл.	Подп. и дата
Взам. Инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Продолжение таблицы А.1

1	2	3
Время установления сигнала A0 относительно отрицательного фронта сигнала RFS# (режим внешнего тактирования)	t_{SU6}	Время, отсчитываемое от момента установки входного сигнала A0, по истечении которого можно активировать сигнал RFS# в режиме внешнего тактирования
Время удержания входного сигнала A0 относительно положительного фронта сигнала RFS# (режим внешнего тактирования)	t_{H7}	Время, отсчитываемое от момента снятия активного RFS#, по истечении которого можно снимать активный сигнал A0# в режиме внешнего тактирования
Время доступа к данным (от отрицательного фронта сигнала RFS# до достоверных данных CP3 на линии SDATA) в режиме внешнего тактирования	t_{A2}	Время от момента установки активного сигнала на входе RFS# до появления первого достоверного бита выходных данных (CP3) на выводе SDATA при чтении в режиме внешнего тактирования
Время задержки установки достоверных данных на линии SDATA после отрицательного фронта соответствующего синхроимпульса на линии SCLK в режиме внешнего тактирования	t_{d4}	Время от отрицательного фронта импульса на линии SCLK до установки очередного достоверного разряда последовательных данных на линии SDATA при операции чтения с внешним тактированием
Длительность части высокого уровня синхросигнала SCLK при внешнем тактировании	t_{WH2}	Длительность части высокого уровня синхроимпульсов SCLK при внешнем тактировании
Длительность части низкого уровня синхросигнала SCLK при внешнем тактировании	t_{WL2}	Длительность части низкого уровня синхроимпульсов SCLK при внешнем тактировании
Время задержки перевода сигнала DRDY# на высокий уровень после последнего отрицательного фронта SCLK при операции чтения с внешним тактированием	t_{d5}	Задержка перевода сигнала DRDY# в пассивное (высокий уровень) состояние после последнего отрицательного фронта синхросигнала на линии SCLK при чтении с внешним тактированием
Время удержания достоверных данных MP3 после последнего отрицательного фронта SCLK при операции чтения с внешним тактированием	t_{H8}	Время удержания достоверного значения последнего бита данных (MP3) на линии SDATA после последнего отрицательного фронта SCLK при операции чтения с внешним тактированием
Время удержания сигналов RFS# или TFS# после последнего отрицательного фронта SCLK перед временным снятием активных сигналов RFS# или TFS# при чтении или записи слова за более, чем одну операцию в режиме внешнего тактирования	t_{H9}	При внешнем тактировании ввода/вывода цифровой информации чтение или запись одного слова могут выполняться не только как единая операция, но и как ряд операций. Настоящий параметр – это время удержания сигналов RFS# или TFS# после последнего отрицательного фронта SCLK перед временным снятием активных сигналов RFS# или TFS# при чтении или записи слова за более, чем одну операцию в режиме внешнего тактирования

Инва. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы А.1

1	2	3
Время удержания бита данных на линии SDATA достоверным после временного снятия активного сигнала RFS# при чтении слова за несколько операций в режиме внешнего тактирования	t_{H10}	Этот параметр относится к режиму чтения слова посредством нескольких операций в режиме внешнего тактирования и определяет время удержания бита данных на линии SDATA достоверным после временного снятия активного сигнала RFS# при чтении слова за несколько операций
Время установления сигнала A0 относительно активного сигнала TFS# при внешнем тактировании	t_{SU7}	Время, отсчитываемое от момента установки сигнала A0 необходимого уровня, до отрицательного фронта TFS# при внешнем тактировании
Время удержания сигнала A0 относительно активного сигнала TFS# при внешнем тактировании	t_{H11}	Время, отсчитываемое от положительного фронта сигнала TFS#, в течение которого сигнал A0 должен удерживаться на необходимом уровне при выполнении операции с внешним тактированием
Время удержания активного сигнала TFS# после последнего отрицательного фронта SCLK при внешнем тактировании	t_{H12}	Время, отсчитываемое от последнего отрицательного фронта SCLK, в течение которого TFS# должен оставаться на низком уровне при операции непрерывной записи слова в режиме внешнего тактирования
Время установления достоверных разрядов последовательных данных относительно (до) положительных фронтов соответствующих синхросигналов SCLK при выполнении записи с внешним тактированием	t_{SU8}	Время, в течение которого должны удерживаться достоверные данные последовательных разрядов, подаваемых снаружи, до положительных фронтов соответствующих SCLK при выполнении записи с внешним тактированием
Время удержания достоверных разрядов последовательных данных относительно (после) отрицательных фронтов соответствующих синхросигналов SCLK при выполнении записи с внешним тактированием	t_{H13}	Время, в течение которого должны удерживаться достоверные данные последовательных разрядов, подаваемых снаружи, после отрицательных фронтов соответствующих SCLK при выполнении записи с внешним тактированием

Инва. № подл.	Подп. и дата
Взам. Инв. №	Подп. и дата
Инва. № дубл.	Подп. и дата

Лист регистрации изменений

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ документа	Входящий № сопроводительного документа и дата	Подп.	Дата
	изменённых	заменённых	новых	аннулированных					
1	1	-	-	-	-	ГКДЯ.037-05			30.12.05
2	1, 59	2-4,10-13, 20-27, 30-59	11а, б, 12а-д, 14а, 15а, 18а-в, 19а, 21а, 60-64.	-	-	ГКДЯ.017-11			01.06.11
3	-	55	-	-	-	ГКДЯ.054-14			22.10.14
4	-	12в	-	12г, 12д	76	ГКДЯ.029-15			24.07.15

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата